

# 一种可应用于并发在线测试的扫描单元设计

俞 洋,彭喜元,王 帅,王继业

(哈尔滨工业大学自动化测试与控制系,黑龙江哈尔滨 150001)

**摘 要:** 航天等领域对集成电路可靠性要求较高,要求其具有在线测试功能,以便及时发现故障,减少损失.结合现有扫描设计方法,设计了一种改进的扫描单元结构.将该扫描单元应用于时序电路后,能够在电路工作的同时进行测试;通过灵活的时钟选择机制,方便地控制电路进行非并发和并发测试.仿真实验表明,应用本文提出的扫描单元,时序电路能够在增加一定硬件冗余的条件下实现在线测试,时间开销较小,有较高的可靠性和一定的容错能力,实用性强.

**关键词:** 扫描链;扫描单元;在线测试;测试向量;冗余

**中图分类号:** TP206+.1 **文献标识码:** A **文章编号:** 0372-2112(2013)09-1869-04

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2013.09.033

## Design of an Improved Scan Cell for Concurrent On-Line Testing

YU Yang, PENG Xi-yuan, WANG Shuai, WANG Ji-ye

(Automatic Test and Control Institute, Harbin Institute of Technology, Harbin, Heilongjiang 150001, China)

**Abstract:** For a high reliability, on-line testing is efficient in detecting faults on the early stage. A novel scan cell is proposed based on the conventional scan cell, which can protect the operational status from being changed during test. The test process and the functional operation of sequential circuit go in parallel. With a flexible clock selection mechanism utilized, both non-concurrent test and concurrent test can be operated. Simulation results show that these circuits can be test on-line with moderate hardware redundancy, high stability, and negligible time redundancy.

**Key words:** scan chain; scan cell; on-line testing; test vector; redundancy

## 1 引言

随着对集成电路可靠性需求的提高,其测试问题得到了广泛的关注.根据测试阶段的不同,集成电路测试可以分为离线测试和在线测试<sup>[1]</sup>.离线测试指在系统不工作时进行的测试.然而在航天、军事等可靠性要求很高的关键领域,离线测试无法发现电路运行中由于外界环境等因素导致的潜在故障,电路运行期间的可靠性和稳定性需要通过在线测试来保证<sup>[2]</sup>.

在线测试是指在电路运行的同时进行故障检测,分为并发测试和非并发测试<sup>[3]</sup>.并发测试指被测模块的测试过程与工作同时完成.非并发测试是指整个系统处于在线状态,而测试一个暂不工作的子系统,测试结束后需恢复子系统的初始状态.在线 BIST<sup>[4]</sup>、自检测技术<sup>[5]</sup>和容错技术<sup>[6]</sup>都是常规的在线测试手段,采用了对被测电路的输入输出端口进行监测,发现故障用冗余备份进行替换的思路,属于典型的黑箱测试方法.由于时序电

路的输出与前一时刻的电路状态密切相关,此类方法面临大量的测试数据.扫描设计是测试时序电路的有效方法之一.然而测试激励写入扫描链会改变电路当前的状态,并不适用于时序电路的在线测试.为此,文献[7]提出了一种新的扫描链单元,但仅能用于非并发测试,且未充分利用单元中的两个 DFF 来提高其可靠性和容错能力.近年来,部分学者将在线测试与容错理论相结合,提出了具有芯片级在线修复能力的强容错三模冗余结构<sup>[8,9]</sup>.为实现时序电路的在线测试,同时提高容错性能,本文提出一种适用于在线测试的扫描单元,可实现时序电路的非并发和并发测试.

## 2 改进的扫描单元设计

由于测试向量的移入和移出改变触发器的状态,经典扫描设计无法应用于时序电路的在线测试.图1中所示的改进扫描单元解决了这一问题. FI、FO 为扫描单元的功能输入和输出,相当于原触发器的 D 和 Q, SI、SO

为扫描输入和输出,用于扫描测试.FCLK 和 TCLK 分别是功能时钟和测试时钟,也可通过停止时钟来锁存数据.mode 为控制信号.相比经典扫描单元,改进扫描单元增加了一个触发器和三个选择器.为降低硬件开销,用两个 TG 门和一个非门组合成二选一选择器.

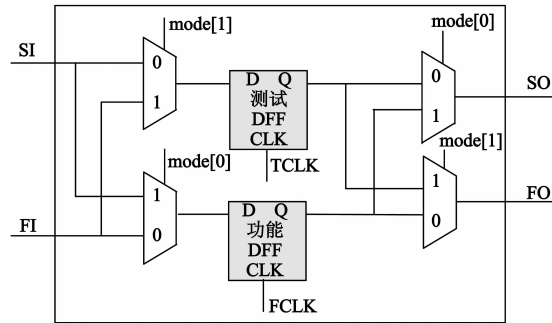


图1 改进扫描链单元示意图

3 扫描单元的应用

3.1 扫描单元电路的自检测

工作状态开启前,要对单元进行自检测.在控制信号 mode 为 11 时,每个单元的功能 DFF 串连在一起,若输入 SI 能够经功能 DFF 从 SO 串行输出,则功能 DFF 无故障.当 mode 为 00 时,各测试 DFF 串在一起,从输入 SI 经过测试 DFF 从 SO 输出.此过程和扫描移入移出的控制信号相同,时序电路同时可以正常工作.

3.2 扫描单元电路的各工作状态

根据控制信号(表 1)的不同,可以完成正常工作、组合部分测试和数据的扫描移入移出,其中扫描移入移出和正常工作的 mode 相同,二者可同时进行,并且前一组测试响应移出的同时,后一组测试向量可被移入,减小了测试的时间开销.

表 1 控制信号对应的工作状态

序号	mode[1]	mode[0]	测试状态
1	0	0	正常工作,数据串行移入移出扫描链
2	1	0	组合部分测试

3.3 非并发测试

考虑 FCLK 和 TCLK 的频率相同的情况,改进的扫描单元可实现时序电路的非并发测试.其时序控制情况如图 2 所示.测试之前,测试 DFF 在 TCLK 的作用下

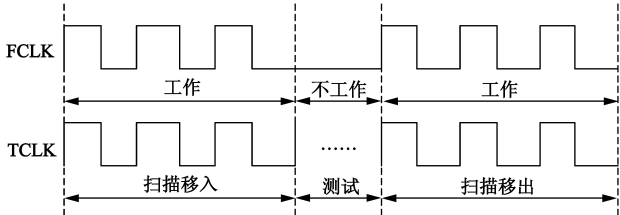


图2 用于非并发测试的时钟选择机制

移入数据,测试结束后,各测试 DFF 上的数据串行移出.当测试 DFF 用于电路测试时,为保证功能 DFF 中的数据不被破坏,FCLK 需保持不变以锁存数据.若测试仪持续一个 TCLK 周期,则非并发测试过程仅带来一个周期的时间冗余.

3.4 并发测试

当 TCLK 的频率大于等于 FCLK 的两倍时,单元可用于并发测试.图 3 中 TCLK 频率为工作时钟 2 倍,电路由上升沿触发.测试前后,扫描移入和移出不影响工作状态.在一个 FCLK 周期内,功能 DFF 仅有一个上升沿,而 TCLK 有两个上升沿.经过上升沿后,功能 DFF 状态保持不变.在后半周期内,测试 DFF 则在 TCLK 的第二个上升沿处测试.测试前后电路工作未受到影响.

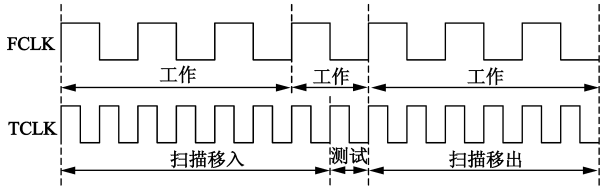


图3 用于并发测试的时钟选择机制

3.5 可靠性与容错能力

该单元中两个 DFF 具有对称性.若其中一个出现故障,通过改变电路中信号流向,另一个 DFF 可以完成电路功能.正常工作状态下 mode = 00,一旦出现故障,控制电路受故障信号触发将 mode 改为 10,功能输入信号由 FI 进入,经测试 DFF 由 FO 输出.这时,测试 DFF 作为功能 DFF 的冗余备份,代替其保证电路正常运转.通过这种方式,该单元的容错性能得到提升.

4 实验结果

4.1 时序电路在线测试的实现

用 Modelsim 仿真单元电路.电路工作时同步移入测试向量,测试组合部分时功能 DFF 锁存数据,测试结束后,以锁存的状态作为继续工作的初始状态,同时移出测试响应.图 4 中 Q1、Q2 分别代表功能 DFF、测试 DFF 的输出.A 段正常工作,FI、FO 为组合电路功能输入和输出;B 段为电路工作状态,同时移入测试数据,输出 SO 取决于输入 SI;C 段对应测试过程,FCLK 锁存功能

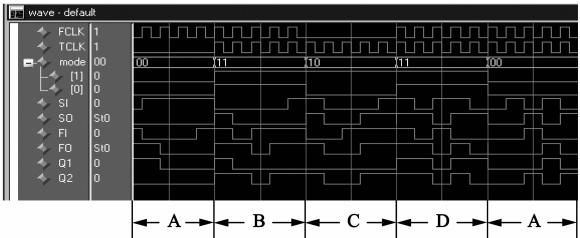


图4 单元电路功能测试截图

DFF 的状态. 在  $TCLK$  作用下, 测试 DFF 中保存的测试数据从 FO 进入组合逻辑, 响应经 FI 进入测试 DFF; D 段为扫描数据输出, 测试响应从 SO 移出. 测试前后电路的状态不变. 应用 ATPG 工具生成的测试向量对电路进行测试, 故障覆盖率可达 100%.

4.2 非并发的在线测试

ISCAS'89 集中的 s298 具有 3 个输入端, 6 个输出端和 14 个 D 触发器. 在 s298 运行 5 个周期后进行测试, 测试结束后继续运行 3 个周期. 将此时电路的输出与在相同初始状态下直接运行 8 个周期的电路作对比. 结果如表 2 和表 3 所示. “工作 1”表示第 1 个正常工作时钟周期, “测试 5”表示第 5 个测试周期. 测试 DFF 一栏表示各单元中测试 DFF 的状态, 将各 DFF 的状态写在一起, 化成 16 进制. 表 3 中, 得到第 5 个工作周期结果的同时, 也在为测试开始做准备. 得到第 9 个测试周期结果的同时要将第 5 个工作周期的输入添加到电路的输入端. 表 3 中阴影部分的数据为电路正常工作时的状态, 与表 2 中的数据完全一致. 在第 4 个工作周期以前, 两表中的结果完全相同. 功能 DFF 在测试前将第 5 个工作周期的结果锁存, 测试期间均保持不变, 测试后继续运行的 3 个周期状态与无测试的情况完全一致. 电路的工作状态没有因测试而改变, 实现了非并发测试.

表 2 s298 无测试时的工作状态

状态	输入	输出	功能 DFF(16 进制)
工作前	000		2920
工作 1	001	100100	0292
工作 5	011	011000	0A60
工作 6	101	011000	0060
工作 7	001	011000	2062
工作 8		011000	1063

表 3 s298 测试同时工作的状态

状态	输入	输出	功能 DFF (16 进制)	测试 DFF (16 进制)
工作前	000		2920	向量扫描移入
工作 1	001	100100	0292	
工作 5(测试前)	000	011000	0A60	
测试 1	001	011000	0A60	2860
测试 5	011	001001	0A60	1866
测试 8	000	011000	0A60	0018
测试 9(工作 5)	011	011000	0A60	3263
工作 6	101	011000	0060	响应扫描移出
工作 7	001	011000	2062	
工作 8		011000	1063	

4.3 并发的在线测试

以 FCLK 的频率设计为 CLK 的 2 倍时为例进行实验验证. 测试在第 5 个工作周期内进行, 将第 5 个工作周期分为两部分, 前半周期完成正常工作的功能, 后半周期进行测试. 对比表 4 中与无测试工作状态(表 2)的实验结果, 测试对电路正常工作无影响, 实现了并发测试.

表 4 s298 并发测试实验数据

状态	输入	输出	功能 DFF (16 进制)	测试 DFF (16 进制)
工作前	000		2920	向量扫描移入
工作 1	001	100100	0292	
工作 5(工作)	011	011000	0A60	
工作 5(测试)	000	011000	0060	2860
工作 6	101	011000	0060	1866
工作 7	001	011000	2062	响应扫描移出
工作 8		011000	1063	

5 方案评价与实验结果分析

5.1 硬件资源开销情况

在线测试的代价是硬件冗余的增加. 下面计算改进扫描单元应用于电路测试的硬件开销. 将电路的硬件开销折算到 CMOS 管级别, 每个与非门相当于 4 个 CMOS, 一个 D 触发器由 6 个与非门组成, 相当于 24 个 CMOS. 不同类型的组合逻辑部分门电路硬件开销存在差异, 认为其平均硬件开销为 6 个 CMOS. 原扫描单元和本文单元的硬件开销分别为 30 个和 72 个 CMOS. 用  $\gamma$  表示  $n$  与  $N_d$  之比, 本文单元扫描设计电路的硬件冗余  $R$  可近似为:

$$R = \frac{(6n + 72N_d) - (6n + 30N_d)}{6n + 30N_d} = \frac{7N_d}{n + 5N_d} = \frac{7}{\gamma + 5} \quad (1)$$

同理计算文献[7]中单元的硬件冗余列入表 5. 由于多使用了两个选择器, 单元的硬件冗余比文献[7]的单元大一些. 然而, 高代价换取了高可靠性和容错能力.

表 5 硬件开销情况对比

电路	$N_d$	逻辑门数 $n$	$\gamma$	硬件冗余 $R$	
				本文单元	文献[7]
s38417	1636	22179	13.56	37.72%	26.94%
s9234	228	5597	24.55	23.69%	16.92%
s386	6	159	26.5	22.22%	15.87%
s1238	18	508	28.22	21.07%	15.05%
s10196	18	529	29.39	20.36%	14.54%
s820	5	289	57.8	11.15%	7.96%
s1494	6	647	107.8	6.20%	4.43%
s1488	6	653	108.8	6.15%	4.39%

## 5.2 时间开销情况

考虑非并发测试意义下的时间冗余.若前一组测试响应的输出与后一组测试向量的输入同时进行,设电路的扫描链长度为  $N_d$ ,输入测试向量数为  $m$ ,测试集中每组向量仅一个时钟周期就可以完成测试.应用本文单元与文献[7]单元测试所需时间分别为:

$$T_1 = (m - 1) \times N_d + m \quad (2)$$

$$T_2 = (m - 1) \times N_d + m + 2m \quad (3)$$

对比表 6 中的  $T_1$  和  $T_2$ ,本文方法的时间冗余较小.

表 6 时间开销情况对比

IP 核	D 触发器数 $N_d$	测试向量数目 $m$	$N_d \times m$	时间开销(周期数)	
				本文 $T_1$	文献[7] $T_2$
s386	6	82	492	568	732
s820	5	123	615	733	979
s1494	6	139	834	967	1245
s1488	6	141	846	981	1263
s1196	18	166	2988	3136	3468
s1238	18	173	3114	3269	3615
s9234	228	208	47424	47404	47820
s38417	1636	179	292844	291387	291745

## 5.3 可靠性分析

本文所述单元具有一定的容错能力.根据单元电路在不同时刻的状态建立可靠性模型<sup>[8]</sup>,认为每个 DFF 的失效率为  $\lambda$ .求解模型并应用拉式逆变换计算的本文和文献[7]中单元的可靠性随时间的函数关系:

$$R(t) = 2e^{-\lambda t} - e^{-2\lambda t} \quad (4)$$

$$R'(t) = e^{-\lambda t} \quad (5)$$

将两单元计算出的可靠性作差:

$$\Delta R(t) = R(t) - R'(t) = e^{-\lambda t} - e^{-2\lambda t} \geq 0 \quad (6)$$

该单元的可靠性明显高于文献[7]所述单元.

## 6 结论

提出了一种适用于时序电路在线测试的扫描单元,通过保存与恢复电路状态,使得测试与工作过程互不影响.通过合理的时钟控制逻辑,可实现并发测试与非并发测试.实验结果表明,该方法在不影响电路工作状态的情况下实现时序电路的测试,控制方式简单,时间冗余较小,具有较高的可靠性和容错能力,具有一定的应用价值.

## 参考文献

- [1] Shnidman R, Mangione-Smith H, Potkonjak M. On-line fault detection for bus-based field programmable gate arrays[J].

IEEE Trans on Very Large Scale Integration(VLSI) System, 1998,6(4):656-666.

- [2] Mahammad SN, Veezhinathan K. Constructing online testable circuits using reversible logic[J]. IEEE Trans on Instrumentation and Measurement, 2010, 59(1): 101-109.
- [3] Gupta K, Pradhan K. Utilization of on-line (concurrent) checkers during built-in self-test and vice versa[J]. IEEE Transactions on Computers, 1996, 45(1): 63-73.
- [4] Kochete M A, Zoellin C G, Wunderlich H J. Efficient concurrent self-test with partially specified patterns[J]. Journal of Electronic Testing Theory and Applications, 2010, 26(5): 581-594.
- [5] Lalal P K, Burress A L. Self-checking logic design for FPGA implementation[J]. IEEE Trans on Instrumentation and Measurement, 2003, 53(5): 1391-1398.
- [6] Reviriego P, Maestro J A, Liu S F. Efficient soft error-tolerant adaptive equalizers[J]. IEEE Transactions on Circuits Devices & Systems I-regular Papers, 2010, 57(8): 2032-2040.
- [7] A-Asaad H, Moore P. Non-concurrent on-line testing via scan chains[A]. Proc of the IEEE Autotestcon Conference[C]. Anaheim, CA: IEEE, 2006. 683-689
- [8] 姚睿, 王友仁, 于盛林, 陈则王. 具有在线修复能力的强容错三模冗余系统设计及实验研究[J]. 电子学报, 2010, 38(1): 177-183.

Yao R, Wang Y R, Yu S L, Chen Z W. Design and experiments of enhanced fault-tolerant triple-module redundancy systems capable of online self-repairing[J]. Acta Electronica Sinica, 2010, 38(1): 177-183. (in Chinese)

- [9] 王友仁, 张砦, 袁鹏, 孔德明. 可重构硬件芯片级故障定位与自主修复方法[J]. 电子学报, 2012, 40(2): 385-388.
- Wang Y R, Zhang Z, Yuan P, Kong D M. In-chip fault localization and self-repairing method for reconfigurable hardware[J]. Acta Electronica Sinica, 2012, 40(2): 385-388. (in Chinese)

## 作者简介



俞 洋 女, 1979 年 11 月生于黑龙江省大庆市, 2008 年获哈尔滨工业大学博士学位. 哈尔滨工业大学副教授、硕士生导师. 主要研究方向为集成电路测试与故障诊断技术等.

E-mail: yuyanghit53@163.com

彭喜元 男, 1961 年 12 月生于内蒙古四子王旗. 哈尔滨工业大学教授、博士生导师. 主要研究方向为自动测试理论, 先进故障诊断技术.

王 帅 男, 1989 年 5 月生于黑龙江省大庆市. 哈尔滨工业大学硕士生. 主要研究方向为集成电路测试与故障诊断技术等.

E-mail: shuaiwanghit@gmail.com