

# 一个自调谐, 自适应的 1.9GHz 分数/整数 频率综合器

黄水龙<sup>1,2</sup>, 王志华<sup>1,2</sup>, 马槐楠<sup>3</sup>

(1 清华大学电子工程系, 北京 100084; 2 清华大学深圳研究生院, 广东深圳 518055; 3 清华大学微电子所, 北京 100084)

**摘 要:** 本文提出了一个具有自调谐, 自适应功能的 1.9GHz 的分数/整数锁相环频率综合器. 该频率综合器采用模拟调谐和数字调谐相结合的技术来提高相位噪声性能. 自适应环路被用来实现带宽自动调整, 可以缩短环路的建立时间. 通过打开或者关断  $\Sigma\Delta$  调制器的输出来实现分数和整数分频两种工作模式, 仅用一个可编程计数器实现吞脉冲分频器的功能. 采用偏置滤波技术以及差分电感, 在片压控振荡器具有很低的相位噪声; 通过采用开关电容阵列, 该压控振荡器可以工作在 1.7GHz~2.1GHz 的调谐范围. 该频率综合器采用 0.18 $\mu$ m, 1.8V 5M $\Sigma$  CMOS 工艺实现. SpectreVerilog 仿真表明: 该频率综合器的环路带宽约为 100kHz 在 600kHz 处的相位噪声优于 -123dBc/Hz 具有小于 15 $\mu$ s 的锁定时间.

**关键词:** 频率综合器; 压控振荡器; 鉴相鉴频器; 电荷泵; 自调谐; 自适应

**中图分类号:** TN79<sup>+</sup>1 **文献标识码:** A **文章编号:** 0372-2112 (2006) 05-0769-05

## A Self-Tuning Adaptive 1.9GHz Fractional-N/Integer Frequency Synthesizer

HUANG Shuifeng<sup>1,2</sup>, WANG Zhihua<sup>1,2</sup>, MA Huainan<sup>3</sup>

(1. Department of Electronics, Tsinghua University, Beijing 100084, China;

2. Shenzhen Graduate School, Tsinghua University, Shenzhen, Guangdong 518055, China;

3. Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract** A self-tuning, adaptive 1.9GHz fractional-N/integer PLL based frequency synthesizer is proposed in the paper. A combined tuning technique of digital tuning and analog tuning is used to improve the phase noise of frequency synthesizer by decreasing the gain of VCO. The adaptive loop is introduced for automatic adjustment of the loop bandwidth, which can quicken the locking process. Two operation modes (integer/fractional-N) are achieved by switching on/off the output signal of  $\Sigma\Delta$  modulator. Just a programmable counter is needed for the swallow pulse divider. The on-chip VCO achieves a low phase noise by utilizing a bias filter technique and a differential inductor, and a 1.7GHz~2.1GHz tuning range by a switched capacitor array. Based on 0.18 $\mu$ m 1.8V 5M $\Sigma$  CMOS technology, SpectreVerilog simulation shows that the frequency synthesizer has a 100 kHz loop bandwidth,  $\alpha < 15\mu$ s settling time, and the phase noise is lower than -123dBc at 600kHz offset.

**Key words** frequency synthesizer; VCO; PFD; charge pump; self-tuning; adaptive

### 1 引言

频率综合器是收发机的关键模块之一, 它被用来产生本振信号. 基于锁相环的频率综合器具有结构简单, 输出频率成分的频谱纯度高, 而且易于得到大量的离散频率的特点. 它已成为目前频率合成技术中的主要制式<sup>[1]</sup>. 但是锁相环频率综合器也面临着一些挑战: 首先, 环路中最关键的模块全集成压控振荡器 (VCO) 对电源, 工艺, 温度和

偏置非常敏感. 传统的解决方法是使实际调谐范围远大于设计范围, 这种方法的缺点是 VCO 增益变大, 相位噪声性能变差. 其次, 分数结构频率综合器虽然能解耦频率分辨率和参考频率的关系, 获得较大的带宽, 但是分数结构中的带宽受限于调制器的特性, 过大的环路带宽使得噪声性能急剧下降甚至使得调制器不稳定. 在一些对于锁定时间特别苛刻的场合, 仅仅采用分数结构是不够的.

本文提出了一种自调谐, 自适应的分数频率综合器结

构. 它能克服全集成压控振荡器的非线性影响, 在较小增益下获得较大的频率调谐范围, 因而能减小压控振荡器控制线扰动的影响, 提高系统输出的相位噪声性能. 另外, 该频率综合器结构引入自适应环路, 解决了快速锁定时间和带宽这个矛盾问题. 自适应环路是粗调谐回路, 用于加速环路的锁定过程; 而传统的锁相环路用于完全的精细调整.

## 2 系统结构

频率综合器结构是基于  $\Sigma\Delta$  分数频率综合器结构<sup>[2,3]</sup>, 如图 1 所示. 它由压控振荡器、双模预分频器、可编程计数器、 $\Sigma\Delta$  调制器、鉴相鉴频器、电荷泵、环路滤波器、和自调谐电路等组成. 除了环路滤波器外, 所有其他电路在片上实现. 自调谐电路被用来克服压控振荡器的非线性和降低其增益, 使得压控振荡器输出所需要的振荡信号.

由粗调谐鉴相鉴频器和电荷泵 1 构成的自适应环路用于快速收敛; 而精调谐鉴相鉴频器和电荷泵 2 构成的传统锁相环路用于精细地调整. 粗调谐回路对应二阶环路滤波器, 电阻  $R2$  和电容  $C3$  被旁通, 有助于提高粗调谐回路的相位裕度; 而精调谐回路对应三阶环路滤波器, 有助于在分数结构中更好地抑制杂散信号和量化噪声.

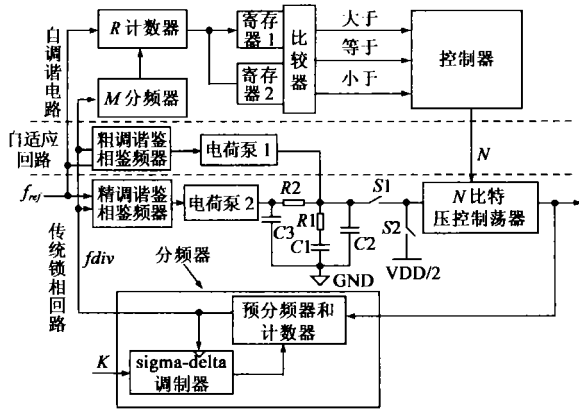


图 1 自适应, 自调谐分数/整数频率综合器

不同的相差  $\Phi_e$  存在不同的工作状态 ( $\Phi_e$  为鉴相鉴频器输入的相差). 当相差  $\Phi_e$  小于粗调谐鉴相鉴频器 (PFD) 的死区大小  $\Phi_d$  时, 注入到环路滤波器的电荷  $Q = I_f \times |\Phi_e|$ ,  $I_f$  为电荷泵 2 电流; 若相差大于粗调谐 PFD 的死区大小  $\Phi_d$  时, 注入到环路滤波器的电荷  $Q = I_f \times |\Phi_e| + I_e$  ( $|\Phi_e| - |\Phi_d|$ ),  $I_e$  为电荷泵 1 电流. 对于二阶或者三阶滤波器的 PLL 来说, 环路带宽  $\omega_c$  和可以用式 (1) 近似表示:

$$\omega_c \approx \frac{I_{ch} \times K_{VCO} \times R1}{2p \times N} \quad (1)$$

$I_{ch}$  为电荷泵电流,  $K_{VCO}$  为压控振荡器增益,  $N$  为分频器分频比,  $R1$  为环路滤波器电阻.

当其他参数固定时, 环路带宽  $\omega_c$  是正比电荷泵电流  $I_{ch}$  的. 当相差  $\Phi$  大于粗调谐 PFD 的死区大小  $\Phi_d$  时, 两个

环路同时工作, 注入到环路滤波器的电流为两个电荷泵电流的和. 根据公式 (1), 它意味着带宽增加, 锁定加速. 当相差  $\Phi_e$  小于粗调谐 PFD 的死区大小  $\Phi_d$  时, 注入到滤波器的电流变为  $I_f$ , 带宽变窄, 锁定过程减慢. 当正确的频率被锁定后, 仅仅窄带宽的环路工作.

为了避免各个模块之间通过电源线相互干扰, 特别是数字电路部分对压控振荡器的干扰, 该频率合成器使用了三组不同的电源. 版图设计上采用双阱隔离环以及深  $N$  阱技术等, 且使  $\Delta\Sigma$  调制器和鉴相鉴频器使用不同的时钟沿, 从而降低  $\Delta\Sigma$  调制器的数字开关噪声通过衬底耦合对电荷泵的干扰<sup>[4]</sup>.

## 3 模块电路设计

### 3.1 压控振荡器

压控振荡器是频率合成器中一个最重要的模块, 其相位噪声决定了频率合成器在环路带宽之外的相位噪声性能. 为了克服由于工艺波动, 偏置, 或者温度变化引起非线性影响, 同时避免所设计的频率调谐范围远大于实际所需的范围而造成过高的 VCO 增益, 采用数模混合控制压控振荡器的方法<sup>[5]</sup>. 为了降低相位噪声, 主要采取高品质因子的差分电感和偏置滤波方法.

图 2 给出了本文所采用的压控振荡器的电路图.  $L1$  和  $L2$  采用了在片差分电感, 电感量约为  $2.14\text{nH} \times 2$ .  $1.9\text{GHz}$  时的品质因子约为 10. 电感的共模点接地, 这时振荡器达到最大振荡幅度所需的最小电流约为  $12\text{nA}$ . MOSCAP 电容被用作变容管.

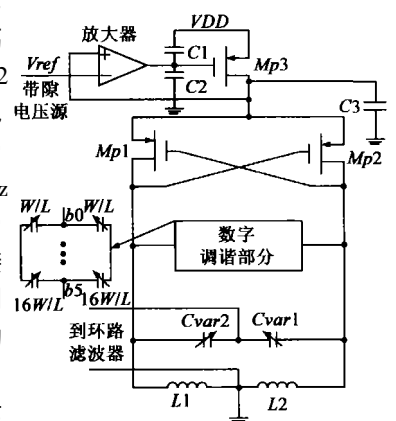


图 2 压控振荡器的电路图

PMOS 管  $Mp1$  和  $Mp2$  组成互补耦合对补偿  $LC$  元件的损耗, 相对于 NMOS 互补耦合对来说, 它具有更小的 flicker 噪声. 仿真表明: 使用最小沟道长度 1.5~2 倍之间的晶体管可以得到更小的相位噪声. 晶体管  $Mp3$  是尾电流源, 它选用了大  $W/L$  的晶体管. 电容  $C3$  提供到低阻抗通路, 在  $Mp3$  的栅极引入滤波电容  $C1$  和  $C2$  来达到降低噪声的目的. 放大器的低通特性有助于抑制 VCO 高频噪声, 其带宽约为环路带宽的 10 倍, 以避免其对锁相环路稳定性影响. 为了保证该振荡器具有足够的调谐范围, 该振荡器引入了由五个数字信号控制的权电容阵列, 相邻控制字时的调谐曲线具有一定的重叠区域.

### 3.2 分频器

分频器电路系统结构如图 3 主要由预分频器  $P/P +$

1. 8 位上计数可编程计数器  $/B$ ,  $\Sigma\Delta$  调制器等构成。

来自三线接口

的信号选择整数或

者分数工作模式。  $\Sigma\Delta$

调制器<sup>[4]</sup>产生分频

比的分数部分  $f_x$ , 若

工作在整数模式, 来

自三线接口的数据

$M$  和  $A$  直接作为  $/B$

计数器的预置值  $M_x$

和  $A_x$ ; 若工作在分数

模式, 来自三线接口的数据  $M$  和  $A$  同  $\Sigma\Delta$  调制器的输出相

加后, 得到的被调制后的数据作为  $/B$  计数器的预置值  $M_x$

和  $A_x$ 。一旦分频器获得预置值, 计数器  $/B$  开始上计数, 当

计数到预置值  $A_x$  时, 控制逻辑使预分频比由  $P+1$  切换到

$P$ ; 当计数到预置值  $M_x$  时, 计数器  $/B$  清零, 一个计数周期

结束, 计数器  $/B$  重新开始计数。在这种结构里, 控制逻辑仅

需两种功能, 即判定是否达到预置值  $A_x$ , 或是否达到预置

值  $M_x$ 。输出信号的周期  $T_{out}$  可以看作输入信号的周期  $T_{in}$  的

函数, 正如式 (2) 所示:

$$T_{out} = (M_x * P + A_x + f_x) * T_{in} \quad (2)$$

为了获得连续的分频比, 分频比  $M_x > A_x + K$ ,  $K$  为  $\Sigma\Delta$

调制器输出的最小值, 且  $M_x$  的值必须大于  $P$ , 而  $A_x$  的值必

须小于  $P$ , 因而最小的分频比为  $P \times (P-1)$ 。本文中预分频

器的分频比  $9/8$  计数器  $/B$  的预置值  $M_x$  为 8 位, 而  $A_x$  为 3

位, 因而连续的分频比范围为 56-2047。预分频器的分频

比  $/8$  或者  $/9$  依靠  $mode$  控制输入来选择。

$9/8$  双模预分频器是分频器中最关键的模块, 它由  $2/3$

同步分频器和  $1/4$  异步分频器组成。因为共模电路 (CML) 噪

声较大, 功耗高且不能满幅输出, 故采用动态电路技术来

实现预分频器。同步分频器由改进的 TSPC 动态触发器<sup>[6]</sup>

构成, 且为了提高工作速度, 使得逻辑门和触发器结合在

一起, 而异步分频器采用普通的 TSPC 动态触发器。预分频

器使得仅仅几个触发器工作在较高的频率, 其它部分工作

在较低频率, 有助于节省功耗。

### 3.3 电荷泵电路

电荷泵采用如图 4 所示的结构, 它是基于文献 [7] 中

的电路, 并做了一些较大改进。

电容  $MC1$  和  $MC2$  被用于减少电容耦合和加快切换速

度的作用。为了获得高的上下电流匹配性, 图 4(a) 所示的

电荷泵采用反馈结构形式, 使得输入能有效地跟踪输出,

从而实现高的上下电流匹配性。反馈网络由一个简单的差

分放大电路图 4(b) 构成, 如果放大器增益足够大, 且  $M8 =$

$M1, M11 = M7, M10 = M9, M12 = M3$  那么  $V_{REF} = V_{OUT}$ 。如果

$UP = 0, DN = 0$  那么  $I1 = I2 = I3$ 。另外, 如果  $UP = 1, DN =$

$1$  那么  $I1 = I2 = I4$  即充放电电流相等, 与输出电压  $V_{OUT}$  无

关。这克服了通常采用提高充放电电流源的内阻而降低了

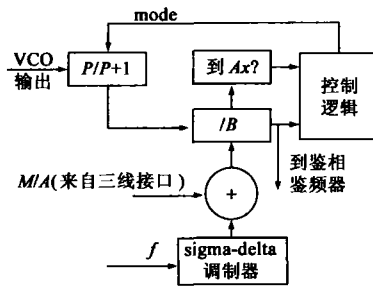
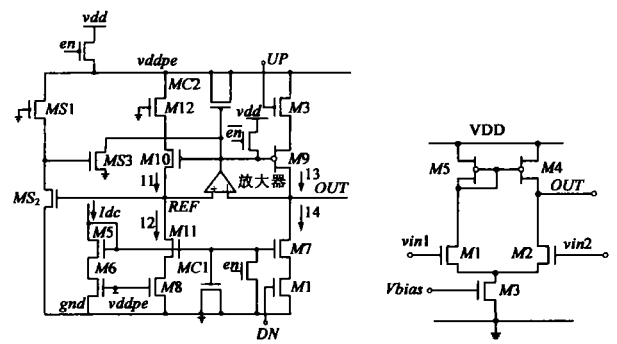


图 3 分频器的系统结构



(a) 电荷泵结构

(b) 放大器结构

图 4 电荷泵电路

电荷泵输出范围的缺点, 实现了上下电流匹配。在自适应

PIL 电路中, 电荷泵必须能被有效地关断, 特别是在  $en = 1$

时,  $M9$  的栅极必须被拉到高电平, 以避免  $M9$  管有倒灌电

流, 影响环路的正常工作。  $MS1, MS2$  和  $MS3$  构成启动电路

来解决当节点  $OUT$  输出为零时放大器输出为高, 电荷泵无

法启动的问题。当节点  $OUT, REF$  电压为零, 放大器输出为

高电平,  $MS2$  截止,  $MS3$  导通,  $M10$  和  $M9$  导通,  $OUT$  电压上

升。一旦  $REF$  的电压大于  $MS2$  的阈值,  $MS2$  导通, 启动电

路停止工作。为了使启动电路不影响电荷泵的电压输出范

围,  $MS2$  采用零阈值的 MOS 管。最后, 放大器和  $M9, M3$  构

成了正反馈, 但是  $M3$  和  $M1$  工作在开关状态, 且节点  $OUT$

同环路滤波器相连, 无法在  $OUT$  点形成振荡。

### 3.4 粗调谐鉴相鉴频器电路

图 5(a) 为粗调谐鉴相鉴频器, 采用动态触发器<sup>[8]</sup>实

现。其输出信号状态由输入信号上升边沿决定。当参考信

号  $A1$  领先反馈信号  $B1$  时, 输出  $QA$  为高, 将被紧接着的反

馈信号  $B1$  的上升沿复位。当信号  $B1$  领先参考信号  $A1$  时,

输出信号  $QB$  置高, 将被紧接着的  $A1$  信号的上升沿复位。

延时  $delay2$  用于产生一定脉宽的信号, 用于定义死

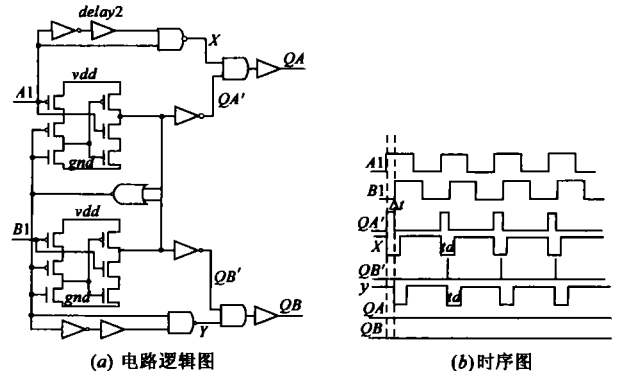
区, 时序图如图 5(b)。此时, 假设  $A1, B1$  信号的相差为  $\Delta t$

$A1$  信号领先  $B1$  信号, 延时  $delay2$  产生  $td$  宽度的信号。当

$A1$  信号和  $B1$  信号的相差大于由  $delay2$  定义的死区宽度  $td$

时, 粗调谐  $PFD$  与精调谐  $PFD$  一样, 通过控制后面的电荷

泵输出电流来控制  $VCO$ , 从而加速建立过程。一旦  $A1$  信号



(a) 电路逻辑图

(b) 时序图

图 5 粗调谐鉴相鉴频器及其时序图

和  $B1$  信号的相差小于由  $deky2$  定义的死区宽度  $dl$  时, 鉴相鉴频器的输出  $QA, QB$  为低电平, 电荷泵 1 被关断, 无需切换环路滤波器模块和外面的控制信号, 环路参数调整连续发生, 实现了环路带宽的平滑自动切换, 使得环路锁定时工作在窄的带宽, 有助于获得高的相位噪声性能。

### 3.5 自调谐电路

数字调谐电路的输入来自鉴相鉴频器, 它被用来控制  $VCO$  的数字输入。开关  $S1$  和  $S2$  是用来在调谐开始时打断正常的  $PLL$  环路, 如图 1

当上电或者复位时, 将启动自调谐电路,  $N$  比特长度控制字初始化到中间值, 在  $N$  次调谐达到最优值时调谐停止。如果需要在启动后重新启动自调谐电路, 例如分频比改变的时候, 通过三线接口输入自调谐使能信号, 重新启动自调谐电路。在调谐过程, 开关  $S1$  断开,  $S2$  开通, 目的是给  $VCO$  的输入一个固定的参考电压 (电源的一半)。  $F_M$  为  $f_{ds}$  信号经过  $M$  分频后的信号。  $R$  计数器在  $F_M$  的一个周期内对  $f_{ref}$  信号进行计数。紧接着的寄存器 1 和 2 定义了  $VCO$  工作范围。  $R$  计数器的计数结果同寄存器 1、2 中寄存的数做对比。若小于寄存器 2 中的数, 意味着频率过高, 需增加电容值。反之, 若大于寄存器 1 寄存的数值, 频率过低, 需减少电容值。若  $R$  计数器计数的结果落在寄存器 1 和 2 之间, 说明输出频率落在需要的范围, 停止自调谐。为了避免初始相位对计数器的影响,  $R$  计数器的计数长度必须足够长。为了避免出现稳定性问题, 需要考虑两个方面。首先, 因  $R$  计数器的计数长度是有限的, 若  $F_M$  的周期过长, 以至  $R$  计数器计数到最大值后, 重新从零开始计数, 这样导致  $R$  计数器出现错误的计数结果。这要求  $R$  计数器达到最大值后, 停止计数。其次, 若分频比  $N$  设置不当, 超出  $VCO$  能工作的范围, 启动自调谐电路时, 可能出现反复调谐不能稳定的现象, 这要求有某种机制, 能在有限次自调谐后, 关断自调谐电路。寄存器 1 和 2 以及分频器中的数值都设置为可编程形式, 提高了算法的灵活性。最后, 该电路可应用于复位自调谐和信道切换自调谐, 若应用于复位自调谐, 自调谐相当对  $VCO$  的初始化过程, 不影响系统实际工作时的信道切换时间。若应用于信道切换自调谐, 锁定时间应包括自调谐所需的时间。

为了便于测试  $VCO$ , 可以通过三线接口对  $VCO$  控制位直接赋值。完全的自调谐算法在流程图图 6 中被解释。

### 3.6 环路滤波器

环路滤波器是频率综合器中的一个重要模块。它决定了频率综合器的很

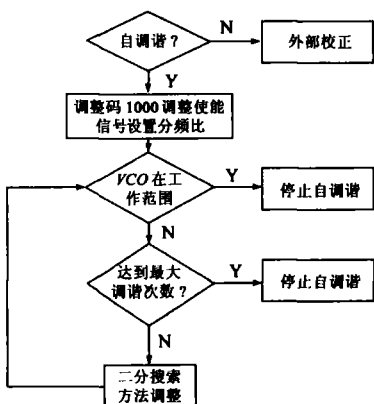


图 6 自调谐算法

多重要特性如锁定时间、环路带宽、相位噪声等。为了有效抑制三阶  $\Sigma\Delta$  调制器的高频噪声, 降低基底干扰以及功耗, 采用无源的三阶滤波器。为了使环路获得最短的建立时间, 使得环路的相位裕度在  $50^\circ$  左右<sup>[9]</sup>。为了有效抑制杂散电平, 使得第三个极点位置小于调制器的转折频率。可根据文献 [10] 提供的方法确定各元件的参数值, 本文不对此说明。

## 4 仿真结果

由于分数锁相环频率综合器是个复杂的数模混合系统, 它既有高频模块压控振荡器和预分频器, 也有低频模块电荷泵, 滤波器和大量地数字电路, 没有一个稳定的工作点, 而且各个模块的时间常数差异巨大, 这使得仿真的时间极长, 对计算机要求很高, 因而需要一些加速仿真技巧。首先, 采用 top-down 建模方法, 对各个组成用 verilogA 描述电压域和相位域模型, 根据单独模块晶体管级分析的结果修正行为级模型参数, 以达到提高行为级模型建模的准确性, 并利用文献 [11] 提到的方法预测闭环的抖动、相位噪声。其次, 为了验证晶体管级环路的动态锁定特性, 将分频器部分用行为级 verilog 语言的形式实现<sup>[12]</sup>, 这可大大加速仿真速度。第三, 因为启动时自调谐控制器首先工作, 然后模拟锁相环路开始工作。将仿真分为两个阶段, 自调谐仿真阶段可以获得  $VCO$  的控制值, 然后将自调谐仿真阶段所得的值作为模拟环路  $VCO$  的控制值。这样就可以单独仿真自调谐电路和模拟环路。

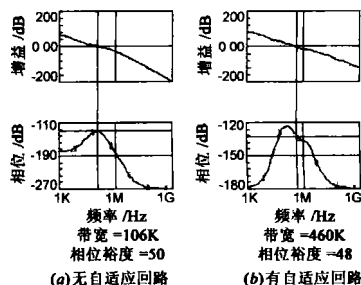


图 7 稳定性对比

精调谐电荷泵电流  $I_f = 200\mu A$  自适应回路电荷泵电流  $I_c = 1.2mA$ , 参考频率  $f_{ref} = 19.2MHz$ , 压控振荡器增益为  $60MHz/V$ , 粗调谐  $PFD$  的死区宽度为  $3.5ns$  环路滤波器参数为:  $C1 = 830pF$ ,  $C2 = 28pF$ ,  $R1 = 5.2k\Omega$ ,  $R2 = 4k\Omega$ ,  $C3 = 50pF$ 。图 7 反映了频率综合器稳态特性, 这是基于相位域模型的。自适应回路和传统模拟回路同时工作时, 带宽为  $460k$ , 而当自适应关断时, 带宽变为  $100k$  相位裕度在  $50^\circ$  左右波动。这说明自适应回路能有效拓宽带宽, 而对稳定性没有影响。图 8 是在上电复位时  $VCO$  控制位变化情况以及在  $30\mu s$  后通过三线接口重新输

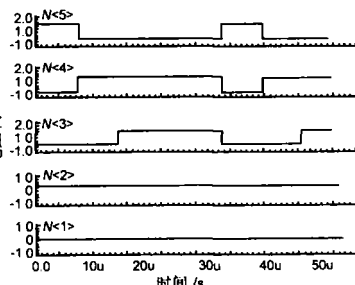


图 8  $VCO$  控制位的变化过程

图 8 反映了频率综合器稳态特性, 这是基于相位域模型的。自适应回路和传统模拟回路同时工作时, 带宽为  $460k$ , 而当自适应关断时, 带宽变为  $100k$  相位裕度在  $50^\circ$  左右波动。这说明自适应回路能有效拓宽带宽, 而对稳定性没有影响。图 8 是在上电复位时  $VCO$  控制位变化情况以及在  $30\mu s$  后通过三线接口重新输

入自调谐使能信号启动自调谐过程。它说明了自调谐电路在上电复位自调谐以及正常工作过程中启动下都能正常工作。图 9 是频率综合器在分频比 100 时的锁定过程以及分频比跳变到 98 的锁定过程。除分频器是基于 verilog 的行为级描述, 其他都是针对晶体管级电路。从图中可以看出, 锁定时间小于  $15\mu\text{s}$ 。图 10 是在分频比为 99 时环路的

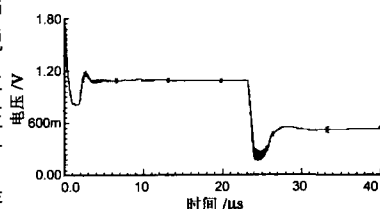


图 9 瞬态锁定过程

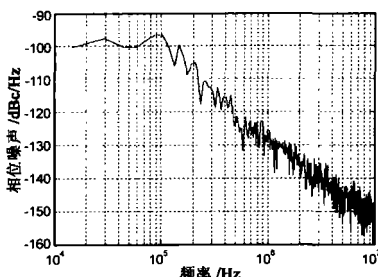


图 10 闭环输出相位噪声

相位噪声特性, 因为环路时间常数差异巨大, 基于晶体管的相位噪声分析是不可能的。故采用行为级建模方法, 行为级模型的参数通过晶体管级电路来校正。为了保证结果的准确性, 仿真长度取为参考频率的 20K 个周期, 并用 Matlab 进行后处理。从图中可知, 在偏离载波频率 600kHz 处的相位噪声优于  $-123\text{dBc/Hz}$  具有很高的频谱纯度。

## 5 结论

本文实现了一个自适应、自调谐的  $\Sigma\Delta$  调制器的分数频率综合器。自调谐电路克服了 VCO 非线性影响, 获得较低的压控振荡器增益, 有助于降低相位噪声。而自适应结构使得锁相环路在较窄的静态带宽下, 获得相对更快的建立时间。而且该电路的各个模块的设计都针对噪声性能进行了优化。该频率综合器用  $0.18\mu\text{m}$  CMOS 工艺实现, 仿真结果验证了电路的正确性, 适合应用在高性能的无线通信系统中。

## 参考文献:

- [1] 黄水龙, 王志华. CMOS 分数频率综合器设计技术 [J]. 微电子学, 2005, 35(4): 394–399.  
Huang Shuibong Wang Zhuhua Design techniques of CMOS fractional-N frequency synthesizer [J]. Microelectronics, 2005, 35(4): 393–399. (in Chinese)
- [2] B Miller, R J Conley. A multiple modulator fractional divider [J]. IEEE Trans Instrum Meas, 1991, 40(3): 578–583.
- [3] T A Riley, M Cope land, T Kwasiowski Delta-sigma mod

ulation in fractional-N frequency synthesizer [J]. IEEE J Solid-State Circuits, 1993, 28(5): 553–559.

- [4] W Rhee, B S Song, A Ali, A. 1-GHz CMOS fractional-N frequency synthesizer with a 3-b third-order modulator [J]. IEEE J Solid-State Circuits, 2000, 35(10): 1453–1460.
- [5] A Kral RF-CMOS oscillators with switched tuning [A]. IEEE Custom Integrated Circuits Conference [C]. New York, NY, USA, 1998, 555–558.
- [6] Ching-Yuan Guang-Kai Deheng New dynamic flip-flops for High-speed dual modulus prescaler [J]. IEEE J Solid-State Circuits, 1998, 33(10): 1568–1571.
- [7] Jae-Shin Lee, Min-Sun Kee, Shin-II Lim, Suki Kim. Charge pump with perfect current matching characteristics in phase-locked loops [J]. Electronics Letters, 2000, 36(23): 1907–1908.
- [8] Joonsuk Lee, Beomsup Kim. A Low-noise fast-lock phase-locked loop with adaptive bandwidth control [J]. IEEE J Solid-State Circuits, 2000, 35(8): 1137–1145.
- [9] C Vaucher, D Kasperkovitz. A wide-band tuning system for fully integrated satellite receivers [J]. IEEE J Solid-State Circuits, 1998, 33(7): 987–998.
- [10] Hamid R Rateghi, Thomas H Lee. A CMOS frequency synthesizer with an injection-locked frequency divider for a 5-GHz wireless LAN receiver [J]. IEEE J Solid-State Circuits, 2000, 35(5): 780–787.
- [11] K Kundert. Predicting the phase noise and jitter of PLL-based frequency synthesizer [EB/OL]. <http://www.designers-guide.com>, 2003.
- [12] Tai-Cheng Lee, Behzad Razavi. A stabilization technique for phase-locked frequency synthesizers [J]. IEEE J Solid-State Circuits, 2003, 38(6): 888–894.

## 作者简介:



黄水龙 男, 汉族, 湖北通城人, 清华大学电子工程系博士研究生, 主要研究方向: 射频前端电路的设计技术。

E-mail: hsd02@mails.tsinghua.edu.cn



王志华 男, 汉族, 山东人, 清华大学电子工程系教授, 博士生导师, IEEE 会员, IEEE 固态电路学会中国分会主席, 研究方向为电路与系统, 包括数模混合集成电路的设计与测试等。