

基于伯努利分布的逻辑电路可靠度计算方法

蔡 烁^{1,2}, 邝继顺¹, 刘铁桥³, 凌纯清¹, 尤志强¹

(1. 湖南大学信息科学与工程学院, 湖南长沙 410082; 2. 长沙理工大学计算机与通信工程学院, 湖南长沙 410114; 3. 杭州电子科技大学管理学院, 浙江杭州 310018)

摘 要: 在深亚微米及纳米级集成电路设计过程中, 电路的可靠性评估是非常重要的一个环节. 本文提出了一种利用概率统计模型计算逻辑电路可靠度的方法, 将电路中的每个逻辑门是否正常输出看作一次随机事件, 则发生故障的逻辑门数为某个特定值的概率服从伯努利分布; 再利用实验统计单个逻辑门出错时电路的逻辑屏蔽特性, 根据此方法计算出 ISCAS'85 和 ISCAS'89 基准电路可靠度的一个特定范围. 理论分析和实验结果表明所提方法是准确和有效的.

关键词: 软错误; 可靠度; 概率统计模型; 逻辑屏蔽; 伯努利分布

中图分类号: TN406 **文献标识码:** A **文章编号:** 0372-2112 (2015)11-2292-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2015.11.023

Reliability Calculation Method of Logical Circuit Based on Bernoulli Distribution

CAI Shuo^{1,2}, KUANG Ji-shun¹, LIU Tie-qiao³, LING Chun-qing¹, YOU Zhi-qiang¹

(1. School of Information Science and Engineering, Hunan University, Changsha, Hunan 410082, China;

2. School of Computer and Communication Engineering, Changsha University of Science

and Technology, Changsha, Hunan 410114, China; 3. School of Management, Hangzhou Dianzi

University, Hangzhou, Zhejiang 310018, China)

Abstract: Reliability estimation of logical circuit is becoming an important feature in the design process of deep submicron and nanoscale systems. In this paper, a reliability calculation method of logical circuit based on probability statistical model is proposed. Based on this model, the correctness of every logic gate is regarded as random event and obeying Bernoulli distribution. Meanwhile, simulation experimental results are given to analyze the logical masking properties of the circuit when only one gate set as faulty. To validate the proposed methodology we have studied the reliability range of ISCAS'85 and ISCAS'89 benchmark circuits. Theoretical analysis and experimental results show our method is accurate and efficient.

Key words: soft error; reliability; probabilistic statistical model; logic mask; Bernoulli distribution

1 引言

随着深亚微米、纳米工艺在 VLSI 电路中的应用, 软错误对电路的影响越来越严重, 人们开始重视高层次电路的可靠性评估问题. 正确估算软错误影响下的电路可靠度可辅助人们在电路设计的早期阶段有针对性的用较小代价改善设计.

近年来, 人们提出了多种电路可靠度的计算方法: 概率转移矩阵 (Probabilistic Transfer Matrix, PTM) 方法假定电路中各个逻辑门的软错误率已根据物理实验结果, 所处地理位置和环境等信息估计出来, 则根据门电路的 PTM 可精确计算软错误对电路可靠度的影响, 但由于时

空开销太大, 该方法仅适合于中小规模电路^[1,2]; 在 PTM 方法的基础上, 文献[3]引入了电路划分的思想, 先把电路分割成一些适宜用原始 PTM 方法直接计算可靠度的模块, 然后计算模块可靠度, 再依据串行可靠度模型估算整个电路的可靠度, 改进后的方法适用于更大规模的组合电路; 文献[4]和文献[5]提出了“宏逻辑门”的概念和迭代的 PTM 模型, 进一步降低了计算复杂度; 文献[6]和文献[7]考虑电路信号概率的可靠性 (Signal Probability Reliability, SPR), 在此基础上评估电路对故障的逻辑屏蔽能力, 但这些方法都难以兼顾到对计算结果准确性的要求和大规模电路的适用性需求^[8-11]. 在时序电路可靠性评估方面, 文献[12]将待评估电路分为输出

模块和次态模块,利用 PTM 计算模型得到整个电路的 PTM,再根据输入信号的概率分布计算时序电路可靠度;文献[13]使用多阶段计算方法,通过迭代的方式评估电路可靠度;文献[14]假设触发器为理想部件,利用动态贝叶斯网络计算电路输出端的平均出错概率,但计算结果的准确性和算法效率都有待提高。

本文采用与文献[1~5]相同的故障模型,即各个逻辑门在受到软错误影响时具有相等的正确输出概率。考虑到门电路的实际制造过程,认为所有逻辑门正确与否是相互独立的^[3~5]。基于此模型,可将电路中单个逻辑门在软错误影响下是否正确输出看作一次随机事件,则电路中发生故障的逻辑门数为某个特定值的概率服从伯努利分布。本方法利用概率统计特性并结合实验得到逻辑电路可靠度的一个区间范围。对比文献[3~5]和[14],经本文方法计算得到的电路可靠度更接近作为衡量标准的蒙特卡罗(Monte Carlo)方法的结果;不仅如此,本方法在时空开销方面还具有较大的优势。

2 逻辑电路可靠度

2.1 组合电路可靠度

组合电路可靠度是指在考虑各种输入向量作用时,该电路所有原始输出(Primary Output, PO)都为正确逻辑值的概率。图 1 表示包含 m 个输入和 n 个输出的组合电路,输出与输入间的逻辑关系可以用向量函数 $Y = F(X)$ 表示。

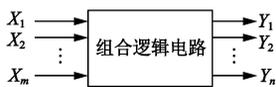


图1 组合逻辑电路框图

电路可靠度 R 描述为:

$$R = \sum_{\text{对所有的 } X} p(X)p(Y = \text{正确逻辑值} | X) \quad (1)$$

式中 X 和 Y 分别表示施加至电路的输入向量和输出向量; $p(X)$ 是输入向量为 X 的概率, $p(Y = \text{正确逻辑值} | X)$ 表示当入向量为 X 时,输出正确的概率。对于包含 m 个输入的电路,需要考虑的输入向量数为 2^m 个。 R 可表示成:

$$R = \sum_{w=0}^{2^m-1} p(X_w)p(Y = \text{正确逻辑值} | X_w) \quad (2)$$

其中, X_w 表示第 w 个输入向量,该向量为 w 的 m 位二进制编码表示。例如,若 $m=4, w=7$,则 $X_7=0111$ 。假设所有输入向量出现的概率相同,即每个向量出现的概率 $p(X) = 1/2^m$,则电路可靠度可表示为:

$$R = \frac{1}{2^m} \sum_{w=0}^{2^m-1} p(Y = \text{正确逻辑值} | X_w) \quad (3)$$

2.2 时序电路可靠度

时序电路由组合逻辑部分和触发器组构成。组合逻辑的输入信号有两类,一类是原始输入(Primary Input, PI),另一类称之为伪原始输入(Pseudo Primary Input, PPI),由触发器提供。同样,组合逻辑的输出信号除原始输出 PO 外,还有提供给触发器的伪原始输出(Pseudo Primary Output, PPO)。考虑单个时钟周期的情况,在一组向量(PI + PPI)的激励下,若任何一个 PO 或 PPO 的逻辑值与正常值不同,说明电路发生了故障。统计所有激励下的电路故障率可以得到时序电路的可靠度。多个时钟周期的情况类似单时钟周期,但需考虑前一个时间帧的 PPO 与下一个时间帧的 PPI 的相关性^[12,13]。

为了便于测试,大部分时序电路都被设计成扫描结构形式,触发器的初始状态可预先通过扫描链输入。因此,在暂不考虑存储单元故障的情况下,将时序电路所有触发器的输出和输入信号当成组合电路的 PPI 和 PPO,则可用组合电路可靠度的计算方法计算时序电路的可靠度。时序电路可靠度 R 描述为:

$$R = \sum_{w=0}^{2^m-1} p(X_w^*)p(Y^* = \text{正确逻辑值} | X_w^*) \quad (4)$$

式中的 X^* 和 Y^* 分别表示施加至时序电路的输入向量和输出向量,该输入向量为 PI 和 PPI 的一组值,而输出向量为对应 PO 和 PPO 的值; m 为 PI 与 PPI 之和。

3 概率统计模型

3.1 概率模型介绍

对于组合逻辑电路,在软错误的影响下,组成电路的每个逻辑门都有可能输出错误的逻辑值。假定所有逻辑门输出正确与否相互独立,且每个门发生错误输出的概率都为 f ^[3~5]。若某电路总门数为 t ,用向量 $G = (g_1, g_2, \dots, g_t)$ 表示所有逻辑门的状态,其中, $g_i = 0$ 或 $1, i = 1, 2, \dots, t$ 。 $g_i = 0$ 表示第 i 个逻辑门处于正常状态, $g_i = 1$ 表示第 i 个逻辑门输出错误的逻辑值。 $G_t(k)$ 表示总共 t 位的向量 G 中含有 k 个 1,即电路有 k 个逻辑门同时发生故障。所有逻辑门都正常可用 $G_t(0)$ 表示。

由于故障存在屏蔽效应,即使有逻辑门出错,电路仍然可能得到正确的输出。本文采用的故障模型是单粒子翻转模型^[1~5],故障受电气屏蔽效应和时钟窗口屏蔽效应的影响很小,故仅考虑影响最大的逻辑屏蔽效应。定义向量比较运算符 ' \odot ' 用于比较两个向量是否相等: $Y_i \odot Y_j = 1$ 表示向量 Y_i 和 Y_j 等长且各位对应相等。若施加至电路的输入向量为 X_w ,且有 k 个逻辑门发生故障,此时电路还能正常输出需满足的条件是:

$$Y(G_t(k); X_w) \odot Y(G_t(0); X_w) = 1 \quad (5)$$

这说明电路中由于逻辑门的错误输出引起的故障被屏蔽了,并没有传播到原始输出端。

根据 k 的不同取值,可将电路可靠度 R 表示为:

$$R = \sum_{i=0}^t P(k=i)P(Y = \text{正确逻辑值} | k=i) \quad (6)$$

上式 $P(k=i)$ 是指发生故障的逻辑门数为 i 的概率, $P(Y = \text{正确逻辑值} | k=i)$ 表示在 i 个逻辑门出错的情况下,输出仍然正确的概率.将式(2)、(3)代入式(6):

$$R = \sum_{i=0}^t P(k=i)P(Y = \text{正确逻辑值} | k=i) \\ = \sum_{i=0}^t P(k=i) \sum_{w=0}^{2^m-1} P(\mathbf{X}_w)P(Y = \text{正确逻辑值} | \mathbf{X}_w; k=i)$$

上式中 $P(Y = \text{正确逻辑值} | \mathbf{X}_w; k=i)$ 表示输入向量为 \mathbf{X}_w 且有 i 个逻辑门发生故障时电路输出仍然正确的概率.引入式(5)的表示方法,同时考虑到总共 t 个逻辑门中有 i 个发生故障的组合数为 C_i^t ,用 $Y(\mathbf{G}_i(i); j; \mathbf{X}_w)$ ($j=1, 2, \dots, C_i^t$) 表示输入向量为 \mathbf{X}_w 且有 i 个逻辑门出错的其中一种组合情况对应的输出.继续对上式进行变换,得:

$$R = \sum_{i=0}^t P(k=i) \sum_{w=0}^{2^m-1} P(\mathbf{X}_w) \frac{1}{C_i^t} \sum_{j=1}^{C_i^t} \\ [Y(\mathbf{G}_i(i); j; \mathbf{X}_w) \odot Y(\mathbf{G}_i(0); \mathbf{X}_w)] \\ = \frac{1}{2^m} \sum_{i=0}^t P(k=i) \sum_{w=0}^{2^m-1} \frac{1}{C_i^t} \sum_{j=1}^{C_i^t} \\ [Y(\mathbf{G}_i(i); j; \mathbf{X}_w) \odot Y(\mathbf{G}_i(0); \mathbf{X}_w)] \quad (7)$$

在各个门相互独立,且都以相同的概率 f 发生故障的前提下, $P(k=i)$ 满足伯努利分布,用公式(8)表示为:

$$P(k=i) = C_i^t f^i (1-f)^{t-i} \quad (8)$$

将式(8)代入式(7),得到:

$$R = \sum_{i=0}^t C_i^t f^i (1-f)^{t-i} \cdot \frac{1}{2^m} \sum_{w=0}^{2^m-1} \frac{1}{C_i^t} \sum_{j=1}^{C_i^t} \\ [Y(\mathbf{G}_i(i); j; \mathbf{X}_w) \odot Y(\mathbf{G}_i(0); \mathbf{X}_w)] \\ = \sum_{i=0}^t C_i^t f^i (1-f)^{t-i} \cdot T_i \quad (9)$$

其中, T_i 表示发生错误输出的逻辑门数 $k=i$ 时,电路的输出仍然正确的概率,因此 $T_i \in [0, 1]$.

3.2 电路可靠性分析

本节利用上述公式对电路的可靠度进行分析.由公式(9)可知 $T_0=1$,即在所有逻辑门正常的情况下,电路将输出正确的结果.将 R 改写为:

$$R = C_0^t f^0 (1-f)^t + \sum_{i=1}^t C_i^t f^i (1-f)^{t-i} \cdot T_i \\ = (1-f)^t + \sum_{i=1}^t C_i^t f^i (1-f)^{t-i} \cdot T_i \quad (10)$$

式(10)表明电路可靠度 $R \geq (1-f)^t$,在设定 f 的情况

下可计算得到电路可靠度的下限值 $R_{cf} = (1-f)^t$,并称该值为保守下限值.将式(10)后半部分看作电路可靠度的 i 阶 ($i=1, 2, \dots, t$) 分量之和.显然,电路可靠度最终结果的准确性与 T_i 的计算情况有关.在 f 较小的情况下,2阶及更高阶分量的系数 $P(k=i)$ 相比1阶分量系数 $P(k=1)$ 很小,本文将保守下限值与1阶分量之和作为电路可靠度的实验下限值 R_{ef} ,即 $R_{ef} = R_{cf} + P(k=1) \cdot T_1$,此时忽略了2阶及全部更高阶分量,可认为是一种最悲观的结果,因为该情况将所有多故障电路都看作不可靠;另一种极端情况是将 T_i ($i \geq 2$) 全部当成1进行处理,此时得到的可靠度为实验上限值 R_{eu} ,即 $R_{eu} = R_{cf} + P(k=1) \cdot T_1 + \sum_{i=2}^t P(k=i) \cdot 1$,考虑到 $\sum_{i=0}^t P(k=i) = 1$,所以 R_{eu} 可表示成 $R_{eu} = 1 - (1-T_1) \cdot P(k=1)$,这是最乐观的结果,但实际可能并不会发生.

4 实验结果及分析

4.1 组合电路实验结果

实验电路采用 ISCAS'85 基准电路.通过随机加载测试向量,并分别对正常电路与故障电路进行模拟来估算 T_1 值.具体步骤是:对每个施加至电路输入端的向量,模拟得到正常电路的输出响应,并与单个逻辑门发生故障后的响应进行比较,遍历所有逻辑门使其轮流出错,统计输出向量的正确率得到 T_1 的近似值;根据3.2节的分析,计算出各个电路可靠度的实验下限值与上限值.实验环境为 PC(Intel® Core(TM) i3-2310M CPU @ 2.10GHz, 2GB 内存),结果如表1所示:

实验中, f 值设为 $1e-4$,该值的大小与当前 CMOS 技术水平相适应^[12,13].实验采用随机加载向量和多次模拟的方式,所需存储空间与电路规模呈线性关系;时间开销与电路规模有关,还取决于随机施加的向量数.为了得到较准确的 T_1 值,对于原始输入数较多的电路,实验选取的向量数也较多.除 C17 电路可以穷举所有输入向量外,表1其他电路的 T_1 值都是10组实验结果的平均值,每组施加的随机向量数在表中列出.减少模拟的测试向量数,可以节省时间,而得到的结果与大样本向量空间的计算结果相差并不大.

为了证明表1所得 T_1 的值准确有效,以下对 C432 电路 T_1 值的可信性与准确性进行定量分析.表2列出了对 C432 电路进行10次模拟实验的结果,每次都随机施加1000个测试向量并统计 T_1 值.

将 T_1 的取值看作随机变量 X ,若实验全部可能的统计值是一个总体,则每次实验得到的 T_1 值是来自总体 X 的随机样本.总体 X 近似服从均值为 μ , 方差为 σ^2 的正态分布,即 $X \sim N(\mu, \sigma^2)$.针对10次模拟实验,可设 X_1, X_2, \dots, X_{10} 为总体 $N(\mu, \sigma^2)$ 的样本, \bar{X}, S^2 分别是

表 1 ISCAS'85 电路可靠度 ($f = 1e-4$)

电路	逻辑门数 t	PI 数 m	保守下限值 R_{ef}	$P(k = 1)$	施加的向量数	T_1	实验下限值 R_{ef}	实验上限值 R_{eu}
C17	6	5	0.99940015	0.00059970	32	0.177083	0.99950635	0.99950650
C432	268	36	0.97355463	0.02609387	1,000	0.795124	0.99430249	0.99465399
C1355	546	41	0.94686123	0.05170379	2,000	0.586694	0.97719553	0.97863051
C1908	880	33	0.91575685	0.08059466	1,000	0.536399	0.95898775	0.96263624
C2670	1193	233	0.88753620	0.10589366	50,000	0.624028	0.95361681	0.96018695
C3540	1669	50	0.84627717	0.14125779	5,000	0.699272	0.94505479	0.95751983
C5315	2307	178	0.79396846	0.18318684	10,000	0.650788	0.91318426	0.93602896
C6288	2416	32	0.78536075	0.18976214	1,000	0.105203	0.80532430	0.83020141
C7552	3512	207	0.70383061	0.24721003	30,000	0.598602	0.85181103	0.90077039

表 2 C432 电路 10 次实验结果

n	1	2	3	4	5	6	7	8	9	10
T_1	0.794746	0.796526	0.794679	0.795556	0.795082	0.794168	0.795284	0.794896	0.794757	0.795541

样本均值和样本方差. 此时 σ^2 未知, 考虑到 S^2 是 σ^2 的无偏估计, 可知 $\frac{\bar{X} - \mu}{S/\sqrt{n}}$ 服从自由度为 $(n - 1)$ 的 t 分布, 即

$$\frac{\bar{X} - \mu}{S/\sqrt{n}} \sim t(n - 1). \text{ 给定置信水平为 } (1 - \alpha), \text{ 可得}$$

$$P\{-t_{\alpha/2}(n - 1) < \frac{\bar{X} - \mu}{S/\sqrt{n}} < t_{\alpha/2}(n - 1)\} = 1 - \alpha, \text{ 即}$$

$$P\{\bar{X} - \frac{S}{\sqrt{n}}t_{\alpha/2}(n - 1) < \mu < \bar{X} + \frac{S}{\sqrt{n}}t_{\alpha/2}(n - 1)\} = 1 - \alpha, \text{ 于是得到 } \mu \text{ 的一个置信水平为 } (1 - \alpha) \text{ 的置信区间 } (\bar{X} \pm \frac{S}{\sqrt{n}}t_{\alpha/2}(n - 1)).$$

由表 2 的结果得到: $\bar{x} = 0.795124, s = 6.49e-4$, 若给定置信水平为 0.95, 即 $\alpha = 0.05$, 则由 t 分布表可知 $t_{0.025}(9) = 2.2622$, 得均值 μ 的一个置信水平为 0.95 的

置信区间为 $(0.794659, 0.795589)$, 说明估计 C432 电路 T_1 的均值范围在 0.794659 与 0.795589 之间, 且这个估计的可信程度为 95%; 若给定置信水平为 0.99, 可得该 T_1 均值范围在 0.794457 与 0.795791 之间.

表 3 给出了几个实验电路对应置信水平为 0.99 的 T_1 值的范围以及经重新修正后的 R_{ef} 和 R_{eu} .

表 3 中的 \bar{x} 和 s 分别为每个电路 10 次实验的样本均值和样本标准差; 表 3 最后两列是修正后的 R_{ef} 和 R_{eu} , 分别用 R_{ef}^* 和 R_{eu}^* 表示, 其中, $R_{ef}^* = R_{ef} + P(k = 1) \cdot T_{1min}$; $R_{eu}^* = 1 - (1 - T_{1max}) \cdot P(k = 1)$. 修正的目的是为了确保电路的真实可靠度处于 R_{ef}^* 和 R_{eu}^* 之间的概率大于 99%.

图 2 将本方法的实验结果与文献[3]、文献[4,5]和 Monte Carlo 方法的结果做了比较.

表 3 T_1 值范围及更新后的实验上、下限值 (置信水平为 0.99)

电路	\bar{x}	s	T_1 值范围 ($T_{1min} \sim T_{1max}$)	R_{ef}^*	R_{eu}^*
C432	0.795124	0.000649	0.794457 ~ 0.795791	0.99428509	0.99467140
C1355	0.586694	0.002422	0.584295 ~ 0.589183	0.97707150	0.97875920
C1908	0.536399	0.002509	0.533821 ~ 0.538977	0.95877997	0.96284401
C2670	0.624028	0.002108	0.621862 ~ 0.626194	0.95338744	0.96041631
C3540	0.699272	0.002234	0.696976 ~ 0.701568	0.94473046	0.95784416
C5315	0.650788	0.002861	0.647848 ~ 0.653728	0.91264569	0.93656753
C6288	0.105203	0.000216	0.104981 ~ 0.105425	0.80528217	0.83024353
C7552	0.598602	0.002088	0.596456 ~ 0.600748	0.85128052	0.90130090

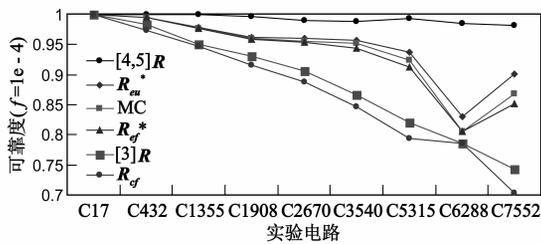


图2 电路可靠性对比图

图2中的6组标记由上至下分别代表文献[4,5]实验结果、本文的实验上限值、Monte Carlo实验结果、本文的实验下限值、文献[3]实验结果和本文定义的保守下

表4 ISCAS'89 电路可靠性 ($f=1e-4$)

电路	逻辑门数 t	触发器数 s	PI + PPI 数 m	PO + PPO 数 n	实验下限值 R_{of}	实验上限值 R_{en}	文献[14]方法	Monte Carlo 实验结果
S27	10	3	7	4	0.99930073	0.99930118	0.997646	0.999301
S208	104	8	18	9	0.99485933	0.99491253	0.986573	0.994872
S344	160	15	24	26	0.99144575	0.99157162	0.975794	0.991560
S400	162	21	24	27	0.99154052	0.99166955	0.970202	0.991543
S526	193	21	24	27	0.99124695	0.99142988	0.965850	0.991341
S820	289	5	23	24	0.99339493	0.99380322	0.978915	0.993560
S1488	653	6	14	25	0.98149446	0.98353307	0.958583	0.982476
S5378	2779	179	199	213	0.85370652	0.88585253	0.827069	0.861560
S9234	5597	228	247	250	0.74848912	0.85729999	0.716482	0.777880
S13207	7951	669	700	790	0.55754527	0.74698918	0.473713	0.571300

表4的实验上、下限值 R_{en} 和 R_{of} 也是在给定置信水平为0.99的情况下得到的结果.表4还列出了文献[14]所述方法的计算结果,该文利用贝叶斯网络分析工具评估时序电路可靠性,假设触发器为理想电路,与本文的假设一致.针对以上十个实验电路,若将 R_{en} 与 R_{of} 的算术平均值 \bar{R} 作为本方法的结果,与 Monte Carlo 方法的实验结果相比较,本方法的相对误差均值为 $\gamma_1 = 1.84e-2$;文献[14]方法的相对误差均值为 $\gamma_2 = 4.02e-2$;而两种方法相对误差的方差分别为 $\delta_1 = 1.78e-2, \delta_2 = 2.31e-2$.其中,

$$\gamma = \frac{1}{10} \sum_{i=1}^{10} \frac{|R_i(\text{本方法或文献[14]方法}) - R_i(\text{MC})|}{R_i(\text{MC})};$$

$$\delta = \sum_{i=1}^{10} \left(\frac{|R_i(\text{本方法或文献[14]方法}) - R_i(\text{MC})|}{R_i(\text{MC})} - \gamma \right)^2,$$

进一步证实了本方法是准确有效的.

4.3 时空开销比较

图3和图4描述了四种方法的时间开销和空间开销:

图3与图4的实验数据都源自近似的实验环境.图3中,左边是5个组合电路,分别比较了本文方法、文献[3]方法和 Monte Carlo 方法的时间开销:Monte Carlo 方法由于采用了更大样本空间的输入向量激励,且考虑

限值.在无法精确计算大规模电路可靠度的情况下, Monte Carlo 模拟方法被认为能够提供最佳估计值.本文采用的 Monte Carlo 实验中,对每个电路随机施加的向量数为1,000,000,由此得到的结果可近似认为是电路的真实可靠度.该结果正好处于本文方法得到的可靠度上下限之间,且相差很小.相比文献[3~5]的方法,本方法的结果更符合实际情况.

4.2 时序电路实验结果

针对时序电路的实验采用 ISCAS'89 基准电路,结果如表4所示.

了多故障情况的模拟,所以最耗时;文献[3]方法次之(文献[4,5]方法是对文献[3]方法的改进,时空开销有所改善);本文方法由于采用的输入向量激励数较少,且只需模拟单个逻辑门发生故障的情况,耗时相对较少,所需时间大致与电路规模呈线性关系.对于右边5个时序电路,比较了本文方法、文献[14]方法和 Monte Carlo 方法的情况:文献[14]方法在贝叶斯网络推理方面需要耗费大量时间;Monte Carlo 方法因为只模拟单时钟周期情况,耗时反而比贝叶斯方法少;而本文方法耗时最少.图4的比较情况跟图3类似.因此,综合时间与空间开销因素,再考虑到计算结果的准确性指标,本方法更适合于大规模甚至超大规模电路的可靠性计算.

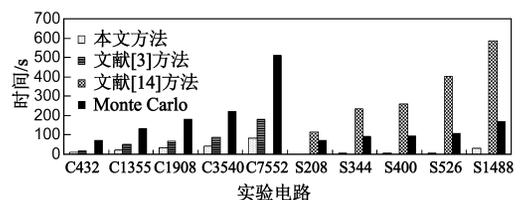


图3 各方法时间开销比较图

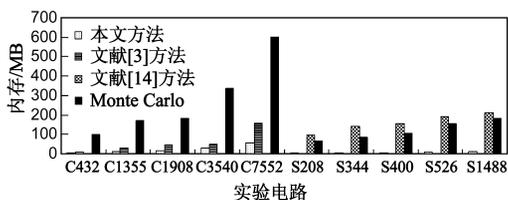


图4 各方法空间开销比较

5 结束语

本文利用概率统计模型计算逻辑电路的可靠度,将电路可靠度分解为一系列条件概率与特定系数的乘积之和,再利用伯努利分布特性计算各阶分量系数,并在1阶分量基础上得到电路可靠度的范围.实验结果说明本方法准确、可行,能用于评估大规模甚至超大规模逻辑电路的可靠性.

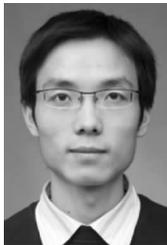
参考文献

- [1] Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices[A]. Proceedings of Design, Automation and Test in Europe Conference and Exhibition, Munich[C]. New York: ACM Society, 2005. 282 – 287.
- [2] 王真,江建慧,沈君华,等.基于概率转移矩阵的电路可靠性并行计算方法[J].小型微型计算机系统,2008,29(2): 357 – 360.
Wang Z, et al. Parallel processing of the probabilistic transfer matrix based circuits reliability calculation[J]. Journal of Chinese Computer Systems, 2008, 29(2): 357 – 360. (in Chinese)
- [3] 王真,江建慧.基于概率转移矩阵的串行电路可靠度计算方法[J].电子学报,2009,37(2):241 – 247.
Wang Z, Jiang J H. A serial method of circuit reliability calculation based on probabilistic transfer matrix[J]. Acta Electronica Sinica, 2009, 37(2): 241 – 247. (in Chinese)
- [4] Jie Xiao, Jianhui Jiang, Xuguang Zhu, et al. A method of gate-level circuit reliability estimation based on iterative PTM model [A]. Proceedings of the 2011 IEEE 17th Pacific Rim International Symposium on Dependable Computing [C]. Pasadena, California, USA: IEEE Computer Society, 2011. 276 – 277.
- [5] 肖杰,江建慧,朱旭光.一种基于迭代 PTM 模型的电路可靠性评估方法[J].计算机学报,2014,37(7):1508 – 1520.
Xiao J, Jiang J H, et al. A method of circuit reliability estimation based on iterative PTM model[J]. Chinese Journal of Computers, 2014, 37(7): 1508 – 1520. (in Chinese)
- [6] Franco DT, Vasconcelos MC, et al. Reliability analysis of logic circuits based on signal probability[A]. 15th IEEE International Conference on Electronics, Circuits and Systems[C]. St Julien's, Malta: IEEE Computer Society, 2008. 670 – 673.
- [7] Franco DT, Vasconcelos MC, Naviner L, et al. Reliability of

logic circuits under multiple simultaneous faults[A]. 51st Midwest Symposium on Circuits and Systems[C]. Knoxville, TN: IEEE Computer Society, 2008. 265 – 268.

- [8] J Torras Flaquer, J M Daveau, et al. Fast reliability analysis of combinatorial logic circuits using conditional probabilities[J]. Microelectronics Reliability, 2010, 50(9): 1215 – 1218.
- [9] 蔡烁,邝继顺,刘铁桥,等.一种高效的门级电路可靠度估算方法[J].电子与信息学报,2013,35(5):1262 – 1266.
Cai S, Kuang J S, et al. An efficient reliability estimation method for gate-level circuit[J]. Journal of Electronics & Information Technology, 2013, 35(5): 1262 – 1266. (in Chinese)
- [10] Singh N S S, Hamid N H, Asirvadam V S, et al. Evaluation of circuit reliability based on distribution of different signal input patterns[A]. 8th IEEE International Colloquium on Signal Processing and Its Applications [C]. Melaka, Malaysia: IEEE Computer Society, 2012: 5 – 9.
- [11] Singh N S S, Hamid N H, Asirvadam V S, et al. Sensitivity analysis of probability transfer matrix (PTM) on same functionality circuit architectures[A]. 8th IEEE International Colloquium on Signal Processing and Its Applications[C]. Melaka, Malaysia: IEEE Computer Society, 2012: 250 – 254.
- [12] 欧阳城添,江建慧.基于概率转移矩阵的时序电路可靠度估计方法[J].电子学报,2013,41(1):171 – 177.
OuYang C T, Jiang J H. Reliability estimation of sequential circuit based on probabilistic transfer matrices[J]. Acta Electronica Sinica, 2013, 41(1): 171 – 177. (in Chinese)
- [13] Seyyed Mahdavi S J, Mohammadi K. SCRAP: Sequential circuits reliability analysis program[J]. Microelectronics Reliability, 2009, 49(8): 924 – 933.
- [14] K Lingasubramanian, S Bhanja. An error model to study the behavior of transient errors in sequential circuits[A]. Proc Of 22nd International Conference on VLSI Design[C]. New Delhi, India: IEEE Computer Society, 2009. 485 – 490.

作者简介



蔡烁 男,1982 年生于湖南南县,湖南大学信息科学与工程学院博士研究生,长沙理工大学计算机与通信工程学院讲师.研究方向为数字电路测试、容错计算.

E-mail: csustcs4002@163.com

邝继顺 男,1959 年生于湖南永兴,湖南大学信息科学与工程学院教授,博士生导师.研究方向为集成电路测试与设计、容错计算、嵌入式系统.