

45nm 低功耗、高性能 Zipper CMOS 多米诺全加器设计

汪金辉¹, 宫娜², 耿淑琴¹, 侯立刚¹, 吴武臣¹, 董利民¹

(1. 北京工业大学集成电路与系统研究室, 北京 100022; 2. 河北大学电子信息工程学院, 河北保定 071002)

摘 要: 提出了电荷自补偿技术, 此技术利用 P 型多米诺电路动态结点的放电对 N 型多米诺电路的动态结点充电, 并在此技术基础上综合应用双阈值技术和多电源电压技术, 设计了新型低功耗、高性能 Zipper CMOS 多米诺全加器. 仿真过程中提出了功耗分布法, 精确找到了电荷自补偿技术的最优路径. 仿真结果表明, 在相同的时间延迟下, 与标准 Zipper CMOS 多米诺全加器、双阈值 Zipper CMOS 多米诺全加器、多电源电压 Zipper CMOS 多米诺全加器相比, 新型 Zipper CMOS 多米诺全加器动态功耗分别减小了 37%、35% 和 7%, 静态功耗分别减小了 41%、20% 和 43%. 最后, 分析并得到了新型全加器漏电流最低的输入矢量和时钟状态.

关键词: 动态功耗; 静态功耗; 漏电流; Zipper CMOS 多米诺全加器; 电荷自补偿技术

中图分类号: TN4 **文献标识码:** A **文章编号:** 0372-2112 (2009) 02-0266-06

Low Power and High Performance Zipper CMOS Domino Full-Adder Design in 45nm Technology

WANG Jin-hui¹, GONG Na², GENG Shu-qin¹, HOU Li-gang¹, WU Wu-chen¹, DONG Li-min¹

(1. VLSI and System Laboratory, Beijing University of Technology, Beijing 100022, China;

2. College of Electronic and Information Engineering, Hebei University, Baoding, Hebei 071002, China)

Abstract: A charge self-compensation techniques, based on the dynamic node of the P-type charging dynamic node of N-type, is proposed in this paper. Utilizing this technique, the dual-threshold voltage techniques and the multiple supply voltages techniques a low power and high performance Zipper CMOS domino full-adder is designed. And a novel method of the power distribution is introduced. With this method, the optimal path of the proposed Zipper CMOS full-adder with the charge self-compensation techniques is found accurately to minimize the power. Simulation results prove that active power of proposed Zipper CMOS full-adder can be reduced by up to 37%, 35% and 7%, and static power can be reduced by up to 41%, 20% and 43% as compared to the standard, the dual threshold voltage, and the multiple supply Zipper CMOS domino full-adder under similar delay time, respectively. At last, the inputs and clock signals combination sleep state dependent on leakage current characteristics is analyzed and the optimal sleep state is obtained.

Key words: active power; static power; leakage current; Zipper CMOS domino full-adder; charge self-compensation techniques

1 引言

全加器是所有运算电路的基本单元, 是数字系统最关键的部件之一. 全加器的功耗和运算速度, 直接决定整个电路系统的综合性能. 而以 Zipper CMOS 多米诺全加器为代表的动态全加器以其速度快、面积小优良特性被广泛应用于微处理器的流水线结构及关键路径中, 它是处理器中乘法累加单元必不可少的组成部分^[1,2]. 但是, 随着 CMOS 集成电路技术的快速发展, 微处理器的时钟频率不断增加, 功耗不断增大, 从而影响了性能的

进一步提高^[3,4]. 尤其是在手机、掌上电脑 (PDA)、笔记本电脑等大量便携式设备的出现以后, 低功耗的要求更加迫切. 显然, 设计出低功耗、高性能多米诺全加器是微处理器发展的关键和挑战.

CMOS 电路的功耗由动态功耗和漏电流功耗两部分组成. 在 CMOS 工艺达到 90nm 之前, 由于多米诺电路的高频开关特性, 使得动态功耗成为多米诺电路功耗的主要部分. 但是, 随着集成电路工艺特征尺寸的减小, 晶体管的阈值电压和栅氧化层的厚度也必须相应的缩小, 而亚阈值漏电流和栅极漏电流却分别随着阈值电压和

栅氧化层的厚度的缩小而呈指数倍增加. 根据国际半导体发展规划(The International Technology Roadmap for Semiconductors, ITRS)^[5]预测, 亚 65nm 工艺下, 漏电流消耗的功耗将占到电路总功耗的 50%. 而且, 漏电流功耗是电路处于静态休眠状态时功耗的唯一来源. 因此低动态功耗和低漏电流设计已成为当前低功耗设计的关键. 业已提出诸多降低多米诺电路功耗的方法, 如多电源电压技术^[6]、门控时钟技术^[7]、多阈值 MOS 管技术^[8]、低电压摆幅技术^[9]、和窄脉冲技术^[10]等, 其中多电源电压技术和多阈值 MOS 管技术是广为认可的有效方法, 但它们在降低功耗的同时均造成了电路的速度损失. 本文提出了电荷自补偿技术, 利用 P 型多米诺电路动态结点的放电对 N 型多米诺电路的动态结点充电, 使其在保证速度的前提下, 降低了动态功耗. 本文设计的新型 Zipper CMOS 多米诺全加器在此技术的基础上, 综合采用多阈值和多电源电压技术, 实现了同时降低了动态功耗和静态功耗的设计目的.

2 高性能、低功耗多米诺全加器设计

漏电流过大, 易受干扰的问题成为影响亚 65nm Zipper CMOS 多米诺全加器广泛应用的关键. 文献^[11]

提出的双阈值技术是目前在降低亚阈值漏电流方面被广为认可的技术, 该技术在多米诺电路的关键路径即求值路径采用低阈值电压晶体管, 在非关键路径应用高阈值电压晶体管, 从而在保证电路的速度的同时, 有效的降低了电路的亚阈值漏电流. 由式(1)可知, 阈值电压 V_{th} 越大, 亚阈值漏电流 I_{sub} 越小, 表 1^[12] 示出了 45nm 工艺低阈值器件和高阈值器件归一化后的漏电流. 由于空穴的迁移率比电子小的多, 相同尺寸下 PMOS 的漏电流明显低于 NMOS. 双阈值技术需要增加门控级, 使静态的多米诺门位于最小的漏电流状态下^[11, 13]. 文献^[6]提出了多电源电压技术, 该技术通过采用较低的电源电压 V_{dd} , 和较高的地电平 $Gndh$, 使电压摆幅 V_{swing} 从 $V_{dd}-Gnd$ 分别减小到 $V_{dd}-Gnd$ 和 $V_{dd}-Gndh$, 从而降低了电路的动态功耗和静态功耗, 如式(2)所示.

$$I_{sub} = \frac{W_{eff}}{L_{eff}} u \sqrt{\frac{q}{2} \frac{N_{ch}}{s}} V_T^2 \exp \left(\frac{V_{gs} - V_{th}}{nV_T} \right) \left(1 - \exp \left(-\frac{V_{th}}{V_T} \right) \right) \quad (1)$$

$$P = P_{switching} + P_{leak} = fCLV_{dd}V_{swing} + I_{leak}V_{dd} \quad (2)$$

表 1 25 °C 下, 低阈值器件和高阈值器件归一化后的漏电流^[12]

	NMOS 晶体管		PMOS 晶体管	
	低阈值	高阈值	低阈值	高阈值
$A: I_{leak} (I_{sub}, I_{gate}) [25^\circ C]$	126.2 (66.5, 59.6)	60.4 (0.8, 59.6)	56.3 (52.8, 3.4)	4.4 (1.3, 4)
$B: I_{gate} [25^\circ C]$	159.1	124.0	5.3	5.3

注: 晶体管: $W = 1\mu m, L = 45nm$; I_{leak} : 总的漏电流; I_{gate} : 栅极漏电流. I_{sub} : 亚阈值漏电流. 低阈值为 0.22V, 高阈值为 0.35V, $V_{dd} = 0.8V$. 状态 A: $V_{gs} = 0; |V_{ds}| = V_{dd}$. 状态 B: $|V_{gs}| = |V_{gd}| = |V_{gb}| = V_{dd}$. 漏电流以高阈值 PMOS 管, 在 A 状态的亚阈值漏电流归一化.

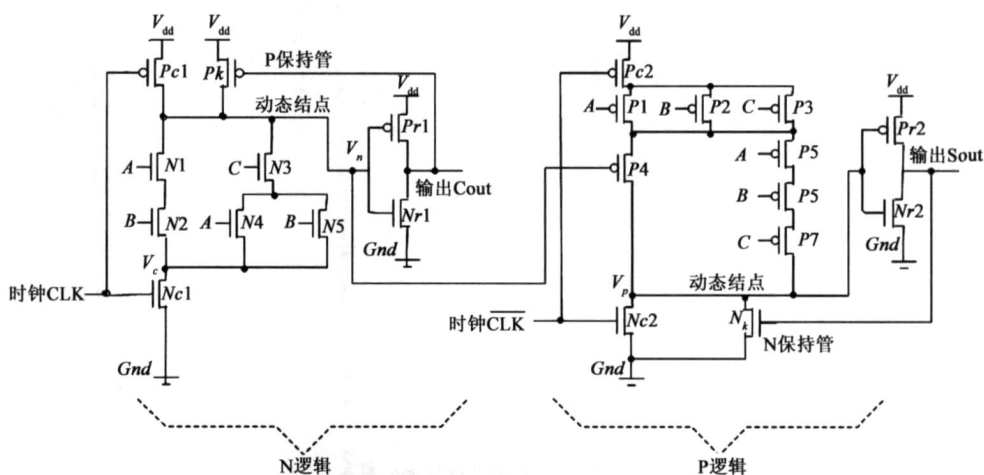


图1 标准Zipper CMOS多米诺全加器

标准 Zipper CMOS 多米诺全加器结构如图 1 所示. 从图中可以看出, 该结构主要分为两部分: N 型 Cout 求值逻辑块 (N 逻辑), 其中输入下拉网络 (PDN) 由 NMOS 管 $N1, N2, N3, N4, N5$ 组成; P 型 Sout 求值逻辑块 (P 逻辑), 其中输入上拉网络 (PUN) 由 PMOS 管 $P1, P2, P3, P4, P5, P6, P7$ 组成. N 逻辑的工作原理如下: 当时钟信号 $clock = 0$ 时, 为预充阶段, $Pc1$ 管导通, 动态结点被预充到高电平 V_{dd} ; 当 $clock = 1$ 时, 为求值阶段, $Pc1$ 管关

断, 其中输入上拉网络 (PUN) 由 PMOS 管 $P1, P2, P3, P4, P5, P6, P7$ 组成. N 逻辑的工作原理如下: 当时钟信号 $clock = 0$ 时, 为预充阶段, $Pc1$ 管导通, 动态结点被预充到高电平 V_{dd} ; 当 $clock = 1$ 时, 为求值阶段, $Pc1$ 管关

闭,动态结点视下拉(PDN)网络有条件地放电:如果PDN存在从动态结点到地的直流通路,那么动态结点对地放电至低电平;否则,动态结点将借助于保持管Pk保持高电平值 V_{dd} ,直到下一周期。P逻辑的工作原理如下:当时钟信号 $clock = 1$ 时,为电路的预放电阶段, $Nc2$ 管导通,动态结点被放电到低电平Gnd;当 $clock = 0$ 时,为求值阶段, $Nc2$ 管关闭,动态结点视上拉PUN网络有条件地充电:如果PUN网络存在从动态结点到电源 V_{dd} 的直流通路,那么动态结点充电至高电平;否则,动态结点将借助于保持管 Nk 保持低电平Gnd,直到下一周期。从以上工作原理可以看出,如果电路求值后,N逻辑的动态结点由高变为低,同时P逻辑的动态结点由低变为高,则在下一周期预充(或预放电)阶段,N逻辑的动态结点由电源充电,P逻辑的动态结点对地放电,二者同时消耗充放电功耗,从而增大了动态功耗。因此,为了有效的降低电路的动态功耗,本文提出了电荷自补偿技术,该技术基于自补偿电荷通路,利用P型多米诺电路动态结点的放电对N型多米诺电路的动态结点充电,从而节约了充放电功耗,进一步降低了动态功耗,图2所示。

电荷自补偿通路必须具有两项判断功能,(1)必须在预充(或预放电)阶段此通路才能开启;(2)只有当N型多米诺电路的动态结点充电,P型多米诺电路的动态结点放电时此通路才有效。自补偿电荷通路结构如图2所示。工作原理如下: $CLK = 0$ 时的预充(或预放电)阶段,判断管 N_{p1} 导通,如果N型动态结点为低,P型动态

结点为高,自补偿电荷通路将同时开启;否则, $CLK = 1$ 或动态结点不满足高低电平要求,自补偿电荷通路将同时截止。当自补偿电荷通路开启时,电荷自补偿过程为:P型动态结点电压 V_p 初始为 V_{dd} ,N型动态结点的电压 V_n 初始值为Gnd,补偿通路导通后 V_p 对 V_n 充电, V_p 逐渐减小, V_n 逐渐增大,当 $V_p - V_{th} = V_n + |V_{tp}|$ (V_{th} 和 V_{tp} 分别表示晶体管 P_p 和 N_{p2} 的阈值电压)时, V_p 对 V_n 充电结束,接着 V_p 继续通过 $Nc2$ 放电至Gnd, V_n 继续通过 $Pc1$ 充电至 V_{dd} 。

很显然,电荷的自补偿过程受时钟频率影响,如果时钟频率过大,预充(或预放电)阶段时间太短, V_p 对 V_n 的充电可能达不到理想的情况 $V_p - V_{th} = V_n + |V_{tp}|$,从而影响电荷补偿效果。为了解决这一问题,可通过加大自补偿通路晶体管宽长比来加快补偿速度,从而保证补偿效果。但自补偿通路的开启与截止同时也消耗充放电功耗,而自补偿通路晶体管尺寸的增大将增大该通路的充放电功耗,从而使动态功耗增大。假设自补偿通路本身消耗的功耗为 $E_{通路}$,补偿的电荷量 Q 产生的功耗 $E_{补偿}$,多米诺电路的动态功耗减小量为 E ,则 E 由 $E_{补偿}$ 和 $E_{通路}$ 之间的差值决定,如式(3)和(4)所示。

$$E_{补偿} = QU \quad (3)$$

$$E = E_{补偿} - E_{通路} \quad (4)$$

本文提出的新型Zipper CMOS多米诺全加器,如图2,综合应用电荷自补偿技术、双阈值技术和多电源电压技术,有效的降低了动态功耗和静态功耗。

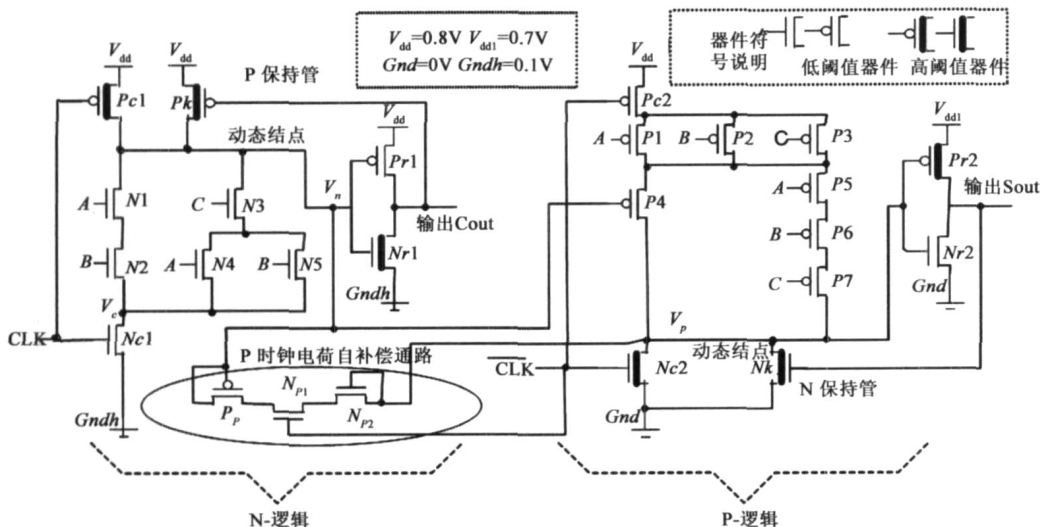


图2 应用双阈值、多电源电压、电荷自补偿技术的Zipper CMOS多米诺全加器

3 仿真结果分析

基于45nm CMOS BSIM4 器件模型^[14],本文对标准Zipper CMOS多米诺全加器(图1)、双阈值Zipper CMOS

多米诺全加器、多电源电压Zipper CMOS多米诺全加器、应用电荷自补偿技术的多电源电压、双阈值Zipper CMOS多米诺全加器(图2),分别进行了HSPICE仿真。每个全加器驱动8fF的负载电容,工作温度为110℃,静

态休眠温度为室温 25℃,器件参数如表 2 所示,下拉网络中 NMOS 管的 W/L 为 8 - 12,上拉网络中 PMOS 的 W/L 为 40 - 60.通过调整晶体管尺寸,所有的多米诺全

加器具有相同的延迟时间,并都工作在 1GHz 频率下,从而有效的比较不同 Zipper CMOS 多米诺全加器达到相同性能的动态功耗和静态功耗.

表 2 器件参数

工艺尺寸	电源		地电压		器件阈值			
	V_{dd}	V_{ddl}	Gnd	Gndh	高阈值 NMOS	高阈值 PMOS	低阈值 NMOS	低阈值 PMOS
45nm	0.8V	0.7V	0V	0.1V	0.35V	- 0.35V	0.22V	- 0.22V

由式(4)可知,自补偿技术的有效性受自补偿通路本身功耗的影响,而自补偿通路本身功耗又由通路中 NMOS 和 PMOS 的宽长比 W/L 决定.所以如何获得使 Zipper CMOS 多米诺全加器功耗最小的自补偿通路,即最优通路,至关重要.为此,本文提出了功耗分布方法.图 3 为补偿通路中 NMOS 管和 PMOS 管随 W/L 变化的动态功耗分布图, W/L 的变化范围从 1 到 20.从图中可以得出,当 NMOS 的 W/L 为 20,PMOS 的 W/L 为 17 时,全加器的功耗最小.

表 3 示出了四种全加器在两种时钟状态和八种输入矢量下的静态漏电流.从表中可以看出,当 $CLK = 1$

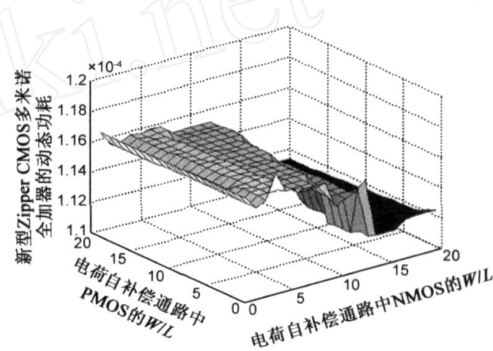


图3 应用电荷自补偿技术全加器功耗分布图

表 3 四种 Zipper CMOS 多米诺全加器,不同输入矢量和时钟信号时的静态漏电流(A)

全加器	时钟信号	输入 矢 量							
		(0,0,0)	(0,0,1)	(0,1,0)	(0,1,1)	(1,0,0)	(1,0,1)	(1,1,0)	(1,1,1)
标 准	0	6.945e-7	4.822e-7	4.993e-7	5.301e-7	5.025e-7	5.371e-7	5.406e-7	5.515e-7
	1	8.562e-6	4.447e-6	1.536e-6	1.059e-6	7.368e-6	1.058e-6	1.220e-6	1.919e-6
多电源电压	0	5.130e-7	4.943e-7	5.073e-7	5.329e-7	5.027e-7	5.323e-7	5.316e-7	5.395e-7
	1	5.648e-7	1.778e-5	9.153e-7	1.022e-6	1.649e-5	1.021e-6	1.183e-6	1.326e-6
双阈值	0	8.619e-7	6.700e-7	6.668e-7	6.976e-7	6.700e-7	7.046e-7	7.081e-7	7.190e-7
	1	3.589e-7	5.039e-7	6.556e-7	8.361e-7	7.936e-7	8.355e-7	9.974e-7	1.123e-6
新 型	0	6.747e-7	6.560e-7	6.691e-7	6.945e-7	6.644e-7	6.939e-7	6.934e-7	7.012e-7
	1	2.829e-7	4.199e-7	6.021e-7	7.936e-7	6.770e-7	7.930e-7	9.550e-7	4.923e-6

及输入矢量为(0,0,0)时,新型 Zipper CMOS 多米诺全加器的漏电流最小.这是由于,当 $CLK = 1$ 时, $Nc1$ (低阈值)、 $Pc2$ (低阈值)导通, $Pc1$ (高阈值)、 $Nc2$ (高阈值)截止(图 2 所示),此时,总的漏电流值为 $229.2(159.1 + 5.3 + 4.4 + 60.4 = 229.2)$ (见表 1);当 $CLK = 0$, $Nc1$ (低阈值)、 $Pc2$ (低阈值)截止, $Pc1$ (高阈值)、 $Nc2$ (高阈值)导通(图 2 所示),总的漏电流值为 $311.8(126.2 + 124.0 + 56.3 + 5.3 = 311.8)$ (见表 1).而输入矢量主要影响 PDN 和 PUN 中晶体管的状态,PDN 和 PUN 中均为低阈值晶体管,低阈值 PMOS 导通时产生的漏电流 5.3 远小于其截止时的 56.3,低阈值 NMOS 截止时漏电流 126.2 也小于导通时的 159.1,当输入矢量为(0,0,0)时,PDN 中的 NMOS 全部导通,PUN 中的 PMOS 全部截止,因此,当输入矢量为(0,0,0)时,总的漏电流最小.所以, CLK

$= 1$ 及矢量为(0,0,0)时是新型 Zipper CMOS 多米诺全加器漏电流最低状态,在休眠状态采用门控技术时,需要置电路于该状态下.

图 4 比较了四种 Zipper CMOS 多米诺全加器归一化的动态功耗和最小静态功耗.从图中可以看出,与标准 Zipper CMOS 多米诺全加器、双阈值 Zipper CMOS 多米诺全加器、多电源电压 Zipper CMOS 多米诺全加器相比,新型 Zipper CMOS 多米诺全加器的动态功耗分别减小了 37%、35%和 7%.一是因为电荷自补偿技术降低了电路的动态功耗,二是因为电荷自补偿技术也同时提高了预充和预放电阶段电路的速度.如图 2 所示,电路预充阶段,自补偿电荷通路打开, V_{dd} 和 V_p 共同为 V_n 充电.与不具备自补偿电荷通路的全加器在预充阶段只有单源 V_{dd} 充电相比,具备自补偿电荷通路的全加器在

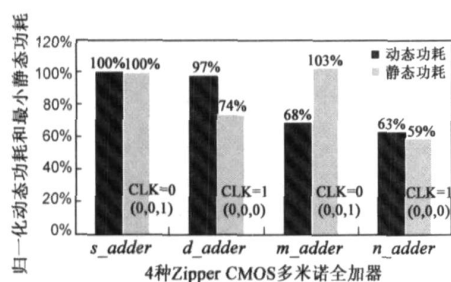


图4 4种Zipper CMOS多米诺全加器动态功耗和静态功耗的比较. s_adder : 标准Zipper CMOS多米诺全加器; d_adder : 双阈值Zipper CMOS多米诺全加器; m_adder : 多电源电压Zipper CMOS多米诺全加器; n_adder : 应用电荷自补偿技术的多电源电压、双阈值Zipper CMOS多米诺全加器

条件满足时将有 V_{dd} 和 V_p 双源充电, 这一改进将加快电路的速度. 所以, 与其他全加器达到相同性能时, 新型 Zipper CMOS 多米诺全加器可以减小部分晶体管的 W/L , 从而使动态功耗进一步降低.

从图 4 还可看出, $CLK=0$ 、输入矢量 $(0,0,1)$ 时, 标准 Zipper CMOS 多米诺全加器和多电源电压 Zipper CMOS 多米诺全加器静态功耗最低; $CLK=1$ 、输入矢量 $(0,0,0)$ 时, 双阈值 Zipper CMOS 多米诺全加器和新型 Zipper CMOS 多米诺全加器静态功耗最低. 四种 Zipper CMOS 多米诺全加器中, 新型 Zipper CMOS 多米诺全加器的静态功耗特性最好, 与其它三种全加器相比, 静态功耗分别减小了 41%, 20% 和 43%. 多电源电压 Zipper CMOS 多米诺全加器, 降低了部分电源电压, 由式 (5) 可知, 电源电压 V_{dd} 与全加器速度 v 成正比, 为了达到相同的速度, 必须加大部分晶体管的 W/L , 由 (1) 式可知, 全加器的亚阈值漏电流增大, 静态功耗增大, 当多电源电压技术减小的功耗不能抵消增加的亚阈值漏功耗时, 总的静态功耗比标准 Zipper CMOS 多米诺全加器增加 3%. 新型 Zipper CMOS 多米诺全加器, 具有双阈值 Zipper CMOS 多米诺全加器较小亚阈值漏电流的优势, 同时, 新型 Zipper CMOS 多米诺全加器较小 W/L 的晶体管 (式 (1)) 和多电源电压技术 (式 (2)) 的应用也效抑制了静态功耗. 所以, 新型 Zipper CMOS 多米诺全加器, 既优化了动态功耗, 又优化静态功耗, 达到设计目的.

$$v = \frac{V_{dd}^{0.3} \left(1 - \frac{V_T}{V_{dd}} \right)^{1.3}}{t_{OX}^{0.5}} \quad (5)$$

4 结束语

随着 CMOS 集成电路的快速发展, 对处理器流水线中关键部件 Zipper CMOS 多米诺全加器的要求越来越高. 本文提出了电荷自补偿技术, 并在此技术基础上综合应用双阈值技术和多电源电压技术, 设计出新型 Zipper CMOS 多米诺全加器, 在保证性能的前提下, 同时抑

制了电路的动态功耗和漏电流功耗. 另外, 提出了功耗分布法, 通过该方法, 精确、方便的找到了电荷自补偿技术的最优路径. 仿真结果表明, 在相同的时间延迟下, 与标准 Zipper CMOS 多米诺全加器、双阈值 Zipper CMOS 多米诺全加器、多电源电压 Zipper CMOS 多米诺全加器相比, 新型 Zipper CMOS 多米诺全加器动态功耗分别减小了 37%、35% 和 7%, 静态功耗分别减小了 41%、20% 和 43%. 最后, 分析并得到了新型 Zipper CMOS 多米诺全加器的最低漏电流状态即输入矢量 $(0,0,0)$ 和时钟 $CLK=1$.

参考文献:

- [1] Lee C M, Szeto E W. Zipper CMOS [J]. IEEE Circuits & Devices, 1986, 2(3): 10 - 13.
- [2] Lu F, Samuelli H. A 200 MHz CMOS pipelined multiplier-accumulator using a quasi-domino dynamic full-adder cell design [J]. IEEE Journal of Solid-State Circuits, 1993, 28(2): 123 - 132.
- [3] Bohr M T. Nanotechnology goals and challenges for electronic applications [J]. IEEE Trans on Nanotechnology, 2002, 1(1): 56 - 62.
- [4] Guo B Z, Gong N, Wang J H. Designing Leakage-Tolerant and Noise-Immune Enhanced Low Power Wide OR Dominos in Sub-70nm CMOS Technologies [J]. Chinese Journal of semiconductors, 2006, 5(5): 804 - 811.
- [5] Allan A, Edenfeld D, Joyner W H, et al. 2001 technology roadmap for semiconductors [J]. Computer, 2002, 35(1): 42 - 53.
- [6] Hsu S, Krishnamurthy R. Multiple supply-voltage zipper CMOS logic family with low active leakage power dissipation [P]. United States Patent: No. 6693461. 2004 - 02 - 17.
- [7] Abdollahi A, Fallah F, Pedram M. Leakage current reduction in CMOS VLSI circuits by input vector control [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2004, 12(2): 140 - 154.
- [8] Kursun V, Friedman E G. Domino logic with variable threshold voltage keeper [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2003, 11(6): 1080 - 1093.
- [9] Casu M R. Reduced clock swing domino logic [J]. Electronics Letters, 2002, 38(16): 860 - 861.
- [10] Chin P, Zukowski C A, Gristede G D, et al. Characterization of logic circuit techniques and optimization for high-leakage CMOS technologies [J]. The VLSI Journal, 2005, 38(3): 491 - 504.
- [11] Kao J T, Chandrakasan P. Dual-threshold voltage techniques for low-power digital circuits [J]. IEEE Journal of solid-state Circuits, 2000, 35(7): 1009 - 1018.
- [12] Liu Z, Kursun V. Leakage Biased PMOS Sleep Switch Dy-

- namics Circuits [J]. IEEE transactions on Circuits and Systems, 2006, 53(10): 1093 - 1097.
- [13] Khandelwal V, Srivastava A. Leakage control through fine-grained placement and sizing of sleep transistors [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 28(7): 1246 - 1255.
- [14] Yu Cao. Predictive Technology Model (PTM) [J/OL]. <http://www.eas.asu.edu/~ptm>.

作者简介:



汪金辉 男, 1981 年生于河北省唐山市, 现为北京工业大学, 集成电路与系统研究室, 博士研究生, 主要研究方向: 低功耗数字集成电路设计. E-mail: wangjinhui888@yahoo.com.cn



宫娜 女, 1982 年生于河北景县, 2007 年毕业于河北大学电子信息工程学院, 获得工学硕士学位, 研究方向: 低功耗高性能集成电路设计与研究. E-mail: gongna_china@yahoo.com.cn