

时钟信号竞争型三值 CMOS 边沿触发器

吴训威¹, 韦 健², 汪鹏君¹

(1. 宁波大学电路与系统研究所, 宁波 315211; 2. 浙江大学信电系, 杭州 310027)

摘 要: 本文利用时钟信号的竞争冒险现象, 提出了 CMOS 时钟信号竞争型三值 D 型边沿触发器的逻辑设计。通过 PSPICE 程序模拟, 证实了该设计具有正确的逻辑功能, 而且与传统的三值 D 型维持阻塞触发器相比, 它具有更简单的结构和更低的功耗。

关键词: 多值逻辑; 锁存器; 触发器; 竞争冒险; 低功耗

中图分类号: TN432, TP343 **文献标识码:** A **文章编号:** 0372-2112 (2000) 09-0126-02

Novel CMOS Ternary Edge-triggered Flip-flop

WU Xun-wei¹, WEI Jian², WANG Peng-Jun¹

(1. Inst. of Circuits and Systems, Ningbo University, Ningbo 315211, China;

2. Dept. of Info. & Elect. Eng., Zhejiang University, Hangzhou 310027, China)

Abstract: The narrow pulse produced by the race-hazard of clock is used to control the ternary latch, so as to meet the 'non-transparent' demand. Based on it, a CMOS D-type ternary edge-triggered flip-flop is proposed. This design is proved to have an exact logic function by PSPICE simulation, and it has a simple construction and lower power dissipation at the same time.

Key words: multi-valued logic; latch; flip-flop; race-hazard; low power dissipation

1 引言

多值触发器是多值数字系统中的重要结构单元, 且其结构复杂性与研究难度远较多值门电路为高, 因此对它的研究一直受到重视。它作为多值时序电路中的存贮部件, 必需满足在时钟到来时只发生一次状态转换的要求, 即一次操作。迄今为止, 实现一次状态转换的多值触发器有以下四种类型: 第一种是传统的采用两个多值锁存器串联的主从型触发器^[1~3]; 第二种是并列式的多拍多值触发器^[4]; 第三种是多值维持阻塞型触发器^[5,6]; 第四种是考虑控制时钟信号的多值边沿触发器^[7]。在以上最后一种触发器中一次操作实际上是由窄脉冲来保证的, 而这个窄脉冲则由时钟信号的竞争冒险现象来产生。该设计的主要优点是其结构中只需由一个门锁而不是两个门锁来组成。目前第四种边沿触发器的设计思想已应用于 TIL 类多值和二值触发器的设计中^[7,8]。另一方面, CMOS 器件由于具有低功耗、集成度高、制造工艺简单和成本低廉等优点, 正广泛应用于二值和多值数字电路的设计中。目前 CMOS 多值触发器一般都采用主从结构和维持阻塞结构, 而对基于时钟信号竞争型的多值 CMOS 边沿触发器以往还未有研究。为此, 本文提出基于 CMOS 传输门的三值 D 型时钟信号竞争型边沿触发器, 以完善对 CMOS 多值触发器的研究。

2 三值时钟信号竞争型边沿触发器

在上节中提出的第四种利用时钟信号的竞争冒险现象产生的窄脉冲来控制存贮元件, 以实现触发器一次状态转换的设计思想已应用于 TIL 类的多值边沿触发器设计中, 并且它也能够用于指导 CMOS 类多值边沿触发器的设计。图 1(a) 即为利用时钟信号的竞争冒险现象而设计的三值 D 型边沿触发器的逻辑结构, 在图 1(a) 电路结构中只需一级门锁, 该门锁由两路基本存贮单元组成, 每路存贮单元分别由一个二输入数据选择器和一个整形单元构成。这两路存贮单元分别产生² $\overline{Q^2}$ 、² $\overline{Q^2}$ 和⁰ $\overline{Q^0}$ 、⁰ $\overline{Q^0}$ 文字信号。由于¹ $\overline{Q^1} = \overline{\overline{Q^2} + \overline{Q^0}}$, 所以不再需要另外的存贮单元即可利用已有的² $\overline{Q^2}$ 和⁰ $\overline{Q^0}$ 得到¹ $\overline{Q^1}$ 。图 1(b) 为一条时钟链, 为使之与触发器数据选择器通道上的阈 0.5 和阈 1.5 反相器的传输特性相匹配, 时钟链上均采用阈 1.5 反相器来产生数据选择器内 CMOS 传输门所需的时钟控制信号。其中每个阈 1.5 反相器的传输延迟均为 t_{pd} 。图 1(c) 表示了 $clk_1 \cdot clk_2$ 和 $clk_1 + clk_3$ 分别能够产生两个宽度为 $3t_{pd}$ 的正负窄脉冲, 利用这两个窄脉冲来控制 CMOS 传输门, 则图 1(a) 中串联传输门和并联传输门的开通与关断时间均仅有 $2 - 3t_{pd}$, 这样就能够满足一次操作的要求。图 1(a) 中采用的内部编码电路与文献[6]提出的维持阻塞触发器完全

相同,输入的文字信号经编码后输出三轨三值信号。在不计时钟链上的闕 t 反相器(时钟链被系统所公用)的条件下,图 1(a)所示电路只需 40 个 MOS 管。与文献[6]提出的维持阻塞触发器相比,它只需一级锁存器,节省了 52% 的 MOS 管,并且减少了 27 个内部结点,从而大大简化了电路结构。

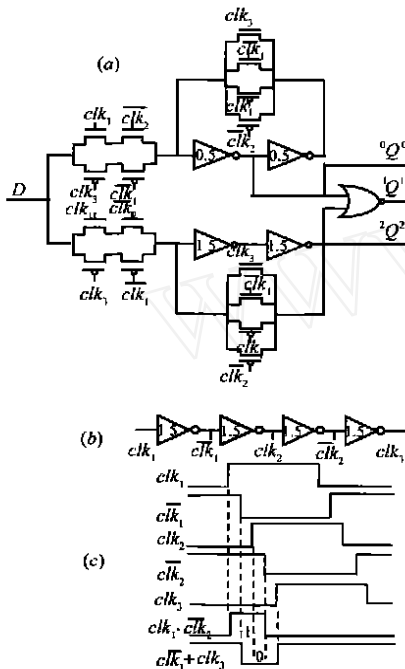


图 1 三值时钟信号竞争型边沿触发器。(a) 电路结构;(b) 时钟链;(c) 通过时钟竞争冒险产生窄脉冲

3 PSPICE 模拟与能耗分析

对图 1(a)所示的三值时钟信号竞争型边沿触发器,已采用 1 μ CMOS 技术进行了 PSPICE 模拟。模拟所得瞬态响应曲线示于图 2,它已考虑了输入信号全部可能的 6 种跳变。由图 2 可看出该设计具有正确的逻辑功能。与文献[6]提出的维持阻塞触发器比较,表 1 为两种边沿触发器的具体延迟时间比较,从表 1 可以看出两种触发器的平均延迟时间基本一致,时钟信号竞争型边沿触发器则略快一些。

表 1 两种触发器工作特性比较

触发器类型	$t_{pd}(\text{ns})$		
	Q	$Q \oplus 1$	$Q \oplus 2$
时钟信号竞争型	0.723	0.668	0.636
维持阻塞型	0.745	0.731	0.729

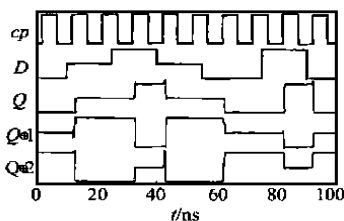


图 2 三值时钟信号竞争型触发器输出瞬态波形

考虑到图 1(b)所示的时钟链在整个系统中是被所有三值时钟信号竞争型边沿触发器所公用的,故在计算单个触发器能耗时这部分能耗可不予计算。把三值时钟信号竞争型边沿触发器和三值维持阻塞型触发器在相同输入、相同时钟控制条件下进行能耗比较,所得能耗分析波形示于图 3。

由于三值时钟信号竞争型边沿触发器仅由一个锁存器构成,较三值维持阻塞型触发器分别节省了 44 个 MOS 管及 27 个内部结点,由此导致了 49% 的能耗节省。

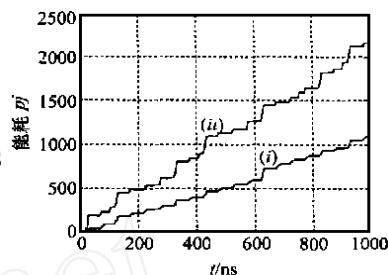


图 3 两种三值触发器能耗比较。(i) 三值时钟信号竞争型触发器能耗曲线;(ii) 三值维持阻塞触发器能耗曲线

4 结论

以上讨论表明,本文所提出的 D 型三值时钟信号竞争型边沿触发器经计算机模拟证实具有正确的逻辑功能和一次操作特性。此外,由于它只采用一级三值锁存器,所以它在提高了信息量的同时也做到了简化电路结构,并由此导致了明显的功耗节省,这对于低功耗集成电路设计是非常有意义的^[9]。该一设计思想也已被成功应用于值的 CMOS 类型边沿触发器的设计^[10]。

参考文献:

- [1] 吴训威,陈其翔. 电子科学学刊, 1994, 16(1): 91 - 95.
- [2] F. Prosser, X. Wu (吴训威), X. Chen (陈偕雄). IEE Proceedings, 1988, E-135(5): 266 - 272.
- [3] 吴训威,陈偕雄. 中国科学 A 辑, 1985, 13(7): 643 - 654.
- [4] 夏银水,吴训威. 电子学报, 1997, 25(8): 52 - 54.
- [5] 吴训威. 多值逻辑电路设计原理 [M]. 杭州: 杭州大学出版社, 1994.
- [6] 张迎,韦健,吴训威. 电路与系统学报, 1999, 4(1): 12 - 17.
- [7] 吴训威,邓小卫. 三值边沿触发器的研究 [J]. 计算机学报, 1991, 14(4): 319 - 321.
- [8] 吴训威,邓小卫. 时钟信号竞争型边沿触发器 [J]. 杭州大学学报, 1990, 17(4): 417 - 422.
- [9] M. Pedram. Power minimization in IC Design: Principles and applications [J]. ACM Transactions on Design Automaton, 1996, 1(1): 3 - 56.
- [10] 吴训威,韦健. Novel CMOS edge-triggered flip-flop using one latch [J]. Elect. Lett., 1998, 34(16): 1581 - 1582.

作者简介:

吴训威 1940 年出生,宁波大学电路与系统研究所所长,浙江大学信息科学与工程学院兼职教授、博士生导师。已发表学术论文 200 余篇。现为中国电子学会会士、中国通信学会会士、美国 IEEE 高级会员。

韦 健 1973 年出生,浙江大学信电系博士研究生。

汪鹏君 1966 年出生,硕士,宁波大学电路与系统研究所讲师。