

1.8V_{pp} 250MS/s 低谐波失真流水线 ADC

吴柯柯, 沈玉鹏, 刘家瑞, 王志宇, 莫炯炯, 郁发新

(浙江大学航空航天学院, 浙江杭州 310027)

摘 要: 采用40nm CMOS工艺设计了一款在250MS/s采样率下具有1.8V_{pp}满摆幅和低谐波失真性能的流水线ADC(Analog-to-Digital Converter). 针对传统源跟随器结构的输入缓冲器在大摆幅下驱动大采样电容时线性度恶化的问题, 采用了改进型电流注入技术和漏端电压自举技术. ADC中实现采样和电荷转移功能的开关采用薄栅器件设计, 其工作电压由片上LDO(Low Dropout Regulator)提供, 在降低开关寄生和电荷注入的同时保障了器件的可靠性. 测试结果表明, 对于10.1MHz单音输入, 该ADC在-1dBFS下的信噪失真比、无杂散动态范围和总谐波失真分别为68.3dB、76.4dBc、-75.1dBc, 在-1.57dBFS下的信噪失真比、无杂散动态范围和总谐波失真分别达68.3dB、80.1dBc、-78.6dBc.

关键词: 流水线模数转换器; 谐波失真; 输入缓冲器; 低失真

中图分类号: TN432

文献标识码: A

文章编号: 0372-2112 (2020)11-2242-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2020.11.021

A 1.8V_{pp} 250MS/s Pipelined ADC with Low Harmonic Distortion

WU Ke-ke, SHEN Yu-peng, LIU Jia-rui, WANG Zhi-yu, MO Jiong-jiong, YU Fa-xin

(School of Aeronautics and Astronautics, Zhejiang University, Zhejiang, Hangzhou 310027, China)

Abstract: This paper presents a 250MS/s pipelined ADC with 1.8V_{pp} full scale and low harmonic distortion implemented in 40nm CMOS. To reduce the large distortion of the conventional source follower when it drives a large sampling capacitor at a large swing, an improved current injection technique and a drain voltage bootstrapping technique were employed. Switches used for sampling and charge transfer in the ADC were implemented with thin-oxide devices to reduce the parasitic capacitance and charge injection. Moreover, on-chip LDOs were applied to provide safe supply voltages for these switches to protect thin-oxide devices from reliability problems. Test results show that with a 10.1MHz input, the ADC achieves the signal-to-noise and distortion (SNDR) of 68.3dB, the spurious free dynamic range (SFDR) of 76.4dBc and the total harmonic distortion (THD) of -75.1dBc at -1dBFS, and it achieves 68.3dB SNDR, 80.1dBc SFDR and -78.6dBc THD at -1.57dBFS.

Key words: pipelined analog-to-digital converter; harmonic distortion; input buffer; low distortion

1 引言

近年来,流水线模数转换器(Pipelined Analog-to-Digital Converter, Pipelined ADC)由于其高速高精度性能优势,已广泛应用于宽带通信、雷达、数字相控阵等系统中^[1-3].

高速高精度应用中,热噪声是限制信噪比(Signal-to-Noise Ratio, SNR)提高的重要因素之一^[4],因此Pipelined ADC通常采用大采样电容降低热噪声影响,或增大信号摆幅实现,以提高SNR性能. 由于在高速输入

下,片外的输入网络直接驱动大采样电容时会引入较大的失真^[5,6],因此在ADC的输入端通常集成高线性的输入缓冲器,不仅可提高对大采样电容的驱动能力,还可增大带宽,降低来自于采样电容的回踢噪声,从而提高线性度^[7-9]. 但是,传统源跟随器结构实现的输入缓冲器在高频、大幅度信号输入的应用场景中,线性性能下降,限制了ADC性能的提升,特别是输入缓冲器在大摆幅下驱动大采样电容时,线性度会进一步恶化.

乘法型数模转换单元(Multiplying Digital-to-Analog

Converter, MDAC) 是流水线 ADC 中各流水级的组成部分之一, 高速高精度 ADC 要求 MDAC 中用于实现采样和电荷转移功能的开关具有速度快、寄生小等特点, 40nm CMOS 工艺提供了多种具有小的特征尺寸的薄栅器件, 采用这些薄栅器件可减小开关的尺寸和寄生。但是为增大摆幅, ADC 通常需提高电源电压^[10], 这会导致薄栅器件的开关在高电源电压下存在可靠性问题。而若选用具有耐高压特性的厚栅器件, 则将引入较大的寄生和电荷注入效应, 降低了开关的切换速度和开关电容电路的精度。文献[7, 11]中对输入缓冲器、运算放大器以及开关和子 ADC 等模块提供不同的电源电压, 以实现器件的可靠性和模块性能的折中, 但是这种多电源方案需要复杂的电源规划, 增加了设计难度。

本文采用 40nm CMOS 工艺设计了一款具有 1.8Vpp 满摆幅的 14 位 250MS/s 低谐波失真流水线模数转换器, 其中输入缓冲器中采用了改进型电流注入技术和漏端电压自举技术, MDAC 中实现采样和电荷转移功能的开关采用薄栅器件设计, 并由片上低压差线性稳压器 (Low Dropout Regulator, LDO) 提供正常工作电

压。针对电容失配, ADC 引入了自校准算法。

2 Pipelined ADC 架构

高速高精度应用中, 无采样保持放大电路 (Sample-and-Hold Amplifier, SHA) 的架构具有噪声低、线性度良好等特点, 近年来在 Pipelined ADC 领域中广受关注^[12, 13]。本文采用图 1 所示 14 位无 SHA Pipelined ADC 架构, 信号通路由输入缓冲器、6 级 2.5bit 流水级和末级 2bit 快闪式 ADC 组成。模拟差分输入信号 V_{inn} 、 V_{inp} 经输入缓冲器后被 7 级流水级逐级量化, 得到的 6 个 6bit 温度计码和 1 个 3bit 温度计码经数字校准后, 生成 14bit 数字码字输出。PN₁ 和 PN₂ 为数字校准用伪随机噪声 (Pseudo Noise, PN) 序列。

为实现 1.8Vpp 差分满摆幅, ADC 模拟部分采用 2.5V 单电源供电, 从而使运算放大器和输入缓冲器在大摆幅下仍可分别实现高增益、低失真性能。LDO 则为各流水级内采用薄栅器件实现的开关、子 ADC 等模块提供器件正常工作所需的电源/地。ADC 数字部分采用 0.9V 电源供电。

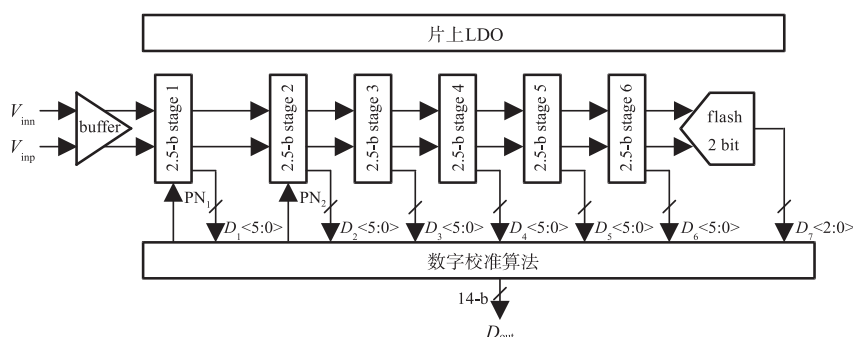


图1 流水线模数转换器架构

3 核心电路设计

3.1 输入缓冲器设计

传统源跟随器结构实现的输入缓冲器如图 2 所示, 该电路具有高输入阻抗和低输出阻抗, 有利于隔离回踢噪声, 降低负载非线性带来的失真, 并增大带宽^[14]。然而在大摆幅输入下, 源跟随管 (M_1) 的跨导和输出阻抗随输入变化, 恶化了输入缓冲器的线性度^[8]。首先, 第一级流水级中的采样电容 C_s 作为 M_1 的主要负载, 从 M_1 中抽取的电流随输入频率和幅度的增大而增大, 导致 M_1 中的电流随输入变化, 引起跨导和输出阻抗等器件参数也随输入变化而产生失真^[6]。其次, CMOS 工艺下饱和区的 MOS 管的输出阻抗 r_o 受漏-源电压 V_{ds} 的调制, 若只考虑沟道长度调制效应, 输出阻抗可表示为^[15]:

$$r_o = \frac{2L}{1 - \frac{\Delta L}{L}} \frac{1}{I_d} \sqrt{\frac{qN_B}{2\epsilon_{si}} (V_{ds} - V_{ds,sat})} \quad (1)$$

其中 ΔL 为沟道长度变化量, L 为沟道长度, I_d 为 MOS 管的漏电流, q 为电子电荷, N_B 为衬底掺杂浓度, ϵ_{si} 为硅的介电常数, $V_{ds,sat}$ 为夹断开始时的漏源电压。由于 M_1 源端输出为大摆幅信号, 而漏端为电源电压, 故大摆幅的 V_{ds} 变化也导致了 M_1 输出阻抗的非线性。

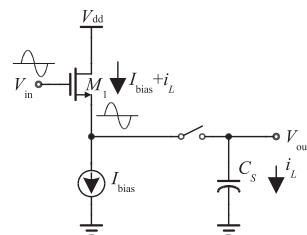


图2 基于传统源跟随器结构的输入缓冲器单端示意图

因此 M_1 的跨导和输出阻抗均是关于输入的函数, 大摆幅下输出 V_{out} 与输入 V_{in} 的关系近似为:

$$V_{out} = k_{b1} V_{in} + k_{b2} V_{in}^2 + k_{b3} V_{in}^3 + \dots \quad (2)$$

其中

$$k_{b1} = \frac{1}{\alpha} (g_m + C_{gs} s) \quad (3)$$

$$k_{b2} = \frac{1}{\alpha^2} \left[(g_{ds} + g_L) \frac{dg_m}{dV_{in}} - (g_m + C_{gs} s) \frac{dg_{ds}}{dV_{in}} \right] \quad (4)$$

$$k_{b3} = \frac{1}{2\alpha^2} \left[(g_{ds} + g_L) \frac{d^2 g_m}{d^2 V_{in}} - (g_m + C_{gs} s) \frac{d^2 g_{ds}}{d^2 V_{in}} \right] - \frac{1}{\alpha} \left(\frac{dg_m}{dV_{in}} + \frac{dg_{ds}}{dV_{in}} \right) k_{b2} \quad (5)$$

$$\alpha = g_m + C_{gs} s + g_{ds} + g_L \quad (6)$$

g_m 为 M_1 的跨导, C_{gs} 为栅源寄生电容, g_{ds} 为 M_1 输出阻抗 r_o 的导纳, g_L 为负载的导纳. 故式(2)中非线性项系数 k_{b2} 、 k_{b3} 由 g_m 和 g_{ds} 关于 V_{in} 的微分项 $\frac{dg_m}{dV_{in}}$ 、 $\frac{dg_{ds}}{dV_{in}}$ 、 $\frac{d^2 g_m}{d^2 V_{in}}$ 、 $\frac{d^2 g_{ds}}{d^2 V_{in}}$ 导

致. 由于非线性项系数与 $\frac{1}{\alpha^2}$ 成正比, 仅通过增大 g_m 可降低输入缓冲器的失真, 但是需要极大的功耗和尺寸, 而且随之增大的寄生又会限制输入缓冲器的速度和线性度.

为实现输入缓冲器在大摆幅下驱动大采样电容负载时的低失真性能, 本文在图2结构基础上, 采用了改进型电流注入技术和漏端电压自举技术^[8,9], 分别用于降低源跟随管电流和漏-源电压随输入的变化. 所设计的输入缓冲器采用伪差分结构实现, 单端示意图如图3所示.

$M_3 \sim M_5$ 构成双层共源共栅结构的电流源, 为 M_1 提供稳定的偏置电流, 降低缓冲器输出端大摆幅的电压变化导致的 M_1 偏置电流波动. 电容 C_c 引入了前馈电流注入通路^[6,7], 向负载提供所需的电流, 从而减小负载从 M_1 中抽取的电流. 由于缓冲器输出节点大摆幅的电压变化, 相比于将 M_3 的源端作为前馈电流注入点, M_4 源端的电压摆幅由于 M_4 的本征增益而被进一步降低, 实现了更理想的虚地点, 提高了电流注入的效率. 因此本文提出将电容 C_c 的非输入端连接至 M_4 的源端以进一步提高线性度.

漏端电压自举通过电平转换电路^[9]和共源共栅管 M_2 实现. 电流源 I_{b1} 和 I_{b2} 、电容 C_b 、电阻 R_b 构成的电平转换电路, 为 M_2 提供动态偏置. M_2 的栅电压 V_2 通过电平转换电路被 V_{in} 自举, 由于 M_2 也构成源跟随器结构, 因此 M_1 的漏端电压 V_1 跟随 V_{in} 变化, 减小了 M_1 的漏-源电压 V_{ds} 的变化. 大电容 C_b 减小了 M_2 栅端寄生电容导致的输入缓冲器线性度恶化, 提高了高频输入下对 M_2 的驱动能力. 输入缓冲器中 $M_1 \sim M_4$ 的背栅均连接至各自的源端, 使得源-背栅电压为 0, 消除了由于阈值电压随输入变化导致的非线性.

采用改进型电流注入技术后, 前馈电流注入点的信号摆幅可忽略, 故非线性项系数 k_{b2} 、 k_{b3} 表示为:

$$k_{b2} = \frac{1}{\alpha^2} \left[(g_{ds} + g_L - C_c s) \frac{dg_m}{dV_{in}} - (g_m + C_{gs} s + C_c s) \frac{dg_{ds}}{dV_{in}} \right] \quad (7)$$

$$k_{b3} = \frac{1}{2\alpha^2} \left[(g_{ds} + g_L - C_c s) \frac{d^2 g_m}{d^2 V_{in}} - (g_m + C_{gs} s + C_c s) \frac{d^2 g_{ds}}{d^2 V_{in}} \right] - \frac{1}{\alpha} \left(\frac{dg_m}{dV_{in}} + \frac{dg_{ds}}{dV_{in}} \right) k_{b2} \quad (8)$$

电容 C_c 的引入不仅通过提供负载所需的电流, 降低了由 M_1 中电流变化导致的 g_m 和 g_{ds} 随输入变化, 而且使 $\frac{dg_m}{dV_{in}}$ 和 $\frac{d^2 g_m}{d^2 V_{in}}$ 前的系数 $g_{ds} + g_L$ 减小为 $g_{ds} + g_L - C_c s$, 因而减小了负载 g_L 造成的失真.

漏端电压自举技术和改进型电流注入技术的采用, 降低了 M_1 中电流和 V_{ds} 随输入的变化, 因而减小了 g_m 关于 V_{in} 的微分项 $\frac{dg_m}{dV_{in}}$ 、 $\frac{d^2 g_m}{d^2 V_{in}}$ 以及 g_{ds} 关于 V_{in} 的微分项 $\frac{dg_{ds}}{dV_{in}}$ 、 $\frac{d^2 g_{ds}}{d^2 V_{in}}$, 从而减小了非线性项系数 k_{b2} 和 k_{b3} , 提高了输入缓冲器的线性度.

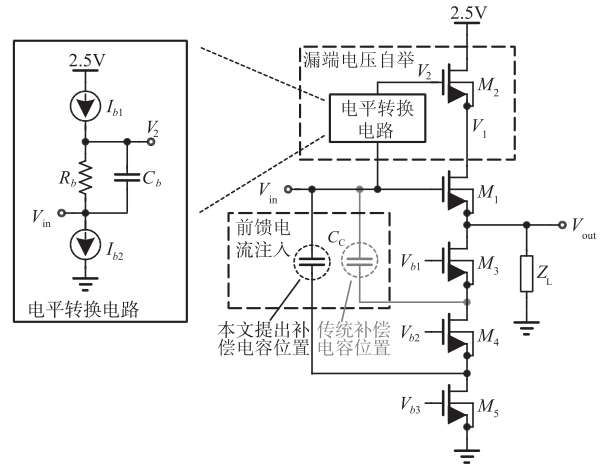


图3 改进型输入缓冲器单端示意图

输入缓冲器采用 2.5V 电源电压以实现 1.8Vpp 差分满摆幅并使得所有 MOS 管均工作于饱和区. 尽管采用了高电源电压, 双层共源共栅结构的电流源降低了缓冲器输出节点大摆幅的电压变化导致的偏置电流波动, 共源共栅管 M_4 的源端为电容 C_c 提供了更理想的虚地点, 而且通过电平转换电路和共源共栅管 M_2 实现的 M_1 漏端电压自举, 减小了 M_1 漏-源电压变化造成的输入缓冲器线性度恶化. 考虑到 M_2 非线性输出阻抗造成的输入缓冲器失真, 由式(1), 当 M_2 的漏-源电压 V_{ds} 变化

ΔV 时, 输出阻抗的变化量 Δr_o 为:

$$\Delta r_o \propto (V_{ds} - V_{ds,sat})^{-\frac{1}{2}} \cdot \Delta V \quad (9)$$

该输出阻抗变化量 Δr_o 正比于 $(V_{ds} - V_{ds,sat})^{-\frac{1}{2}}$, 因此在 2.5V 电源电压下, 本文还通过增大 M_2 在直流偏置点下的 $V_{ds} - V_{ds,sat}$, 减小由 M_2 输出阻抗的非线性导致的输入缓冲器失真。

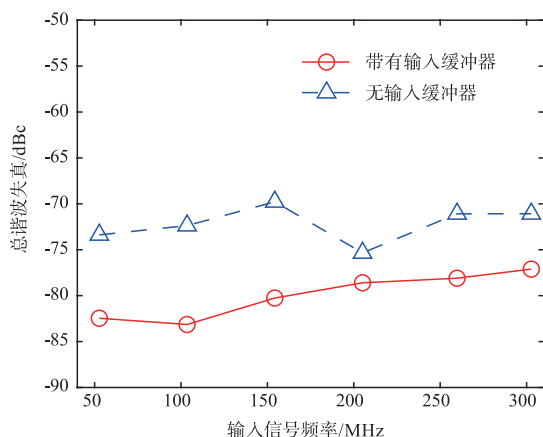


图4 第一级流水级输出THD随输入频率变化曲线

为衡量输入缓冲器的性能, 对输入缓冲器和第一级流水级后仿, 并采用 100pF 电容驱动输入缓冲器和第一级流水级, 以模拟片外输入网络有限驱动能力。图 4 为 -1dBFS 输入下, 第一级流水级前置输入缓冲器和无输入缓冲器下的输出总谐波失真 (Total Harmonic Distortion, THD) 随频率变化曲线。前置输入缓冲器的第一级流水级输出 THD 显著低于对比架构, 在 150MHz 内实现了小于 -80dBc 的 THD, 证明了所设计输入缓冲器在大摆幅下具备以低失真性能驱动大电容负载的能力。

3.2 MDAC 中用于采样和电荷转移的开关管设计

流水级中 MDAC 的单端示意图如图 5 所示, 采样开关 $S_{SW0} \sim S_{SW7}$ 由 NMOS 管实现, 而开关 $T_{SW0} \sim T_{SW7}$ 、 S_{SWp} 均采用互补 CMOS 开关结构实现。在大采样电容下, 这些开关需采用大的尺寸才能实现低导通阻抗, 但是引入的大寄生将限制开关的切换速度, 而且电荷注入效应也随尺寸增大。尽管随着流水级级数的增大, 采样电容逐级减小, 对开关导通阻抗的要求也逐级降低, 但是开关寄生和电荷注入等非线性效应对开关电容电路精度的限制作用, 将随采样电容的减小而增大。由于薄栅器件的特征尺寸和寄生比厚栅器件小, 故 MDAC 中用于采样和电荷转移的开关均采用薄栅器件实现。然而为实现 1.8V_{pp} 差分满摆幅, ADC 采用了 2.5V 电源电压, 输入缓冲器和运算放大器的输出共模也随电源电压的提高而同步增大, 因此薄栅器件实现的开关存在可靠性问题。为防止薄栅器件处于过压状态下, 这些开关所需的电源 V_{high} 和地 V_{low} 均由

片上 LDO 提供^[10], V_{high} 和 V_{low} 的共模与运放的输出共模一致, 而两者的电压差为薄栅器件的工艺最高工作电压。

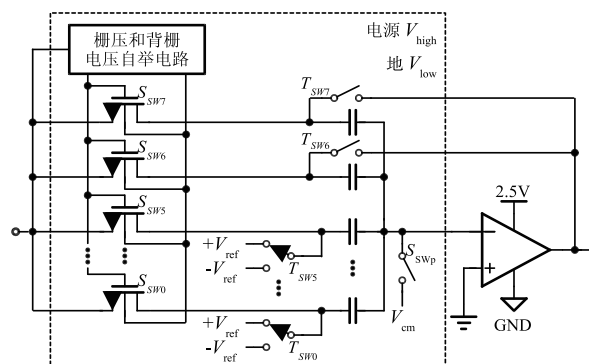


图5 流水级中MDAC单端示意图

大信号摆幅下采样开关的导通阻抗随输入变化, 限制了 MDAC 中采样网络的线性度。栅压自举技术^[16]的引入使得采样开关的栅-源电压在采样相恒定, 减小了导通阻抗随输入变化产生的非线性。为消除采样开关的体效应带来的采样网络线性度恶化, 在栅压自举基础上引入了背栅电压自举^[17], 使得在采样相时背栅电压跟随输入变化, 实现了阈值电压的恒定, 而且背栅电压跟随输入变化减小了采样开关的非线性结电容^[18]。然而在采样相时, 大摆幅输入下采样开关的栅被自举至高电压。为防止开关的端口电压超过耐压值, 栅压自举电路所需的电源和地也由片上 LDO 提供, 结合背栅电压自举技术实现的背栅电压跟随输入变化, 采样开关的栅-源电压和栅-背栅电压因此均被限制在正常工作电压 $V_{high} - V_{low}$ 内。

3.3 采样电容失配自校准算法

为降低采样电容失配带来的 ADC 性能恶化, 本文采用了自校准算法, 该算法由文献[19]中的算法改进得到。模拟部分采用全差分结构实现, 单端示意图如图 6 所示。 $C_{s0} \sim C_{s5}$ 为待校准采样电容, $C_{f0} \sim C_{f1}$ 为反馈电

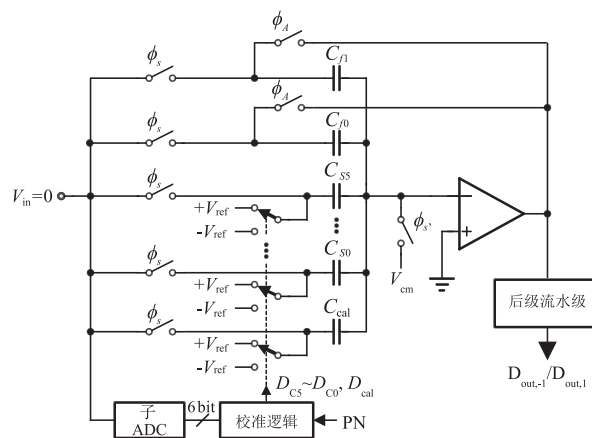


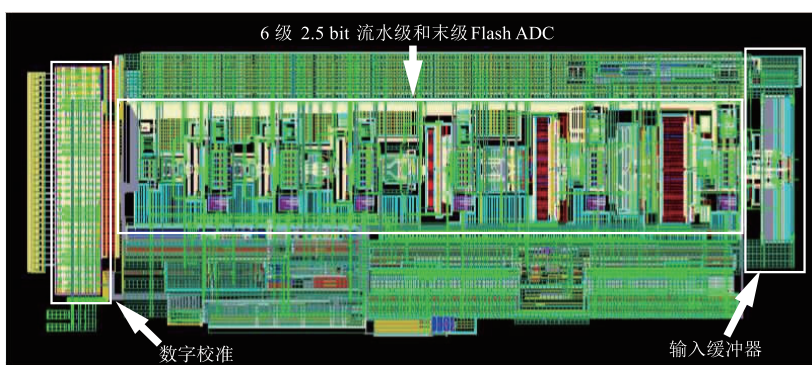
图6 自校准算法模拟部分单端示意图

容. C_{cal} 为辅助电容, 用于调节输出电平, 保证输出残差在校准过程中始终不超过量程^[19]. $+V_{ref}$ 和 $-V_{ref}$ 为 MDAC 参考电平, $C_{s0} \sim C_{s5}$ 所需接入的参考电平由控制码字 $D_{c0} \sim D_{c5}$ 选择, 而 C_{cal} 所需接入的参考电平由 D_{cal} 控制. 采样电容的校准逐个进行, $D_{out,-1}$ 、 $D_{out,1}$ 为对其中某个电容校准时, 分别接入 $-V_{ref}$ 和 $+V_{ref}$ 参考电平后, 后级流水级对当前流水级输出残差的量化码字. 在校准时, 校准逻辑电路接管子 ADC 的输出, 提供电容参考电平接入所需的控制码字 $D_{c5} \sim D_{c0}$ 和 D_{cal} . 在放大相, 默认 $C_{s0} \sim C_{s2}$ 接 $+V_{ref}$ 参考电平, $C_{s3} \sim C_{s5}$ 接 $-V_{ref}$, 而 C_{cal} 在校准 $C_{s0} \sim C_{s2}$ 时接入 $+V_{ref}$, 校准 $C_{s3} \sim C_{s5}$ 时接 $-V_{ref}$, 防止残差溢出. 对其中任一电容校准时, 校准逻辑电路将该电容的控制码字配置为伪随机序列 PN, 通过 PN

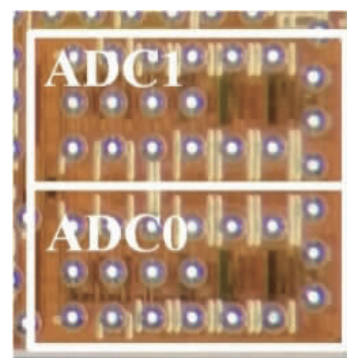
随机选择接入的参考电平, 统计待校准电容的接入参考电平分别为 $+V_{ref}$ 和 $-V_{ref}$ 时候, 输出残差的均值之差, 求得每个采样电容的相对失配量.

4 测试结果

所设计的 14 位 1.8Vpp 250MS/s Pipelined ADC 在 40nm CMOS 工艺下流片验证, 图 7 为 ADC 的版图布局和芯片照片, 关键模块已经在版图上标示出. 单通道 ADC 的整体面积为 0.53mm^2 , 其中模拟部分为 0.46mm^2 , 数字校准部分 0.07mm^2 . ADC 模拟部分采用 2.5V 电源供电. 在 250MS/s 采样速率下单通道 ADC 模拟部分总功耗为 287.5mW. 输入缓冲器和流水级的总功耗根据仿真结果为 180mW.



(a) ADC版图布局



(b) 芯片照片

图7 ADC版图布局和芯片照片

ADC 在 25℃ 环境下测试, 采用片上锁相环 (Phase-Locked Loop, PLL) 提供 250MHz 频率的时钟, 时钟抖动均方根值为 324fs. 测试所需的输入信号由测试板上的双巴伦将单端输入信号转换成差分信号得到. 测试得到的 65536 点快速傅里叶变换 (Fast Fourier Transform, FFT) 频谱图如图 8 所示. 图 8(a) 和图 8(b) 分别为 ADC 在 10.1MHz、-1dBFS 和 10.1MHz、-1.57dBFS 输入下的频谱图, 对于 10.1MHz 频率的单音信号, 该 ADC 在 -1dBFS 输入下, 信噪比和信噪失真比 (Signal-to-Noise and Distortion Ratio, SNDR) 分别为 69.3dB 和 68.3dB, 无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 和 THD 分别为 76.4dBc 和 -75.1dBc; 而在 -1.57dBFS 输入下, SNR 和 SNDR 分别为 68.8dB 和 68.3dB, SFDR 和 THD 分别为 80.1dBc 和 -78.6dBc. 图 8(c) 为 ADC 在 60.1MHz、-1dBFS 输入下测试得到的 FFT 频谱图, SNR 和 SNDR 分别为 68.1dB 和 67.4dB, SFDR 和 THD 分别为 77.6dBc 和 -75.8dBc. 由于片上 PLL 的输入参考时钟与 ADC 的输入信号隔离不足, 产生了该参考钟与输入信号混频之后的频率分量 (图 8 和图 9 中 *),

该杂散幅度随输入频率的增大超过了谐波分量, 成为 SFDR 性能的限制因素. 图 8(d) 为 ADC 在接近奈奎斯特频率输入下测试得到的 FFT 频谱图, 对于 123.1MHz、-1dBFS 输入的单音信号, SNR 和 SNDR 分别为 66.2dB 和 66.1dB, THD 和 SFDR 分别为 -80.2dBc 和 72.0dBc, 而最高的谐波分量 HD2 仅为 -83.8dBc. 根据图 8 测试结果, 总谐波失真的绝对值大于信噪比, 且由谐波失真导致的 SNDR 指标恶化均不大于 1dB, 因此实现了低谐波失真性能.

图 9 为该 ADC 在 -7dBFS 双音输入下测试得到的 FFT 频谱图, 双音信号频率分别为 98.5MHz 和 101.5MHz, ADC 实现了 -82.7dBc 的三阶互调失真 (Third-Order Intermodulation Distortion, IMD3).

图 10 给出了 ADC 在 -1 ~ -3dBFS 输入下, 谐波性能随输入频率变化的测试结果. 图 10(a) 为 THD 随输入频率变化曲线, 图 10(b) 为最高谐波功率随输入频率变化曲线.

表 1 给出了本设计与近三年发表文献中采用相近 CMOS 工艺实现, 采样速率同在 250MS/s 左右的 ADC 设计的性能对比. 本文所设计的 ADC 满摆幅达 1.8Vpp,

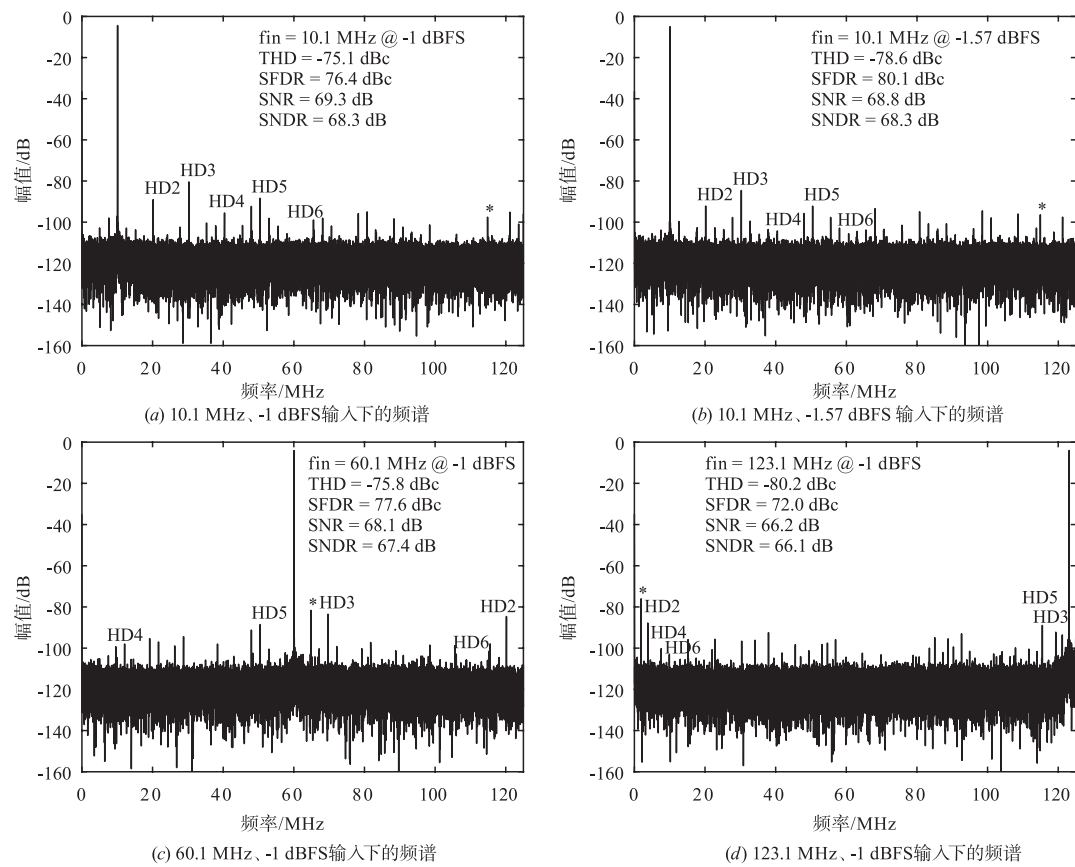
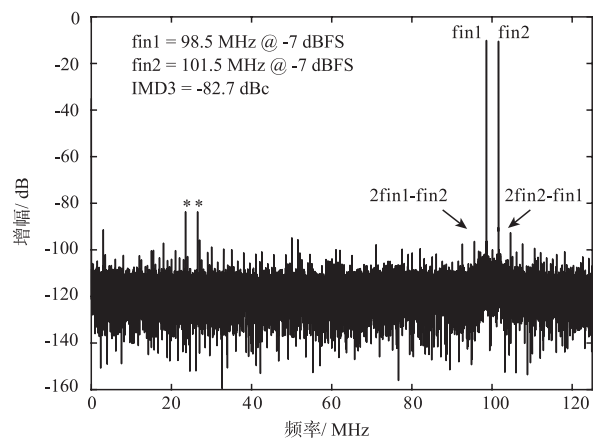


图8 ADC单音测试频谱图



第一级流水级采样电容为2pF. 由于 ADC 集成了输入缓冲器,以及采用了传统结构的 MDAC 和运放,导致功耗比对比的文献大. 该 ADC 在 10.1MHz、-1.57dBFS 输入下,实现了 68.3dB 的 SNDR 和 80.1dBc 的 SFDR, 高于文献[3,20,21]中的 SNDR、SFDR 指标.

表 1 与其他先进 ADC 的对比

参数	本文	文献[3]	文献[20]	文献[21]
工艺	40nm	55nm	40nm	28nm
采样频率/MHz	250	250	200	280
精度/bit	14	12	11	12
采样电容/pF	2	—	1.5	—
满摆幅/Vpp	1.8	—	1	1.2
输入频率/MHz	10.1	10	4.15	137.5
SNDR/dB	68.3	66.7	61.3	64
SFDR/dBc	80.1	75.2	76	77
THD/dBc	-78.6	—	—	—
面积/mm ²	0.53	0.66	0.23	0.22
电源/V	2.5/0.9	1.2	1.8/1.1	1
功耗/mW	180	85**	8.4*	13**

* 不含输入缓冲器的功耗
** 未提及输入缓冲器

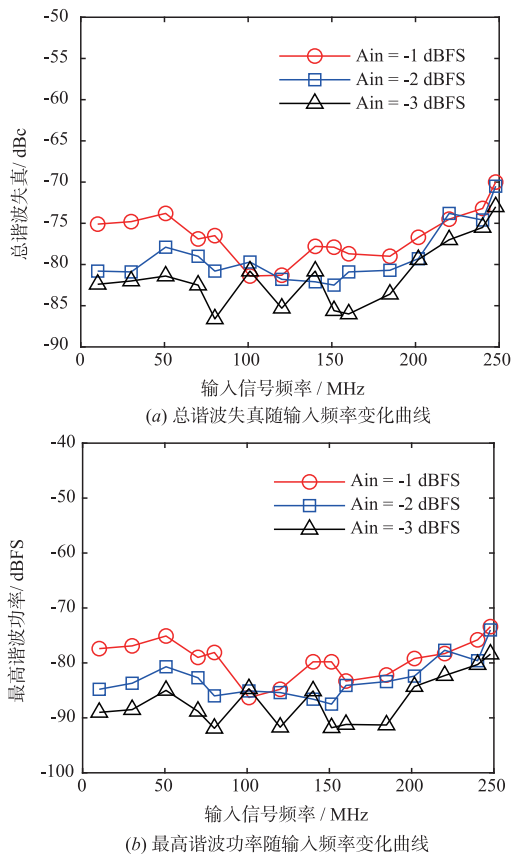


图10 ADC谐波性能随频率变化曲线

5 结论

本文采用 40nm CMOS 工艺设计了一款具有 1.8Vpp 满摆幅的 14 位 250MS/s 低谐波失真流水线 ADC。该 ADC 的输入缓冲器采用了改进型电流注入技术和漏端电压自举技术,降低了输入缓冲器在大摆幅下驱动大采样电容时产生的失真;MDAC 中的采样和电荷转移开关采用薄栅器件设计,减小了开关的寄生和电荷注入效应;ADC 还针对电容失配引入了前台自校准算法进一步降低谐波失真。经芯片测试在 250MS/s 采样速率下,对于 10.1MHz 频率的输入信号,在 -1dBFS 输入下实现了 68.3dB 的 SNDR、76.4dBc 的 SFDR 以及 -75.1dBc 的 THD,而在 -1.57dBFS 输入下,SNDR、SFDR 和 THD 分别达 68.3dB、80.1dBc 和 -78.6dBc,由谐波失真导致的 SNDR 指标恶化不大于 1dB。测试结果表明,本文 ADC 设计在大采样电容和信号摆幅下,实现了低谐波失真性能,可有效支持大输入摆幅下的宽带高速高精度应用。

参考文献

[1] NADERI M H, PARK C, PRAKASH S, et al. A 27.7 fJ/conv-step 500 MS/s 12bit pipelined ADC employing a sub-

ADC forecasting technique and low-power class AB slew boosted amplifiers[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2019, 66(9): 3352 – 3364.

- [2] 陈珍海, 魏敬和, 于宗光, 等. 高精度电荷域 ADC 共模电荷误差前台校准电路[J]. 西安电子科技大学学报(自然科学版), 2018, 45(6): 137 – 143, 149.
- CHEN Zhen-hai, WEI Jing-he, YU Zong-guang, et al. High precision common mode charge error fore-ground calibration circuit for the charge-domain ADC[J]. Journal of Xidian University, 2018, 45(6): 137 – 143, 149. (in Chinese)
- [3] PENG X, GUO J, BAO Q, et al. A low-power low-cost on-chip digital background calibration for pipelined ADCs[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(11): 2568 – 2574.
- [4] SHEN L, SHEN Y, TANG X, et al. A 0.01mm² 25μW 2MS/s 74dB-SNDR continuous-time pipelined-SAR ADC with 120fF input capacitor[A]. Proceeding of the 2019 IEEE International Solid-State Circuits Conference (ISSCC)[C]. Piscataway: IEEE, 2019. 64 – 66.
- [5] DEVARAJAN S, SINGER L, KELLY D, et al. A 16bit, 125MS/s, 385mW, 78.7dB SNR CMOS pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3305 – 3313.
- [6] ALI A M A, MORGAN A, DILLON C, et al. A 16bit 250MS/s IF sampling pipelined ADC with background calibration[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2602 – 2612.
- [7] ALI A M A, DINC H, BHORASKAR P, et al. A 14bit 1GS/s RF sampling pipelined ADC with background calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2857 – 2867.
- [8] WU Z, WANG C, DING Y, et al. An ADC input buffer with optimized linearity[A]. Proceeding of the 2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)[C]. Piscataway: IEEE, 2018: 765 – 767.
- [9] DEVARAJAN S, SINGER L, KELLY D, et al. A 12b 10GS/s interleaved pipeline ADC in 28nm CMOS technology[A]. Proceeding of the 2017 IEEE International Solid-State Circuits Conference (ISSCC)[C]. Piscataway: IEEE, 2017: 288 – 289.
- [10] CHEN C, WU J, HUANG J, et al. A 12bit 3GS/s pipeline ADC with 0.4mm² and 500mW in 40nm digital CMOS[J]. IEEE Journal of Solid-State Circuits, 2012, 47(4): 1013 – 1021.
- [11] ALI A M A, DINC H, BHORASKAR P, et al. A 14bit 2.5GS/s and 5GS/s RF sampling ADC with background calibration and dither[A]. Proceeding of the 2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)[C]. Pis-

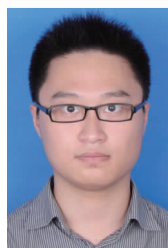
- cataway: IEEE, 2016. 164 – 165.
- [12] GINÉS A J, PERALÍAS E J, RUEDA A. Fast background calibration of sampling timing skew in SHA-less pipeline ADCs [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(10): 2966 – 2970.
- [13] ZHU C, LIN J, WANG Z. Background calibration of comparator offsets in SHA-less pipelined ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(3): 357 – 361.
- [14] CAO F, CHEN Y, DAI Z, et al. An input buffer for 12bit 2GS/s ADC [A]. Proceeding of the 2017 IEEE 12th International Conference on ASIC (ASICON) [C]. Piscataway: IEEE, 2017. 750 – 753.
- [15] 毕查德·拉扎维. 模拟 CMOS 集成电路设计: 第 2 版 [M]. 陈贵灿, 程军, 张瑞智, 等, 译. 2 版. 西安: 西安交通大学出版社, 2018. 624 – 625.
- [16] ABO A M, GRAY P R. A 1.5V, 10bit, 14.3MS/s CMOS pipeline analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, 1999, 34(5): 599 – 606.
- [17] YIN Y, JIANG X, DENG H. The first stage design of a SHA-less 12bit 200MS/s pipeline ADC in 130nm CMOS [A]. Proceeding of the 2013 IEEE International Conference on Anti-Counterfeiting, Security and Identification (ASID) [C]. Piscataway: IEEE, 2013. 99 – 103.
- [18] ELSHATER A, VENKATACHALA P K, LEE C Y, et al. A 10mW 16b 15MS/s two-step SAR ADC with 95dB DR using dual-deadzone ring amplifier [J]. IEEE Journal of Solid-State Circuits, 2019, 54(12): 3410 – 3420.
- [19] SUMANEN L, WALTARI M, KORHONEN T, et al. A digital self-calibration method for pipeline A/D converters [A]. Proceeding of the 2002 IEEE International Symposium on Circuits and Systems [C]. Piscataway: IEEE, 2002. 792 – 795.
- [20] BRISENO-VIDRIOS C, ZHOU D, PRAKASH S, et al. A 44-fJ/conversion step 200MS/s pipeline ADC employing current-mode MDACs [J]. IEEE Journal of Solid-State Circuits, 2018, 53(11): 3280 – 3292.
- [21] SEHGAL R, GOES F V D, BULT K. A 13mW 64dB SNDR 280MS/s pipelined ADC using linearized integrating amplifiers [J]. IEEE Journal of Solid-State Circuits, 2018, 53(7): 1878 – 1888.

作者简介



吴柯柯 男, 1996 年出生, 浙江余姚人. 现为浙江大学硕士研究生, 主要研究方向为高速高精度模数转换器.

E-mail: kekkwu@126.com



沈玉鹏 男, 1994 年出生, 安徽当涂人. 现为浙江大学博士研究生, 主要研究方向为高速高精度模数转换器.

E-mail: shenyupeng0214@zju.edu.cn



王志宇 (通信作者) 男, 1984 年出生, 山东济南人. 现为浙江大学航空航天学院副教授, 博士生导师, 主要研究方向包括微波组件、射频集成电路.

E-mail: zywang@zju.edu.cn