

# VLSI 集成电路参数成品率及优化研究进展

郝 跃, 荆明娥, 马佩军

(西安电子科技大学微电子研究所, 陕西西安 710071)

**摘 要:** VLSI 的参数成品率是与制造成本和电路特性紧密相关的一个重要因素, 随着集成电路 (IC) 进入超深亚微米发展阶段, 芯片工作速度不断增加, 集成度和复杂度提高, 而工艺容差减小的速度跟不上这种变化, 因此参数成品率的研究越来越重要. 本文系统地讨论了参数成品率的模型和设计技术研究进展, 分析不同技术的特点和局限性. 最后提出了超深亚微米 (VDSM) 阶段参数成品率设计和成品率增强面临的主要问题及发展方向.

**关键词:** VLSI 设计方法学; 参数成品率; 最优化设计

**中图分类号:** TN405 **文献标识码:** A **文章编号:** 0372-2112 (2003) 12A-1971-04

## State of the Art on Study of Parametric Yield and Its Optimization for VLSI

HAO Yue, JING Ming-e, MA Pei-jun

(Research Inst. of Microelectronics, Xidian University, Xi'an, Shaanxi 710071, China)

**Abstract:** Parametric Yield of VLSI is an important factor related with manufactory cost and circuit performance. With development of deep sub-micron IC technologies, chips have led to a large increase in system complexity and the number of devices per die as well as the switching speeds. These advances have been accompanied by parametric yield loss due to the fluctuations in the manufactory process. Firstly, models and design technology of parametric yield is systematically discussed in this paper. Their advantages and disadvantages are discussed in details. Finally, the main problems and developing direction of parametric yield design and enhancement in very deep sub-micron regime are given.

**Key words:** VLSI design methodology; parametric yield; optimal design

### 1 引言

目前硅集成电路 (IC) 已开始进入特征尺寸为 65 - 45 纳米的工艺阶段. 国际半导体技术 (ITRS)<sup>[4]</sup> 曲线表明未来几年这些工艺技术和相关的 IC 将被投入市场, 然而随着新一代半导体材料和技术的发展, 同时对 IC 特性的高标准要求, 使得 VLSI (高密存储器、微处理器等) 的发展面临着极大的挑战. 成品率成为 IC 制造主要焦点, 如何在 IC 批量生产之前预测和提高成品率对尤为重要. 一般地, 成品率分为功能和参数两个方面, 功能成品率是指有缺陷引起的成品率损失, 而参数成品率是指由于 IC 制造过程中的工艺参数统计扰动引起的成品率损失, 随着半导体制造工艺和技术的提高, 器件尺寸的持续减小, 而刻蚀、注入等工艺步骤的扰动并没有相应的减小, 因而集成电路特性对工艺扰动的灵敏度在增加, 这导致参数成品率在深亚微米时期的研究越来越紧迫.

事实上, 参数成品率 (简称成品率) 的研究自 70 年代末期提出以来受到很大的重视<sup>[1-5]</sup>, 关于成品率的研究主要体现在成品率模型的建立、估计和提高方面. 但是, 到目前为止, 该问题仍然没有得到解决, 离实用化尚有较大的差距. 原因主要

是: (1) 现有集成电路电路级的高速仿真工具没有重大突破, 电路仿真的速度和精度矛盾没有解决; (2) 电路设计的变量问题 (大规模问题) 一直没能根本突破; (3) 算法研究进展不大; (4) 优化算法工具与电路模拟器的接口软件没有完善.

一般来说, 主要从四个方面: 成品率估计、中心值设计、最坏情况设计及容差分配对成品率进行优化分析. 成品率估计是指在给定的标称值和统计扰动的情况下如何准确的估计成品率, 它是参数成品率的基础和关键; 中心值设计是在统计扰动已知但不受控的情况下, 优化设计标称值使成品率最大; 最坏情况设计是在最大容差截尾分布下 100% 成品率的中心设计问题. 容差分配是同时对容差和中心值进行优化以最小的费用获得 100% 成品率. 因为成品率估计可给设计者提供了设计对缺陷和工艺扰动的灵敏度信息, 而这种信息对提高成品率或提高电路性能非常重要, 而且代价很小, 因此常常作为 IC 设计流程的一个关键部分. 实践证明, 参数成品率的研究对集成电路的发展起到了不可估量的作用. 本文结合研究系统讨论 IC 成品率的主要方法和技术, 尤其探讨超深亚微米时期, 参数成品率研究将面临的问题和挑战.

## 2 参数成品率的模型和优化

### 2.1 参数成品率的模型

定义 电路的可接受域是指使电路特性满足性能要求的可设计参数的集合(见图 1),可表示为:

$$R_A = \{ p \in R^n | f(p) \leq c \} \quad (1)$$

这里  $p$  是设计参数向量,  $f = (f_1, f_2, \dots, f_m) : R^n \rightarrow R^m$  是  $m$  个设计约束函数. 满足这些约束的电路数目与总电路数目的百分比称为参数成品率.

设  $(p - p^0)$  是以  $p^0$  为标称值的联合概率密度函数(pdf), 为设计容差,  $p^0$  的所有取值集合称为设计域或设计空间, 则电路的参数成品率可表示为:

$$Y(p^0) = \int_{R_A} \phi(p - p^0) dp \quad (2)$$

可以看出, 成品率的估计是一个多元积分的问题. 成品率的最大化就是设计标称值  $p^0$  使得上式最大, 即

$$\max_{p^0} \{ Y(p^0) \} = \int_{R_A} \phi(p - p^0) dp$$

由于在 VLSI 设计中, 电路非常复杂, 可接受域  $R_A$  通常很难解析表示(由电路响应函数  $f(p)$  隐舍的给出), 因此式(2)很难用解析的方法求解. 且电路参数之间相关关系非常复杂, 因而  $(p - p^0)$  也很难准确得到.

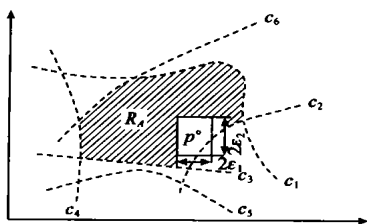


图 1 由特性函数定义的可接受域示意图

### 2.2 参数成品率的估计和优化

目前关于参数成品率的研究主要分为三大类, 由 R Spence 提出的统计方法<sup>[8]</sup>, S W Director 提出的几何方法<sup>[9,10]</sup>以及将这两种结合的混合方法<sup>[11]</sup>. 其中统计方法主要是指以 Monte Carlo 为基础的方法; 几何方法通过简单的几何体(如多面体和超椭圆)逼近可接受域, 几何体的中心即为设计中心.

(1) 统计方法 统计方法(也称为 MC 方法)是最早用来求解复杂积分的一种重要方法, 也是 IC 成品率估计的一种常用方法. 若引入指示函数满足  $u(p) = \begin{cases} 1, & p \in R_A \\ 0, & p \notin R_A \end{cases}$  则式(2)可

转化为  $Y(p^0) = \int_{R_A} u(p) \phi(p - p^0) dp = E[u(p)]$  这样成品率

可用  $Y(p^0) \approx \frac{1}{N} \sum_{j=1}^N u(p^j)$  近似估计, 其方差为  $\sigma_y^2 = \frac{Y(1-Y)}{N}$

$\frac{2}{N}$ , 其中  $\frac{2}{N}$  是二项分布  $u(p)$  的方差,  $N$  为抽样次数,  $p^j, j = 1 \sim N$  是以  $(p - p^0)$  抽样的样本. 由于成品率估计的方差与  $N$  的平方成正比, 因此要获得可接受的精度, 模拟代价非常高, 尤其是对于非线性电路或瞬态电路的分析. 针对这一特

点, 可引入抽样策略来提高估计精度, 其中重要性抽样<sup>[6,7]</sup>是一种常用的抽样方法. 重要性抽样通过引入一个新的采样概率密度函数  $h(p)$  来对成品率进行估计. 这样成品率也可表示为:

$$Y(p^0) = \int u \cdot (p - p^0) dp = \int u \cdot \frac{(p - p^0)}{h(p)} h(p) dp \\ = E_h \left[ u \cdot \frac{(p - p^0)}{h(p)} \right] = E_h [u \cdot w(p - p^0)]$$

明显地, 采用  $(p - p^0)$  抽样, 每次迭代优化由于  $p^0$  的改变需要重新采用进行电路模拟, 而采用  $h$  就可避免. 权重  $w(p, p^0)$  弥补了取样密度与分布密度的差别. 然而如何选择新的概率密度函数是重要性抽样的关键和难点. 由统计学理论推知当  $h = \frac{u(p) \cdot (p - p^0)}{Y}$  时, 估计的方差为零, 而成品率  $Y$  正是我们要求解的问题, 因此很难得到最佳的  $h$ , 但沿这一目标, 可使成品率估计的方差大大减小.

除此之外, 拉丁超立方体分层法(LHSMC)也是一种常用的减小方差技术. LHS 方法是对每个设计参数等概率的分区后随机而不重合地组合得到样本点.

均匀设计(UD)<sup>[1,2]</sup>是一种确定性的抽样策略, 它以数论为基础在设计域内进行均匀抽样, 因此是一种全局优化策略. 这对于设计域比较大时的中心值设计尤为重要. 由于任何分布函数可以转化为均匀分布, 因此均匀抽样方法不仅限于参数服从均匀分布的成品率估计. 图 2 说明了分别用三种抽样方法抽样 30 个样本点的示意图. 明显地, 用图 2(c) 的样本估计成品率要比前两者精确, 因此可以大大加快优化的速度.

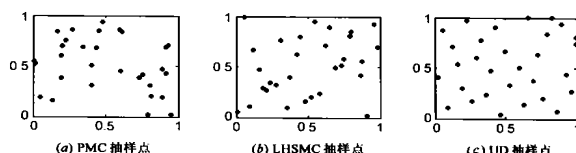


图 2 三种抽样方法的比较

另外, 用 MC 方法优化成品率的关键是成品率的梯度信息很难得到, 主要可通过参数游移的方法进行优化, 其中重心游移算法(COG)<sup>[6]</sup>是常用而且简单的一种, 其迭代过程为

$$x_{new}^0 = \frac{1}{N_i} G_A + \frac{1}{N_j} G_F, \quad 1 \quad 2$$

其中,  $G_A = \frac{1}{N_i} \sum_{x^j \in A} x^j$  表示满足特性要求的设计点的重心,  $G_F =$

$\frac{1}{N_j} \sum_{x^j \in A^c} x^j$  表示不满足特性要求的设计点的重心. 重心算法虽然简单但是一个启发式的方法, 参数  $\alpha$  可通过启发式的选择得到. 笔者在文献[1]中对其进行了详细的探讨.

由于 MC 方法与设计参数的个数无关, 且无需假设可接受域的凸性和有界性, 且不依赖于设计参数的分布函数, 因此得到广泛的应用.

(2) 几何方法与响应表面模型宏模型 几何方法是参数成品率优化的另一大类方法, 此类方法一般以最优化为基础、理论严谨, 其计算精度主要取决于对可接受域的逼近程度. 其中单纯形逼近和椭圆逼近<sup>[10]</sup>是两种具有代表性的方法.

单纯形法通常假设可接受域凸且有界, 用一个凸的多面体来代替可接受域. 其设计过程为: 首先通过线性搜索的方法确定可接受域的边界点, 由这些边界点组成一个凸包(多面体), 为提高精度, 边界点的选取应尽可能体现可接受域的大致外貌. 一旦得到可接受域的逼近凸多面体, 成品率的估计仍可用 MC 估计, 但无需进行电路模拟, 而只需判断抽样点是否在该凸多面体内即可, 设计的最优值(几何体的中心)可通过简单的线性规划来求解. 由于单纯形是可接受域的内逼近, 因此得到的成品率估计是实际成品率的下限.

椭球方法通过产生一系列体积逐渐减小但始终保持包含可接受域的椭球体

$$E_i = \{ p \mid R^i | (p - p^o)^T B_j^{-1} (p - p^o) - 1 \} \quad (3)$$

(其中  $B_j$  为椭球矩阵) 来逼近可接受域. 最终得到的椭球中心即为可接受域的最佳设计标称值. 最终椭球体的椭球矩阵为设计参数提供了一个更优的协方差矩阵.

另外径向搜索方法<sup>[14]</sup>也属于几何方法的一种特殊形式, 它从可接受域内的一点出发, 沿随机方向进行线性搜索, 对搜索到的各个顶点(包括正向和反向)在各个参数的正方向和反方向的进行平均, 得到最佳的设计中心值.

显然, 超平面的个数与变量  $p$  的维数  $n$  有指数关系, 因此, 单纯形逼近一般只适应于  $n$  较小 ( $n < 8$ ) 时的情况. 如果区域不是凸的, 则可在近似过程中容易发现. 此时近似方法必须停止而换用其他方法.

针对几何方法的设计难度与设计变量维数的指数关系(维数灾难), 主要从降低维数的角度进行考虑, 主要方法有减小变量相关性的主成分分析和消除不重要参数的变量分析技术(ANOVA)<sup>[13]</sup>.

(3) 混合方法 针对上述两种方法的优势和局限, 将两种方法结合起来加快收敛速度, 通过边界搜索确定一个包含可接受域的正多面体, 在此多面体内用统计的重心方法确定一个新的设计中心值, 重复上述过程, 直到确定最佳的设计中心值. 然而这些方法都不太成熟, 尚在完善阶段.

控制变数抽样是减小计算复杂度的主要途径. 它通过引入一个控制模型(简单电路或函数逼近 RSM) 来代替原电路模拟. 模型的建立与试验设计方法(DOE)、设计参数的个数及原物理模型的复杂度有关. 由于多项式模型的优化是一个几何规划问题, 而几何规划是一个特殊的凸优化问题, 同时可解多个变量且算法成熟, 因此非常适合于很多电路特性为设计变量的多项式函数的模拟电路<sup>[14]</sup>.

另一方面, 神经网络模型<sup>[12]</sup>是通过模拟学习获得的一种新方法, 它比多项式函数和经验函数更准确, 允许的维数更多, 而且对新模型的建立很简单, 因此可在某些程度上取代 RSM, 目前用神经网络模型已经建立了等离子刻蚀、PECVD、MBE、MCM 等工艺过程, 电路的模拟同样可以准确而快速的建立.

一般说来, 模拟电路的设计变量较多, 计算复杂, 通常采用 MC 方法提高估计的精度; 而数字电路的制造过程中一般只涉及几个独立的统计变量 ( $C_{ox}$ 、 $V_{FB}$ 、 $L_r$ 、 $W_r$ ), 因此几何方法在数字 MOS 电路中应用广泛. 以上各种模型各有其优缺点,

应在实际应用时应结合 IC 电路的实际情况选择适当的模型, 尽可能应用实际中得到的有用信息. 同时以上的许多方法已被开发成软件集成在 IC 设计优化中, 如文献[17]通过 IPC 接口技术将电路模拟器 OMAGA 和 MALAB 计算引擎开发的 OPTOMEGA 的模拟电路优化软件.

### 3 超深亚微米(VDSM)时期的 IC 参数成品率模型和优化

随着半导体工业进入超深亚微米时期, 晶体管的几何尺寸持续减小, 电路特性受工艺扰动的影响越来越大. 据最新报导<sup>[5]</sup>, 即使采用精密光学校正(OPC)方法和分辨率增强技术, 特征偏离(如晶体管的有效长度、晶体管沟道上面的氧化层厚度、互联线的厚度和间距以及金属层之间绝缘层的厚度)仍在标称值附近有 10% 的扰动. 一部分实验表明芯片上有这样的偏差将导致电路的速度有 14% 的扰动. 因此超深亚微米时期参数成品率的优化研究将面临着很大的挑战. 主要表现在: (1) 工艺参数引起的器件和电路的特性变化更加明显(见图 3), 同时, 由于工作频率的提高, 电路的布局布线将直接影响电路的性能; (2) 统计变量对设计变量的依赖关系越来越明显, 确定的可接受域在深亚微米阶段不再适用; (3) 片上系统(SoC)将模拟电路、数字电路, 甚至功率器件和电路集成在同一芯片上, 电路将互相影响, 参数之间的相关性越来越复杂.

基于上述原因, 早期提出的关于参数成品率研究的方法必须经过改进才可应用. 另外, 随着工艺的逐步提高, 同时会出现许多不可忽略的因素影响着参数成品率, 如器件之间的失配<sup>[13]</sup>(特别是对于模拟混合信号(AMS) IC 的比特分辨率特性)、晶体管的相对位置、以及统计参数的复杂的相关性问题(统计模型的描述是成品率估计的前提和关键)等.

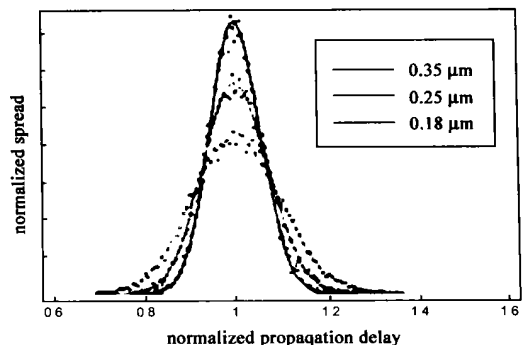


图 3 从 0.35 到 0.18 微米工艺加法器电路传输延迟分布

综上所述, VDSM 阶段和未来参数成品率研究的方向主要集中在以下几个方面: (1) 各种相关模型的准确建立, 如芯片内、芯片间参数的统计相关性模型, 器件的失配模型和互连线模型等; (2) 精确的电路协同仿真工具(随着特征尺寸的降低, 许多新效应的影响变得无法忽略)的开发, 及电路模拟器与优化程序的集成系统开发; (3) 与现代优化算法(如模拟退火、遗传算法以及神经网络及专家系统)的结合用于加速实际电路的优化; (4) 成品率设计必须与电路特性、可靠性及生产效率的之间的有机结合.

## 4 结论

集成电路参数成品率的优化研究一直是集成电路可制造性和设计的主要内容,而且随着 VLSI 工艺的提高,器件几何尺寸的不断减小,而统计量的减小并没有跟上这种减小速度,因此由工艺引起的参数成品率损失越来越明显,保持和提高成品率成为 IC 发展的瓶颈问题,本文系统的讨论了参数成品率方面的研究现状,总结了超深亚微米阶段参数成品率研究领域面临的主要问题及发展方向。

### 参考文献:

- [ 1 ] 荆明娥,郝跃. VLSI 成品率重心游移算法的一个几何解释[J]. 半导体学报,2004,25.
- [ 2 ] 荆明娥,王宇平. 基于产品最优分档的集成电路整体效益优化模型[J]. 西安电子科技大学学报,2002,29(2):300-304.
- [ 3 ] 荆明娥,郝跃. 集成电路分档成品率的效益优化模型及求解[J]. 西安电子科技大学学报,2004,31(2):
- [ 4 ] International Technology Roadmap for Semiconductors 2002 update [DB/OL]. tech. Rep, Semiconductor industry association. <http://public.itrs.net>.
- [ 5 ] Jess J. Parametric yield estimation for deep sub-micron VLSI circuits, integrated circuits and systems design[A]. Proceedings. 15th Symposium on[C]. Porto Allegre, Brazil, 2002. (15):387-388.
- [ 6 ] J W Bandler, Chen S H. Circuit optimization: the state of the art[J]. IEEE Trans Microwave Theory and Techniques, 1988, 36(2):424-443.
- [ 7 ] Martin haugh. Variance reduction ( ): Important Sampling, Monte Carlo simulation[DB/OL]. IEOR E4703, 2003. <http://www.columbia.edu/~mh2078/MCSspring03/notes09.pdf>.
- [ 8 ] Keramat M, Kielbasa R. Worst case efficiency of Latin hypercube sampling Monte Carlo (LHSMC) yield estimator of electrical circuits[A]. Circuits and Systems, IEEE International Symposium[C]. Hong Kong, 1997. 3. 1660-1663.
- [ 9 ] Stephen W Director, Gary D Hachtel. Computationally efficient yield estimation procedures based on simplicial approximation[J]. IEEE Trans on CAS, 1978, 25(3):121-129.
- [ 10 ] Hany L Abdel-Malek, Abdel-karim S O Hassan. A boundary gradient search technique and its application in design centering[J]. IEEE Trans on CAD, 1999, 18(11):1654-1661.
- [ 11 ] Say Wei Foo, Yu Lin. Hybrid method of tolerance design[A]. Electronics, Circuits and Systems, Proceedings of ICECS '99 [C]. Pafos, Cyprus, 1999. 1. 557-560.
- [ 12 ] Zurada J M, Lozowski A, Malinowski A. Yield improvement for GaAs IC manufacturing using neural network inverse modeling[A]. Neural Networks, International Conference on[C]. USA, 1997. 2. 800-805.
- [ 13 ] M Conti, P Crippa, S Orcioni, C Turchetti. Parametric yield optimization of MOS IC 's affected by device mismatch[A]. Analog Integrated Circuits and Signal Processing[C]. Netherlands: Kluwer Academic Publishers, 2001. 29(3):181-199.
- [ 14 ] Hershenson M delM, Boyd S P Lee T H. Optimal design of a CMOS op-amp via geometric programming[J]. Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, 2001, 20(1):1-21.
- [ 15 ] Shen Y, Chen R M M. Application of genetic algorithm for response surface modeling in optimal statistical design[A]. Circuits and Systems, IEEE International Symposium[C]. USA, 1995. 28(3):2152-2155.
- [ 16 ] Conti M, Orcioni S, Turchetti C. Parametric yield optimization of MOS VLSI circuits based on simulated annealing and its parallel implementation[J]. Circuits, Devices and Systems, IEE Proceedings, 1994, 141(5):387-398.
- [ 17 ] Keramat M, Kielbasa R. OPTOMEGA: an environment for analog circuit optimization[A]. Circuits and Systems. IEEE International Symposium [C]. USA, 1998. 6. 122-125.

### 作者简介:



郝跃男, 1958 年生于重庆, 教授, 博士生导师, 主要从事宽禁带半导体材料、器件与电路, SoC 设计方法, 以及 VDSM 小尺寸器件与电路可靠性理论与技术研究。



荆明娥女, 1975 年生, 目前是西安电子科技大学微电子学与固体电子学博士研究生, 主要从事集成电路可制造性理论与方法研究, 参数成品率设计方法是研究重点。



马佩军男, 1972 年生, 2001 年毕业于西安电子科技大学微电子学与固体电子学, 获博士学位, 主要从事半导体器件与电路可制造性和可靠性理论与技术, SoC 设计方法与体系结构研究。