

基于负电容电路的高速列总线读出方法

许睿明, 郭仲杰*, 刘绥阳, 余宁梅
(西安理工大学自动化与信息工程学院, 陕西西安 710048)

摘要: 针对超大面阵CMOS图像传感器列总线建立时间过长的问题, 本文提出了一种高速列总线信号读出方法. 该方法基于负电容技术, 将负电容电路集成到列级读出电路中, 抵消列总线寄生电容对列总线信号建立时间的负面影响. 同时, 基于动态环路稳定性调节技术, 平衡了读出速度与环路稳定性的设计矛盾. 本文基于55 nm 1P4M CMOS工艺对提出的高速列总线读出方法完成了详细电路设计和全面仿真验证. 在像素尺寸 $10\ \mu\text{m} \times 10\ \mu\text{m}$, 尾电流为 $5\ \mu\text{A}$, 列总线输出电压摆幅为1.2 V的设计条件下, 列总线信号上升建立时间从 $1.721\ \mu\text{s}$ 减少至 $1.204\ \mu\text{s}$, 降低了30.04%. 列总线信号下降建立时间从 $5.780\ \mu\text{s}$ 降低至 $2.816\ \mu\text{s}$, 降低了51.28%. 此外, 行固定模式噪声从1.30%降低到0.01%. 在1.6 W的功耗下, 本文设计的大面阵CMOS图像传感器的帧率和动态范围分别达到了27帧每秒和85 dB, 为大面阵高速低功耗CMOS图像传感器的设计提供了一定的理论支撑.

关键词: CMOS图像传感器; 超大面阵; 高速读出; 列并行; 负电容电路

基金项目: 国家自然科学基金(No.62171367); 陕西省创新能力支撑计划项目(No.2022TD-39)

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112(2025)04-1192-09

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20240948

High-Speed Column Bus Readout Method Based on Negative Capacitance Circuit

XU Rui-ming, GUO Zhong-jie*, LIU Sui-yang, YU Ning-mei

(School of Automation and Engineering, Xi'an University of Technology, Xi'an, Shaanxi 710048, China)

Abstract: Aiming at the problem of the long establishment time of the column bus signal in large array CMOS image sensors, a high-speed column bus signal reading method is proposed in this paper. Based on negative capacitance technology, the negative capacitance circuit is integrated into the column-level readout circuit to offset the negative influence of column bus parasitic capacitance on the establishment time of column bus signal. At the same time, based on the dynamic loop stability regulation technology, the design contradiction between readout speed and loop stability is balanced. Based on 55 nm 1P4M CMOS technology, detailed circuit design and comprehensive simulation verification of the proposed high-speed column bus readout method are completed in this paper. Under the design conditions that the pixel size is $10\ \mu\text{m} \times 10\ \mu\text{m}$, the tail current is $5\ \mu\text{A}$, and the column bus output voltage swing is 1.2 V, the rise time of the column bus signal is reduced from $1.721\ \mu\text{s}$ to $1.204\ \mu\text{s}$, which is reduced by 30.04%. The fall time of column bus signal is reduced by 51.28% from $5.780\ \mu\text{s}$ to $2.816\ \mu\text{s}$. In addition, row fixed mode noise (RFPN) is reduced from 1.30% to 0.01%. Under the power consumption of 1.6 W, the frame rate and dynamic range of the large array CMOS image sensor designed in this paper reach 27 fps and 85 dB respectively. It provides a certain theoretical support for the design of large array high-speed and low-power CMOS image sensors.

Key words: CMOS image sensors; large array; high-speed readout; column parallel; negative capacitance circuit

Foundation Item(s): National Natural Science Foundation of China (No.62171367); Shaanxi Province Innovation Capability Support Plan (No.2022TD-39)

1 引言

近年来,CMOS 图像传感器(CMOS Image Sensors, CIS)以其高集成度、低功耗、低成本的优势逐步取代电荷耦合器件成为消费者成像应用的主流技术^[1,2]. 随着 CMOS 图像传感器技术的不断发展,人们对 CMOS 图像传感器的分辨率与帧率提出更高的要求. 为了获得更高的帧率,大面阵 CMOS 图像传感器必须以更高的速度读出图像信号^[3,4]. 目前主流的 CMOS 图像传感器结构为列并行架构,随着面阵规模的增大,列总线可长达几十甚至上百毫米,寄生效应显著增长,此时列总线上的信号建立时间成为制约帧率提高的关键瓶颈^[5,6].

目前,国内外研究人员针对该问题做了大量的研究. 文献[7]通过优化版图布局与列总线宽度来减小寄生电容与寄生电阻. 然而,这种方法取得的加速效果有限,无法满足高帧率应用需求. 文献[8]通过增大像素单元中源级跟随器的尺寸加快列总线信号的建立. 首先,该方法无法突破列总线寄生参数产生时间常数的限制. 其次,随着 CMOS 工艺的不断发展,像素单元尺寸不断减小,这也限制了源级跟随器尺寸的增加,进一步制约了该方法在超大面阵 CIS 中的应用. 文献[9]通过电流反馈技术对列总线进行充放电操作,从而缩短列总线信号的建立时间. 该方法可以将列总线信号建立时间缩短至加速前的 1/10. 然而,该方法存在以下 2 个弊端:(1)需要增加额外的列总线,额外列总线的寄生效应将对列总线信号建立时间产生较大的影响;(2)额外的列总线会极大地增加版图布局复杂度,降低大面阵 CMOS 图像传感器的填充因子. 在文献[10~12]中,均采用双侧读出架构来降低行时间,提高大面阵 CMOS 图像传感器的帧率. 然而,相较于单侧读出架构,双侧读出架构会带来双倍功耗和芯片面积开销.

现有的研究无法有效解决大面阵 CIS 中列总线信号建立时间过慢的问题. 本文基于对超大面阵 CMOS 图像传感器的读出速度瓶颈以及其产生机理的深入分析,提出了一种应用于超大面阵 CIS 的高速列总线信号读出方法. 该方法在不影响像素面阵设计的基础上,将负电容电路集成到列级读出电路中,以较低的芯片面积和功耗开销,抵消了列总线寄生电容对列总线信号建立时间的负面影响,有效缩短了列总线信号的建立时间. 本文着重分析了该方法的实现原理以及具体电路与版图设计,并给出了参数仿真结果.

2 超大面阵 CIS 架构分析

本文所采用的大面阵 CMOS 图像传感器架构如图 1 所示. 该芯片采用单侧读出架构,主要包括行驱动电

路、时序驱动电路、5T 像素电路、列级读出电路、低压差分信号(Low Voltage Differential Signaling, LVDS)电路等. 像素电路将光信号转换成电压信号,通过列总线输入到列级读出电路,由列级读出电路对电压信号进行采样与量化,量化结果最终通过 LVDS 电路进行输出^[13~17]. 行驱动电路用于生成 5T 像素电路的控制信号. 时序控制电路用于产生全芯片的控制时序. 图 2 展示了 5T 像素电路的操作时序和列总线输出电压波形.

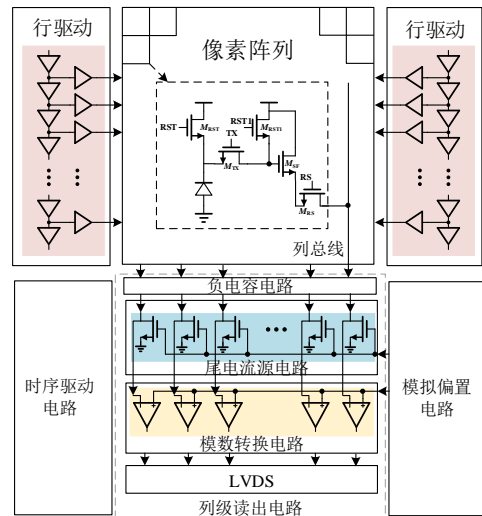


图 1 CMOS 图像传感器整体架构

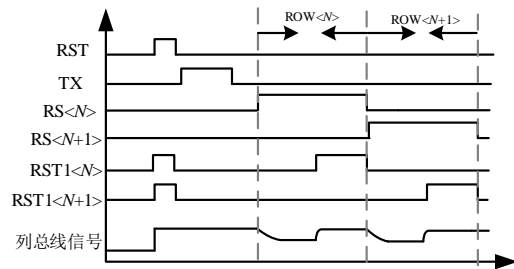


图 2 N 和 N+1 行像素控制时序

图 3 展示了单侧读出架构和相应的等效电路,其中读出电路和尾电流源电路位于像素阵列的同侧. 对于单侧读出架构,当列级读出电路从较远的顶部像素获取图像信号时,列总线上的寄生电阻会造成电压损失.

除此之外,在强光照条件下,尾电流源电路会被偏置到线性区,从而产生非理想因素. 然而,单侧读出架构在读出速度和功耗方面具有较大优势. 图 4 展示了由文献[4]提出的双侧布局架构,其中读出电路和尾电流源电路分别置于像素阵列的上下两侧. 当列总线信号建立过程结束后,像素单元到输出节点的通路中没有静态电流,这抑制了由寄生电阻引起的列总线输出摆幅下降.

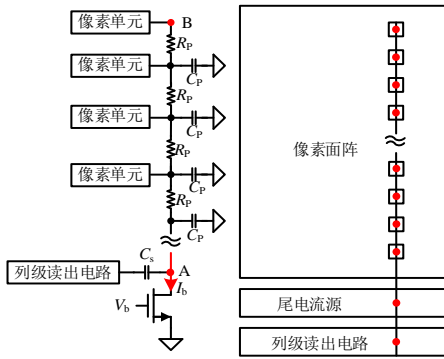


图3 单侧读出架构示意图

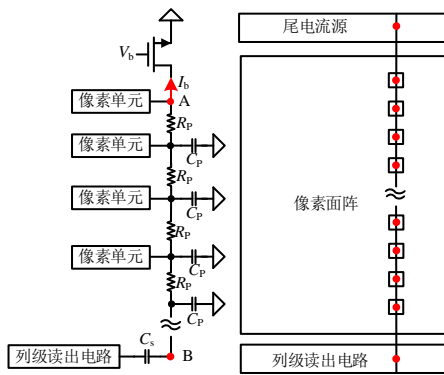
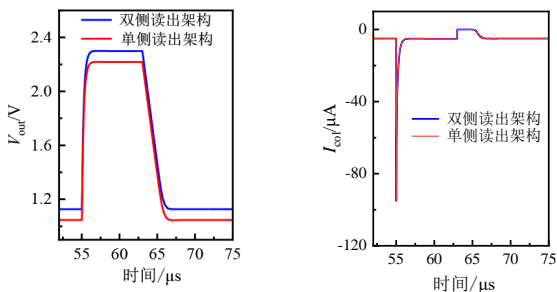


图4 双侧读出架构示意图

图5展示了在面阵规模为 $8192(H) \times 8192(V)$, 像素单元尺寸为 $10\ \mu\text{m} \times 10\ \mu\text{m}$, 尾电流源偏置电流为 $5\ \mu\text{A}$ 时, 列总线上的输出电压波形与寄生电容充放电波形. 由于尾电流源电路对放电电流的限制, 导致列总线信号的下降建立时间明显长于上升建立时间. 对图5分析可得, 对于2种布局架构来说, 列总线的充电能力均远大于放电能力. 因此可以得出, 列总线信号的下降时间是限制大面阵CMOS图像传感器帧率的主要瓶颈.



(a) 列总线输出电压 (b) 列总线寄生电容充放电电流

图5 2种架构下列总线波形

接下来, 基于小信号等效模型对2种布局架构的列总线信号下降时间进行进一步分析, 总下降时间为 T_1 .

$$T_1 = T_2 + T_3 \quad (1)$$

整体下降时间可以分为2个阶段. 在 T_2 阶段, FD点电压变化后, 像素单元的源极跟随器工作在截止区. 此时, 列总线寄生电容通过尾电流源电路进行放电.

$$T_2 = \frac{C_L \times \Delta V}{I_{\text{COL}}} \quad (2)$$

其中, C_L 为列总线总负载电容, I_{COL} 为尾电流源电路的偏置电流, ΔV 为大信号变化电压. 根据式(2)可得, 第一阶段消耗时间 T_2 与列总线总负载电容、尾电流电路偏置电流以及大信号变化电压有关. 对于上述2种架构来说, 第一阶段消耗时间基本相同.

在 T_3 阶段, 随着列总线信号不断下降, 源级跟随器进入饱和区. 该阶段下降时间与源级跟随器参数、列总线寄生参数以及布局架构有关. 接下来, 本文将基于小信号模型分别对2种架构进行研究. 图6展示了单侧读出架构的小信号模型, 其在第二阶段消耗时间为 T_{3_1} . 式(4)和式(5)为该架构各部分时间常数.

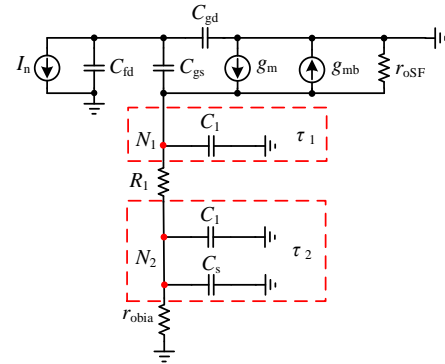


图6 单侧读出架构小信号模型

$$T_{3_1} = \tau_1 + \tau_2 \quad (3)$$

$$\tau_1 = \left[\frac{1}{g_m + g_{mb} + \frac{1}{r_{\text{osF}}} + \frac{1}{R_1 + r_{\text{obia}}}} \right] \times (C_1 + C_s) \quad (4)$$

$$\tau_2 = \left[\frac{1}{R_1 + \frac{1}{r_{\text{obia}}} + \frac{1}{g_m + g_{mb} + \frac{1}{r_{\text{osF}}}}} \right] \times C_1 \quad (5)$$

其中, g_m 、 g_{mb} 、 r_{osF} 分别为像素单元源级跟随器的跨导、体效应等效跨导、小信号电阻, R_1 为列总线寄生电阻, C_1 为列总线寄生电容, r_{obia} 为尾电流源电路小信号电阻, C_s 为列级读出电路的采样电容. 图7展示了双侧布局架构的小信号模型, 其在第二阶段消耗时间为 T_{3_2} . 式(7)~式(9)为该架构各部分时间常数.

$$T_{3_2} = \tau_3 + \tau_4 + \tau_5 \quad (6)$$

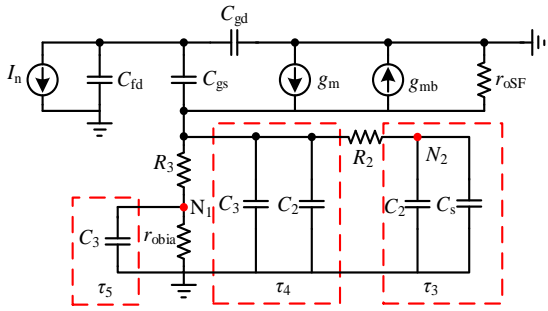


图7 双侧读出架构小信号模型

$$\tau_3 = \left[R_2 + \frac{1}{g_m + g_{mb} + \frac{1}{r_{oSF}} + \frac{1}{R_3 + r_{obia}}} \right] \times (C_2 + C_5) \quad (7)$$

$$\tau_4 = \left[\frac{1}{g_m + g_{mb} + \frac{1}{r_{oSF}} + \frac{1}{R_2 + r_{obia}}} \right] \times (C_2 + C_3) \quad (8)$$

$$\tau_5 = \left[\frac{1}{\frac{1}{r_{obia}} + R_3 + \frac{1}{g_m + g_{mb} + \frac{1}{r_{oSF}}}} \right] \times C_3 \quad (9)$$

其中, R_2 和 C_2 分别为像素与输出节点之间的列总线寄生电阻与寄生电容, R_3 和 C_3 分别为像素与尾电流晶体管之间列总线的寄生电容与寄生电阻. 列总线信号在小信号建立阶段, 列总线信号电压与建立时间的关系为

$$V_{COL}(t) = V_{RST} - (V_{RST} - V_{sig}) \times (1 - e^{-\frac{t}{\tau_3}}) \quad (10)$$

其中, V_{RST} 为复位信号, V_{sig} 为图像信号. 图8展示了像素单元尺寸为 $10 \mu\text{m} \times 10 \mu\text{m}$, 尾电流偏置为 $5 \mu\text{A}$ 的条件下, 对于不同像素面阵规模, 2种布局架构的下降建立时间. 对图8分析可得, 双侧布局架构的列总线信号建立时间相比于单侧布局架构更长. 单侧布局架构带来电压损失可以通过相关双采样技术消除, 而其速度优势更适用于高速低功耗的大面阵 CMOS 图像传感器. 综上所述, 本文最终采用单侧布局架构.

3 提出的高速列总线信号读出方法

根据上述分析, 列总线建立时间主要与像素单元内的源级跟随器参数、列总线寄生参数和尾电流大小有关. 像素单元内源级跟随器参数受限于像素单元尺寸, 设计自由度较小, 难以对列总线信号建立时间产生严重影响. 同时, 为满足低功耗的应用场景, 尾电流也被限制在一个较低的水平. 在这种情况下, 本文提出了

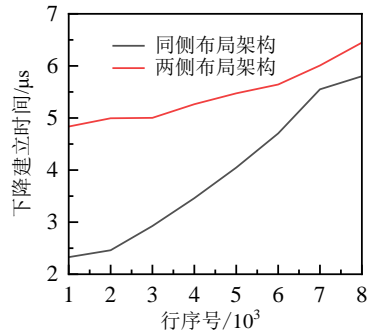


图8 不同面阵规模下2种架构的下降建立时间

一种集成了负电容电路的高速列总线读出电路. 该电路以较低的芯片面积和功耗开销, 抵消了列总线寄生参数影响, 从而提高了列总线信号的读出速度.

图9为基于负电容技术的高速列总线信号读出电路及其工作时序. 高速列总线信号读出电路包括3个MOS管, 2个开关, 1个电容 C_4 和1个可配置电容 C_5 . 在 Φ_2 阶段, 高速列总线信号读出电路的小信号模型见图10.

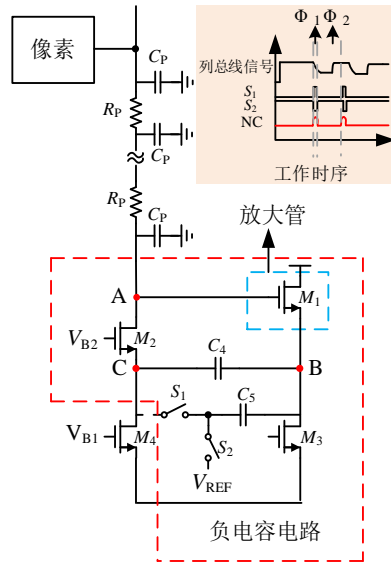


图9 高速列总线信号读出电路及其工作时序

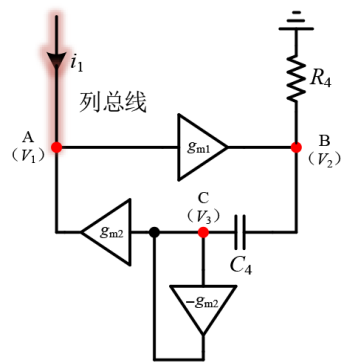


图10 高速列总线信号读出电路小信号模型

根据电荷守恒原理,各个节点的电流方程为

$$g_{m1}V_1 = \frac{V_2}{R_4} + sC_4(V_2 - V_3) \quad (11)$$

$$sC_4(V_2 - V_3) = g_{m2}V_3 \quad (12)$$

$$i_1 = -g_{m2}V_3 \quad (13)$$

其中, i_1 是列总线电流, g_{m1} 和 g_{m2} 分别是 M_1 和 M_2 的跨导, R 是节点 B 到地电位的等效电阻. 根据式(11)~式(13), 小信号模型的阻抗随频率变化的关系为

$$Z = \frac{V_1}{i_1} = -\frac{1}{g_{m2}} \frac{1}{g_{m1}R_4} \cdot \frac{1 + s \frac{C_4}{g_{m2}}(1 + g_{m2}R_4)}{s \frac{C_4}{g_{m2}}} \quad (14)$$

当 $|s| \ll \frac{g_{m2}}{C_4(1 + g_{m2}R_4)}$ 时,

$$Z \approx -\frac{1}{g_{m1}R_4} \frac{1}{sC_4} \quad (15)$$

当 $|s| \gg \frac{g_{m2}}{C_4(1 + g_{m2}R_4)}$ 时,

$$Z \approx -\frac{1}{g_{m2}} \frac{1 + g_{m2}R_4}{g_{m1}R_4} \quad (16)$$

根据式(15)和式(16)可得,当频率远低于 $g_{m2}/[C_4(1 + g_{m2}R_4)]$ 时,小信号模型呈现值为 $-g_{m1}R_4C_4$ 的负电容特性. 在这种情况下, T_2 和 τ_2 分别为

$$T_2 = \frac{(C_L - g_{m1}R_4C_4) \times \Delta V}{I_{COL}} \quad (17)$$

$$\tau_2 = \frac{C_1 + C_s - g_{m1}R_4C_4}{R_1 + \frac{1}{r_{obia}} + \frac{1}{g_m + g_{mb} + \frac{1}{r_{osf}}}} \quad (18)$$

此时,高速列总线信号读出电路的传输函数由式(19)~式(21)给出.

$$H(s) = -\frac{(g_m + c_{gs}s)}{\frac{1}{r_{osf}} + \frac{Z^2(R_1 - r_{osf} + R_1C_1r_{osf}s)}{r_{obia}r_{osf}} + Z \times B - C} \quad (19)$$

$$B = \frac{R_1}{r_{osf}} - (1 - R_1C_1s) \quad (20)$$

$$C = C_s s - \frac{(R_1C_1 + R_1C_s)s}{r_{osf}} - (R_1C_1^2 + R_1C_1C_s)s^2 \quad (21)$$

在频率超过 $g_{m2}/[C_4(1 + g_{m2}R_4)]$ 的情况下,小信号模型会呈现为负电阻特性. 具有非理想负电容特性的高速列总线信号读出电路可能会使列总线信号失稳. 因此,在设计过程中,在最大限度地增加负电容的同时,应尽可能确保环路的稳定性. 大的负电容会使大信号建立速度更快. 然而,增加的负电容会加剧环路不稳定性,减慢小信号的建立速度,这将延长列总线信号总建立时间. 为解决该设计难点,本文引入了可配置电容 C_5 . 在 Φ_1 阶段,电容 C_4 和 C_5 同时接入环路,用大负电容

加快大信号的建立速度. 在 Φ_2 阶段,将可配置电容 C_5 从环路中断开,降低负电容,增强环路稳定性,加速小信号的建立速度. 图 11 展示了电容 C_4 、 C_5 在不同取值下,高速列总线信号读出电路的主极点位置和 Q 值. 电容 C_4 、 C_5 参数的设计,应使 Q 值尽可能接近 0.5 的前提下,令主极点位置更远. 本文最终将电容 C_4 、 C_5 分别设置为 0.5 pF、1.5 pF.

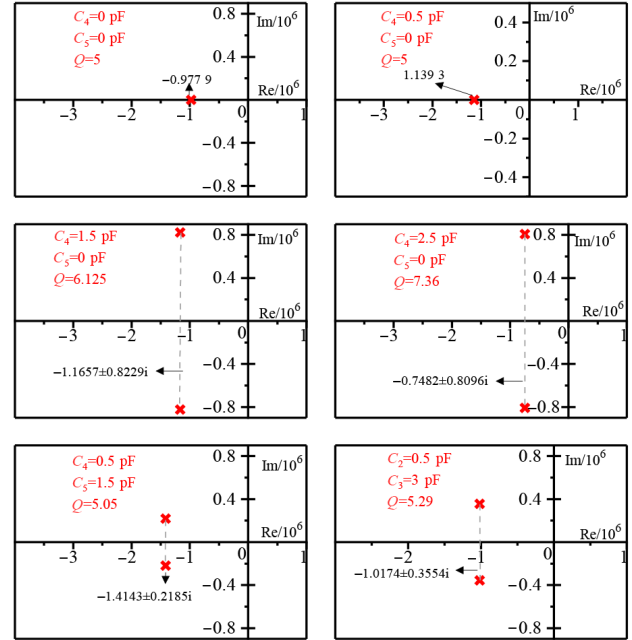


图 11 不同 C_4 、 C_5 取值下系统主极点位置

4 验证结果与数据分析

图 12 为已经基于 55 nm 1P4M 工艺完成设计的一款大面阵 CMOS 图像传感器. 设计平台所得的仿真结果与测试结果基本吻合. 基于该设计平台,本文在一款基于 55 nm 1P4M 工艺的 $8192(H) \times 8192(V)$ 的 CMOS 图像传感器芯片中,对提出的高速列总线信号读出电路完成了电路设计和版图设计. 所有寄生参数都依据实际流片验证结果进行标定. 超大面阵 CMOS 图像传感器的整体布局设计如图 13 所示.

整体芯片大小为 $85.89 \text{ mm} \times 89.53 \text{ mm}$. 列总线宽度是在充分考虑读出速度、列总线摆幅、动态范围和量子效率的前提下进行设计的. 超大面阵 CMOS 图像传感器的列读出电路高度为 6.2 mm,其中负电容电路仅占据 $27.6 \mu\text{m}$.

在本文建立的仿真环境中,列总线信号的输出电压摆幅为 1.2 V,像素间距为 $10 \mu\text{m} \times 10 \mu\text{m}$,像素偏置电流为 $5 \mu\text{A}$. 图 14 分别展示了加速前、只使用 C_4 加速,以及使用 C_4 和 C_5 加速时的列总线信号输出波形. 根据图 14 可得,加速前,列总线信号的上升建立时间和下降建立时间分别为 $1.721 \mu\text{s}$ 和 $5.78 \mu\text{s}$. 使用电容 C_4 和 C_5

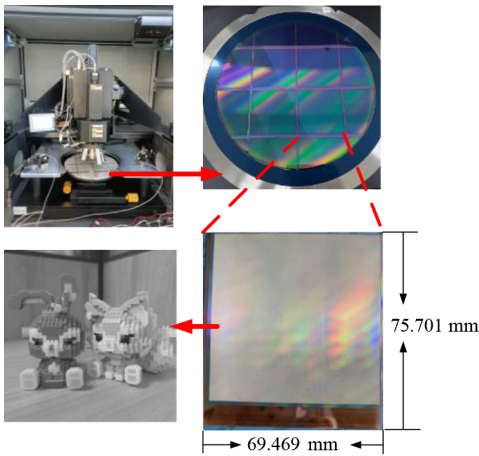


图 12 基于设计平台设计的大面阵 CMOS 图像传感器

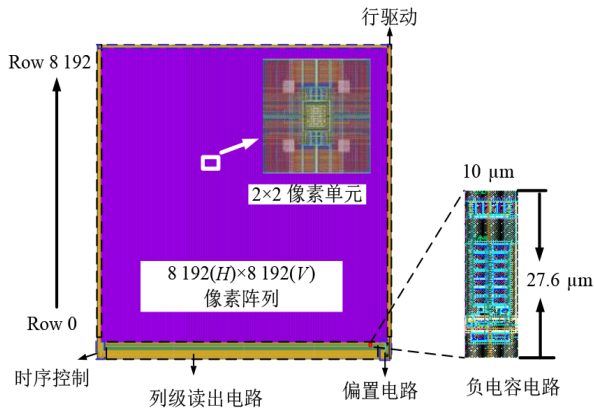


图 13 整体芯片版图布局

进行加速后,列总线信号上升建立时间和下降建立时间分别降低至 $1.204 \mu\text{s}$ 和 $2.816 \mu\text{s}$. 相比于加速前,列总线信号的上升建立时间和下降建立时间分别减少了 30.04% 和 51.28%. 正如预期,同时使用电容 C_4 和 C_5 进行加速,可以在保证稳定性的基础上,进一步减小列总线信号的建立时间. 与仅使用电容 C_4 相比,上升时间和下降时间分别减少了 10.8% 和 24.9%.

图 15 展示了在加速前后不同行像素信号的读出时间. 由于第 0 行像素到列总线输出节点的寄生电容极

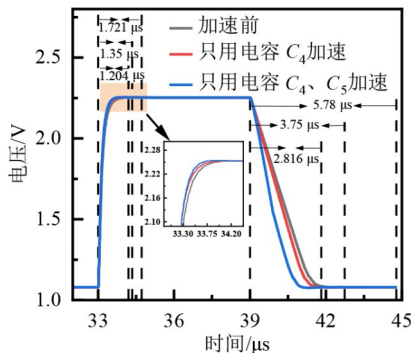


图 14 加速前后列总线信号输出波形

小,负电容电路会引起过充和过放现象. 此时,由于过充现象,导致上升时间较加速前更长. 然而,由于列总线信号采样的同步性,大面阵 CMOS 图像传感器的帧率受限于建立速度最慢行的限制. 总体而言,加速后列总线信号的读出时间大幅度降低.

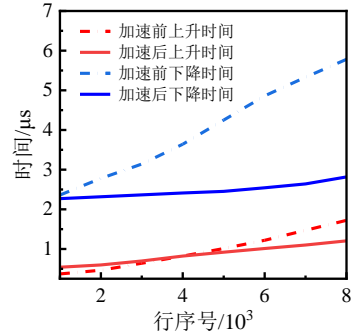
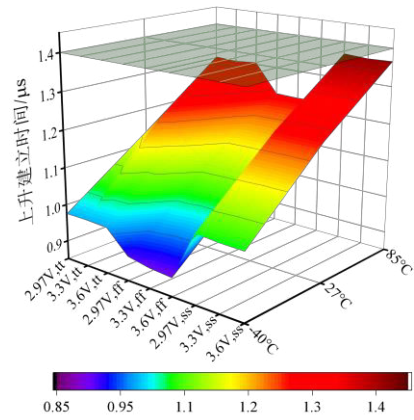
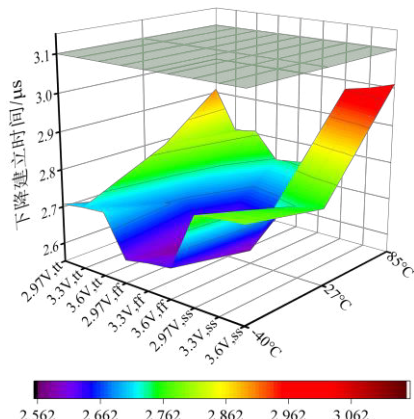


图 15 不同行像素读出时间

为了达到 27 帧每秒的设计目标,本文将列总线信号的上升和下降建立时间分别设计为 $1.4 \mu\text{s}$ 和 $3.1 \mu\text{s}$. 图 16 展示了加速后列总线信号上升建立时间和下降建



(a) 上升建立时间



(b) 下降建立时间

图 16 PVT 仿真结果

立时间的PVT仿真结果.同时,为进一步评估高速列总线信号读出电路的性能,本文进行了200次的蒙特卡罗仿真,如图17所示.上升建立时间和下降建立时间的标准差分别为1.923 ns和88.406 ns,平均值分别为1.203 8 μ s和2.809 μ s. PVT与蒙特卡罗仿真结果表明,在所有情况下,列总线信号的上升建立时间和下降建立时间均满足设计要求.

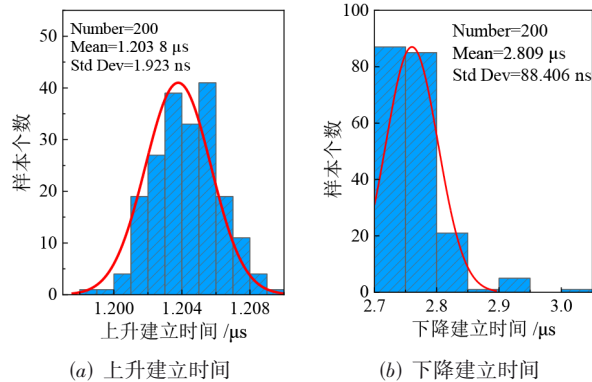


图17 蒙特卡罗仿真结果

图18展示了在强曝光,行时间为4.5 μ s的情况下,加速前后的输出图像.加速前,由于列总线信号建立时间较长,造成了图像信号损失,输出图像沿水平方向产生条纹,导致了1.33%的行固定模式噪声(Row Fixed Pattern Noise, RFPN).加速后,输出图像质量明显改善,RFPN降低至0.01%.

为综合考量功耗、满阱容量等多方面性能参数,本文采用了多电压域设计方法.本文提出的高速列总线读出电路采用3.3 V供电电压,晶体管最小特征尺寸为350 nm.表1为本文提出的高速列总线信号读出方法的

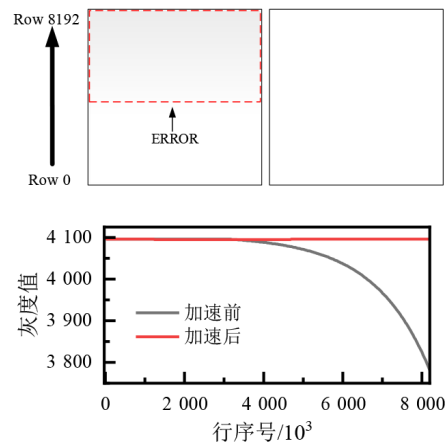


图18 强曝光条件下加速前后输出图像

仿真验证结果与现有方法的对比.文献[10~12]均采用了双侧读出架构.与文献[10]相比,品质因数(Figure Of Merit, FOM)降低了74.11%.与文献[11]相比,本文提出的图像传感器芯片的列总线更长.尽管功耗相近,但行时间减少了93.24%,帧率增加了2 600%.与文献[12]相比,行时间减少了18.18%.尽管文献[12]中的帧率高于本文,但这是以巨大的功耗为代价换取的,这将限制其在低功耗环境中的应用.

5 结论

本文提出了一种高速列总线信号读出方法,并在一款8 192(H) \times 8 192(V)的大面阵CMOS图像传感器芯片中进行了电路设计与详细的仿真验证.该方法将负电容电路集成到列级读出电路中,抵消列总线寄生电容对列总线信号建立时间的影响.同时,基于动态环路稳定性调节技术,平衡了速度与环路稳定性的设计

表1 测试结果与现有方法对比

项目	文献[10]	文献[11]	文献[12]	本文
工艺/nm	55	90、65	65	55
像素尺寸(H \times V)/(mm \times mm)	7.5 \times 7.5	3.9 \times 3.9	4.2 \times 4.2	10 \times 10
面阵尺寸 (H \times V)/(mm \times mm)	115.2 \times 115.2	101.84 \times 58.50	77.40 \times 75.54	81.92 \times 81.92
面阵规模 (H \times V)/(mm \times mm)	15 360 \times 15 360	26 112 \times 15 000	18 400 \times 17 712	8 192 \times 8 192
芯片尺寸 (H \times V)/(mm \times mm)	118 \times 125	105.18 \times 65.63	99.2 \times 83.1	85.89 \times 89.53
读出架构	双侧	双侧	双侧	单侧
行时间/ μ s	6.5	66.6	5.5	4.5
帧率	10	1	120	27
动态范围/dB	78	78	87	85
功耗/W	6	1.75	23	1.6
FOM(10^{-3})	*0.34	*1.99	*1.67	0.088

注:*FOM=功耗/(像素尺寸 \times 行数 \times 行频).

矛盾. 仿真结果表明,列总线信号的上升建立时间和下降建立时间分别减少了 30.04% 和 51.28%,有效地降低了行时间,提高了大面阵 CMOS 图像传感器的帧率. 值得说明的是,负电容电路只需要较小的芯片面积和功耗开销,因此可以广泛应用于高速低功耗的大面阵 CMOS 图像传感器中.

参考文献

- [1] XU R M, GUO Z J, YU N M, et al. A high-speed 13-bit two-step single-slope ADC for large array CMOS image sensors[J]. *Integration*, 2023, 91: 119-125.
- [2] GEORGE S S, BOCKO M F, IGUNJATOVIC Z. Current sensing-assisted active pixel sensor for high-speed CMOS image sensors[J]. *IEEE Sensors Journal*, 2015, 15(8): 4365-4372.
- [3] GAO J, ZHANG D Z, NIE K M, et al. Analysis and Optimization design of the column bus parasitic effects on large-array CMOS image sensor[J]. *Microelectronics Journal*, 2020, 96: 104681.
- [4] XU J T, LI W, NIE K M, et al. A method to reduce the effect on image quality caused by resistance of column bus[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2019, 27(1): 173-181.
- [5] GUO Z J, CHENG X Q, XU R M, et al. A 1Gpixel 10FPS CMOS image sensor using pixel array high-speed readout technology[J]. *Integration*, 2023, 89: 114-122.
- [6] FUNATSU R, HUANG S, YAMASHITA T, et al. 6.2 133Mpixel 60fps CMOS image sensor with 32-column shared high-speed column-parallel SAR ADCs[C]//2015 IEEE International Solid-State Circuits Conference-(ISSCC) Digest of Technical Papers. Piscataway: IEEE, 2015: 1-3.
- [7] KIM M S, KANG D U, LEE D H, et al. Study on the fast signal transfer for large-area X-ray image sensors[C]//2013 IEEE Nuclear Science Symposium and Medical Imaging Conference (2013 NSS/MIC). Piscataway: IEEE, 2013: 1-5.
- [8] KIM M S, KANG D U, LEE D H, et al. Fast signal transfer in a large-area X-ray CMOS image sensor[J]. *Journal of Instrumentation*, 2014, 9(8): P08011.
- [9] LE-THAI H, XHAKONI A, GIELEN G. A column-and-row-parallel CMOS image sensor with thermal and 1/f noise suppression techniques[C]//ESSCIRC Conference 2016: 42nd European Solid-State Circuits Conference. Piscataway: IEEE, 2016: 221-224.
- [10] GUO Z J, YU N M, WU L S. A synchronous driving approach based on adaptive delay phase-locked loop for stitching CMOS image sensor[J]. *IEICE Electronics Express*, 2020, 17(3): 20190642.
- [11] BOGAERTS J, LAFAILLE R, BORREMANS M, et al. 6.3 105×65mm² 391Mpixel CMOS image sensor with > 78dB dynamic range for airborne mapping applications[C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2016: 114-115.
- [12] AGARWAL A, HANSRANI J, BAGWELL S, et al. A 316MP, 120FPS, high dynamic range CMOS image sensor for next generation immersive displays[J]. *Sensors*, 2023, 23(20): 23208383.
- [13] LEVSKI D, WÄNY M, CHOUBEY B. A 1- μ s ramp time 12-bit column-parallel flash TDC-interpolated single-slope ADC with digital delay-element calibration[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2019, 66(1): 54-67.
- [14] 郭仲杰, 苏昌勛, 许睿明, 等. 基于粗细量化并行与 TDC 混合的 CMOS 图像传感器列级 ADC 设计方法[J]. *电子学报*, 2024, 52(2): 486-499.
GUO Z J, SU C X, XU R M, et al. Column level ADC design method of CMOS image sensor based on coarse and fine quantization parallel and TDC hybrid[J]. *Acta Electronica Sinica*, 2024, 52(2): 486-499. (in Chinese)
- [15] 郭仲杰, 王杨乐, 许睿明, 等. 应用于 CMOS 图像传感器的高速全差分两步式 ADC 设计方法[J]. *电子与信息学报*, 2023, 45(9): 3410-3419.
GUO Z J, WANG Y L, XU R M, et al. High-speed fully differential two-step ADC design method for CMOS image sensor[J]. *Journal of Electronics & Information Technology*, 2023, 45(9): 3410-3419. (in Chinese)
- [16] 郭仲杰, 程新齐, 余宁梅, 等. 面向超大面阵 CMOS 图像传感器的列总线自加速建立方法研究[J]. *电子学报*, 2023, 51(6): 1581-1589.
GUO Z J, CHENG X Q, YU N M, et al. Research on self-accelerated establishment method of column bus for super large array CMOS image sensor[J]. *Acta Electronica Sinica*, 2023, 51(6): 1581-1589. (in Chinese)
- [17] 郭仲杰, 许睿明, 程新齐, 等. 面向亿级 CMOS 图像传感器的高速全并行两步式 ADC 设计方法[J]. *电子学报*, 2023, 51(8): 2067-2075.
GUO Z J, XU R M, CHENG X Q, et al. High speed fully parallel two-step ADC design method for hundred million level CMOS image sensors[J]. *Acta Electronica Sinica*, 2023, 51(8): 2067-2075. (in Chinese)

作者简介



许睿明 男,1997年2月出生于内蒙古巴彦淖尔.现为西安理工大学自动化与信息工程学院硕士研究生.主要研究方向为超大规模集成电路设计.

E-mail: rmxu@stu.xaut.edu.cn



刘绥阳 女,1997年8月出生于陕西咸阳.现为西安理工大学自动化与信息工程学院博士研究生.主要研究方向为超大规模数模混合集成电路的设计.

E-mail: syliu@stu.xaut.edu.cn



郭仲杰 男,1982年1月出生于陕西韩城.现为西安理工大学自动化与信息工程学院教授.主要研究方向为超大规模数模混合集成电路的设计.

E-mail: zjguo@xaut.edu.cn



余宁梅 女,1963年1月出生于广东梅州.现为西安理工大学自动化与信息工程学院教授.主要研究方向为大规模集成电路设计与工艺.

E-mail: yunm@xaut.edu.cn