

# 基于缺陷均匀分布的集成电路制造成品率与可靠性之间的关系模型

赵天绪,段旭朝

(宝鸡文理学院计算与信息科学研究所,陕西宝鸡 721013)

**摘要:** 在集成电路可制造性设计研究中,成品率与可靠性之间的关系模型备受人们关注.缺陷对成品率和可靠性的影响不仅与出现在芯片上的缺陷粒径大小有关而且与缺陷出现在芯片上的位置有关.本文主要考虑了出现在互连线上的金属丢失物缺陷对互连线的影响,分析了同一粒径的缺陷出现在互连线不同位置对互连线有效宽度的影响,给出了基于缺陷均匀分布的互连线平均有效宽度,结合已有成品率和可靠性估计模型,提出了基于缺陷位置信息的集成电路制造成品率与可靠性之间的关系模型.在工艺线稳定的情况下,利用该工艺线的制造成品率可以通过该关系式有效地估计出产品的可靠性,从而有效地缩短新产品的研发周期.

**关键词:** 成品率; 可靠性; 缺陷; 粒径分布

**中图分类号:** TN406

**文献标识码:** A

**文章编号:** 0372-2112 (2012)08-1665-05

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2012.08.027

## A Relation Model Between Integrated Circuit Yield and Reliability Based on the Defect's Uniform Distribution

ZHAO Tian-xu, DUAN Xu-chao

(Computation and Information Institute, Baoji University of Arts and Sciences, Baoji, Shaanxi 721013, China)

**Abstract:** In the study of IC design for manufacturing, models on the relationship of yield and reliability deserve much attention. The impact of defects on the yield and reliability is associated not only with the particle size of it but also with the location of it on the chip. In this paper, it is analyzed that the defects at the same size in interconnect different locations affect the effective width of interconnect wires, by discussing the impact of the loss of metal in the interconnect wire on the interconnect wire itself. The average effective width of interconnect wires is given based on the uniform distribution of defects. In addition, the model on the relationship of the IC manufacturing yield and reliability is presented based on the location of defects, by referring on the existing model of estimating yield and reliability. If the processing line is stable, the rate of the product failure can be estimated effectively by the expression and the yield of the processing line, which can shorten the development period of the new products.

**Key words:** yield; reliability; defect; the size distribution of defect

## 1 引言

集成电路的成品率和可靠性是决定半导体产品市场竞争和质量的重要因素.众所周知,有三类参数严重地影响着IC的成品率和可靠性:(1)与设计有关的参数,如芯片面积和互连线宽度等;(2)工艺有关的参数,如缺陷的分布和密度;(3)与运行环境有关的参数,如温度和电压等.一般的,可靠性与这三个参数均有关系,而成品率受设计参数和与工艺相关的参数的影响.从可靠性和成品率所受的参数影响来看,可靠性和成品率之间存在着某种关系.从定性角度来说,没有高的成品率就

不会有高可靠性的产品,高可靠性的产品必须由高成品率的工艺线来生产.然而,如何通过IC的制造成品率对该生产线产品的可靠性做出有效估计,即如何定量地表征成品率和可靠性之间的关系是研究者近年来的研究重点<sup>[1~7]</sup>.集成电路制造过程中始终存在着缺陷,缺陷的存在不仅影响着集成电路的成品率,同时也影响着电路的可靠性.因此,缺陷架起了研究IC成品率和可靠性之间关系的桥梁.由于在集成电路制造过程中,缺陷出现在芯片上的位置和缺陷的粒径大小都是随机的,而且在芯片的同一位置出现不同粒径的缺陷以及出现在芯片的不同位置的同一粒径的缺陷对电路造成的影响不

同. 现有的文献<sup>[2-9]</sup>基本上只考虑了缺陷的粒径大小对 IC 的成品率和可靠性的影响, 而未考虑同一粒径的缺陷出现在电路不同位置的影响. 本文通过同一粒径的缺陷出现在互连线上不同位置对互连线有效宽度的影响分析, 给出了在概率意义下的平均有效宽度, 提出了基于缺陷位置信息的集成电路互连线成品率与可靠性之间的关系模型, 描述了工艺线生产的产品的可靠性与该工艺线制造成品率之间的定量关系. 在工艺线稳定的条件下, 利用该关系式通过该工艺线的制造成品率可以有效的估计出产品的可靠性, 大大地缩短新产品的研发周期.

## 2 缺陷对成品率与可靠性的影响

在 IC 的制造过程中, 芯片上缺陷出现的位置是随机的, 同时出现的缺陷粒径大小也是随机的. 对同一粒径的缺陷, 由于出现在芯片上的位置不同对芯片造成的影响也不同, 有的缺陷直接引起电路功能失效, 导致 IC 成品率下降; 有的虽然未造成电路功能失效, 但是对电路的运行寿命造成了潜在的影响, 导致了运行可靠性的低下. IC 制造缺陷可分为针孔缺陷、丢失物缺陷和冗余物缺陷等, 本文主要讨论出现在互连线上的金属丢失物缺陷. 如图 1 所示, 出现在互连线上不同位置的同一粒径金属丢失物缺陷, 对互连线造成的影响不同. 缺陷 H 造成了互连线断开, 导致电路功能失效, 而缺陷 N 只是造成了互连线有效宽度的变窄, 影响电路的可靠性. 为了研究问题方便, 将缺陷分成成品率缺陷(硬故障)和可靠性缺陷(软故障)两类. 所谓成品率缺陷(硬故障)是造成互连线断开导致电路功能失效的缺陷, 如图 1 中缺陷 H 就是一个成品率缺陷; 而可靠性缺陷(软故障)是指未造成互连线断开而使互连线有效宽度变窄对电路可靠性造成潜在影响的缺陷, 如图 1 中的缺陷 N 就是可靠性缺陷.

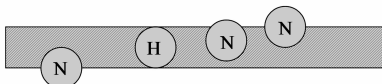


图1 同粒径的缺陷对电路不同影响的示意图

### 2.1 缺陷对功能成品率的影响

从图 1 可以看出, 同一粒径的缺陷出现在互连线上不同位置时, 对电路功能的影响不同. 但是, 当缺陷的粒径大于某一  $R^*$  时, 无论该缺陷出现在互连线的何处, 一定会导致电路的功能失效. 缺陷的粒径大小  $r$  是一个随机变量, 其概率密度函数为:

$$h(r) = \begin{cases} R_0^{-2}r, & \text{当 } 0 \leq r < R_0 \\ R_0^2r^{-3}, & \text{当 } R_0 \leq r < +\infty \end{cases} \quad (1)$$

其中  $R_0$  为缺陷的峰值粒径<sup>[10]</sup>.

当粒径大于  $R^*$  的缺陷出现在互连线上时, 造成互

连线断开, 使得电路功能失效, 导致 IC 成品率下降. 一个缺陷造成电路故障的平均概率为:

$$\theta_y = \Pr(r > R^*) = \int_{R^*}^{+\infty} h(r) dr = R_0^2/2R^{*2} \quad (2)$$

在集成电路可制造性设计研究中, 估计 IC 制造成品率最常用、精度较高的模型是负二项分布模型

$$y_f = \left(1 + \frac{\lambda_f}{\alpha}\right)^{-\alpha} = \left(1 + \frac{AD_0\theta_y}{\alpha}\right)^{-\alpha} = \left(1 + \frac{AD_0R_0^2}{\alpha 2R^{*2}}\right)^{-\alpha} \quad (3)$$

其中  $A$  为芯片上互连线面积,  $D_0$  为芯片上缺陷的平均密度,  $\alpha$  为缺陷成团因子,  $\lambda_f$  为硬故障平均数.

### 2.2 缺陷对可靠性的影响

由于缺陷的随机性, 缺陷对集成电路的影响不仅与出现在芯片上缺陷的粒径大小有关而且还有缺陷出现的位置有关. 出现在互连线上的缺陷粒径小于  $R^*$  时, 该缺陷虽然没有造成互连线断开, 但使得互连线的有效宽度变窄, 从而缩短了互连线的寿命. 图 2 给出了粒径为  $r$  缺陷当其中中心落在坐标为  $x$  的点处时对互连线宽度的影响示意图. 由图 2 可以看出, 同一粒径的缺陷, 由于缺陷中心落在互连线上位置不同, 造成了该处互连线的有效宽度不同.

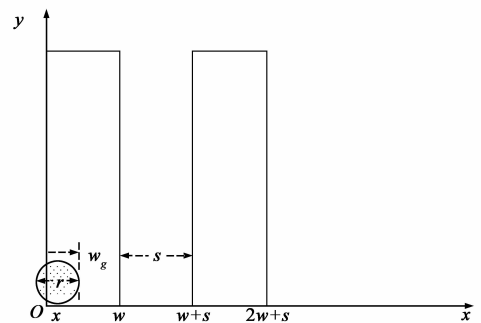


图2 缺陷对互连线宽度的影响示意图

#### 2.2.1 缺陷对互连线有效宽度的影响分析

根据缺陷的粒径大小以及缺陷中心出现的位置的不同, 可以分析出不同情况下互连线的有效宽度<sup>[11]</sup>.

(1) 当  $0 < r \leq w$  时, 其有效宽度为

$$w_g(x, r) = \begin{cases} w - x - r/2, & x \in (0, r/2], \\ w - r, & x \in (r/2, w - r/2], \\ x - r/2, & x \in (w - r/2, w + r/2], \\ w, & x \in (w + r/2, w + s - r/2], \\ 2w + s - x - r/2, & x \in (w + s - r/2, w + s], \end{cases} \quad (4)$$

(2) 当  $w < r \leq w + s$  时

$$w_g(x, r) = \begin{cases} w - x - r/2, & x \in (0, w - r/2], \\ 0, & x \in (w - r/2, r/2], \\ x - r/2, & x \in (r/2, w + s/2], \\ 2w + s - x - r/2, & x \in (w + s/2, w + s], \end{cases} \quad (5)$$

(3)当  $w + s < r \leq 2w + s$  时

$$w_g(x, r) = \begin{cases} x - r/2, & x \in (r/2, w + s/2], \\ 2w + s - x - r/2, & x \in (w + s/2, 2w + s - r/2], \\ 0, & \text{其它,} \end{cases} \quad (6)$$

(4)当  $r > 2w + s, w_g = 0$

由于缺陷可以出现在互连线上的任何位置,可以认为缺陷的中心位置  $x$  在区间  $[0, w + s]$  服从均匀分布,因此可以得到对应不同缺陷粒径时互连线的平均有效宽度  $\bar{w}_g(r)$  为:

$$\bar{w}_g(r) = \frac{1}{w + s} \int_0^{+\infty} w_g(x, r) dx = \begin{cases} w - \frac{wr}{w + s}, & \text{当 } 0 < r \leq w \\ w - \frac{4wr + 2sr - r^2 - s^2}{4(w + s)}, & \text{当 } w < r \leq 2w + s \\ 0, & \text{当 } r > 2w + s \end{cases} \quad (7)$$

图 3 给出了互连线的平均宽度随缺陷粒径  $r$  变化示意图,从图中可以看出互连线的平均宽度随着  $r$  的增加在变窄并最终变为零。

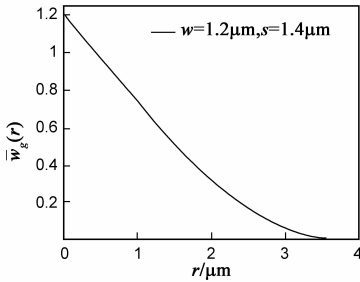


图3 互连线平均有效宽度随缺陷粒径变化示意图

### 2.2.2 IC 可靠性成品率模型

由于互连线的宽度为  $w$ ,那么一个粒径为  $r$  的缺陷成为可靠性缺陷或“软故障”的概率

$$\theta_r(r) = \frac{w - \bar{w}_g(r)}{w} = \begin{cases} \frac{r}{w + s}, & \text{当 } 0 < r \leq w \\ \frac{4wr + 2sr - r^2 - s^2}{4w(w + s)}, & \text{当 } w < r \leq 2w + s \\ 1, & \text{当 } r > 2w + s \end{cases} \quad (8)$$

图 4 给出了一个缺陷成为可靠性缺陷的概率分布图.由于缺陷的粒径  $r$  是一个随机变量,因此一个缺陷成为可靠性缺陷的平均概率为

$$\theta_r = \int_0^{+\infty} \theta_r(r) h(r) dr = \frac{4R_0}{3(w + s)} - \frac{3R_0^2}{2w(w + s)} + \frac{(2w + s)R_0^2}{2w^2(w + s)} + \frac{R_0^2}{4w(w + s)} \ln \frac{w}{2w + s} - \frac{s^2 R_0^2}{8w^3(w + s)}$$

$$+ \frac{s^2 R_0^2}{8w(w + s)(2w + s)^2} + \frac{R_0^2}{2(2w + s)^2} \quad (9)$$

互连线的可靠性成品率为

$$y_r = (1 + \frac{\lambda_r}{\alpha})^{-\alpha} = (1 + \frac{AD_0\theta_r}{\alpha})^{-\alpha} \quad (10)$$

其中  $A$  为芯片上互连线面积,  $D_0$  为芯片上缺陷的平均密度。

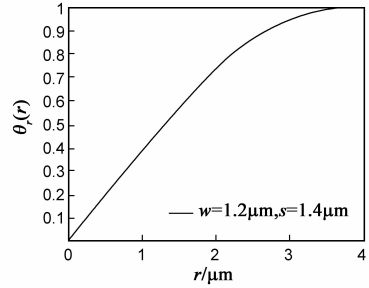


图4 缺陷成为可靠性缺陷或“软故障”的概率分布图

### 3 功能成品率与可靠性成品率关系模型

对于给定的工艺线,在产品 and 流片程序不变的情况下,无论成品率缺陷还是可靠性缺陷都具有相同的平均缺陷密度,芯片上的缺陷平均密度  $D_0$  是一定的,芯片的面积  $A$  也相同,由式(3)可得,

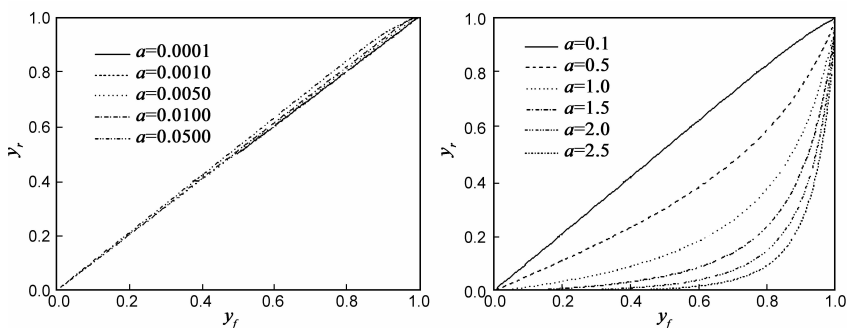
$$AD_0 = \frac{2\alpha R^{*2}}{R_0^2} \left( \frac{1 - y_f^{1/\alpha}}{y_f^{1/\alpha}} \right), \text{进而可得到}$$

$$AD_0\theta_r = 2\alpha R^{*2} \left( \frac{1 - y_f^{1/\alpha}}{y_f^{1/\alpha}} \right) \left( \frac{4}{3R_0(w + s)} - \frac{3}{2w(w + s)} + \frac{(2w + s)}{2w^2(w + s)} + \frac{1}{4w(w + s)} \right) + \frac{s^2}{8w^3(w + s)} \ln \frac{w}{2w + s} - \frac{s^2}{8w^3(w + s)} + \frac{s^2}{8w(w + s)(2w + s)^2} + \frac{1}{2(2w + s)^2} \quad (11)$$

将式(11)代入式(10)功能成品率与可靠性成品率之间的关系.从该关系式中可以看出,该模型不仅反映了制造工艺参数,如  $R_0, \alpha$  等,同时也反映了设计参数,如线宽  $w$  和线间距  $s$  等。

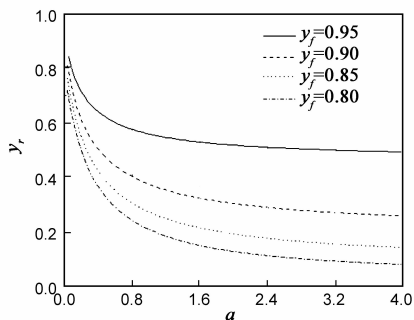
### 4 实验与分析

为了讨论问题方便,在式(11)中假设  $w = s$ ,即互连线的宽度等于互连线之间的间距.图 5 给出了当  $R_0 = 1\mu\text{m}, R^* = 2.5\mu\text{m}$  时  $y_f$  与  $y_r$  之间的关系随缺陷成团因子  $\alpha$  的变化情况.从图 5 中可以看出,在线宽、线间距以及缺陷的峰值粒径等给定情况下,功能成品率与可靠性成品率之间存在很强的相关性.当成团因子  $\alpha$  较小时,功能成品率  $y_f$  与可靠性成品率  $y_r$  几乎成线性关系;但是当  $\alpha$  较大时,只有很高的  $y_f$  才能获得很大的  $y_r$ .其原因是  $\alpha$  越小,缺陷在芯片上的成团程度越高,缺陷对电路

图5 给定 $\alpha$ 时 $y_f$ 与 $y_r$ 之间关系变化情况

功能的影响以及对运行电路的潜在影响相对较小,因此 IC 的可靠性随着功能成品率的增加几乎成线性增加;而当  $\alpha$  较大时,缺陷在芯片上的分布趋于均匀分布,缺陷对电路功能的影响以及对运行电路的潜在影响较大,因此只有在 IC 的功能成品率很高的情况下才能获得较高的 IC 可靠性。

图 6 给出了  $R_0 = 1\mu\text{m}$ ,  $R^* = 2.5\mu\text{m}$ , 功能成品率  $y_f$  给定的情况下可靠性成品率  $y_r$  随缺陷成团因子  $\alpha$  的变化情况. 从图 6 中可以看出,对于同一个  $\alpha$  而言电路可靠性成品率  $y_r$  随  $y_f$  增大而增大;而对给定的  $y_f$  而言,  $y_r$  随缺陷成团因子  $\alpha$  的增大而减小. 其原因是  $\alpha$  越大说明缺陷在芯片上的成团程度越低,缺陷在芯片上的分布趋于均匀分布,缺陷对电路的影响程度加强,因此对给定的  $y_f$ ,  $y_r$  随缺陷成团因子  $\alpha$  的增大而增大。

图6 给定 $y_f$ 时 $y_r$ 随 $\alpha$ 的变化情况

## 5 结论

由于集成电路生产过程中始终存在着缺陷,缺陷以不同的粒径可以出现在芯片上的任何位置,缺陷出现在芯片上的位置和粒径大小直接影响着集成电路的成品率与可靠性. 如果缺陷的粒径足够大时,无论缺陷出现在芯片的任何位置均能造成电路功能失效,导致成品率下降;如果缺陷的粒径较小时,此时缺陷虽然未造成电路功能失效,但是对电路的运行可靠性构成了潜在影响. 本文主要讨论了金属丢失物缺陷对互连线的影响,分析了同一粒径的缺陷出现在互连线不同位置对互连线有效宽度的影响,给出了基于缺陷均匀分

布的互连线平均有效宽度,结合已有成品率和可靠性估计模型,提出了基于缺陷位置信息的集成电路制造成品率与可靠性之间的关系模型. 该模型不仅反映了制造工艺参数,如  $R_0$ ,  $\alpha$  等,同时也反映了设计参数,如线宽  $w$  和线间距  $s$  等. 该模型从定量关系给出了成品率与可靠性之间的关系,在工艺线稳定的情况下,利用该工艺线的制造成品率可以通过该关系式有效地估计出产品的可靠性,对 IC 可制造性设计研究具有一定的指导意义。

## 参考文献

- [1] H H Huston, C P Clarke. Reliability defect detection and screening during processing: theory and implementation[A]. In Proceedings of 30<sup>th</sup> International Reliability Physics Symposium[C]. San Diego, CA, 1992. 268 - 275.
- [2] J Vander Pol, F Kuper, E Ooms. Relation between yield and reliability of integrated circuits and application to failure rate assessment and reduction in the one digit fit and ppm reliability era[J]. Microelectronics Reliability, 1996, 36(11): 1603 - 1610.
- [3] F Kuper, J Vander Pol, E Ooms, T Johnson, R Wijburg. Relation between yield and reliability of integrated circuits: experimental results and application to continuous early failure rate reduction programs[A]. In Proceedings of 34<sup>th</sup> International Reliability Physics Symposium[C]. Dallas, TX, USA, 1996. 17 - 21.
- [4] J Vander Pol, E Ooms, T Hof, F Kuper. Impact of screening of latent defects at electrical test on yield-reliability relation and application to burn-in elimination[A]. In Proceedings of 36<sup>th</sup> International Reliability Physics Symposium[C]. Reno, NV, 1998. 370 - 377.
- [5] T Kim, W Kuo. Modeling manufacturing yield and reliability[J]. IEEE Transactions on Semiconductor Manufacturing, 1999, 12(4): 485 - 492.
- [6] 郝跃, 荆明娥, 马佩军. VLSI 集成电路参数成品率及优化研究进展[J]. 电子学报, 2003, 31(12): 1971 - 1974.  
HAO Yue, JING Ming-e, MA Pei-jun. State of the art on study of parametric yield and its optimization for VLSI[J]. Acta Electronica Sinica, 2003, 31(12): 1971 - 1974. (in Chinese)
- [7] Kyungmee O Kim, Hee-Seok Oh. Reliability functions estimated from commonly used yield model[J]. Microelectronics Reliability, 2008, 48(3): 481 - 489.
- [8] 赵天绪, 段旭朝, 郝跃. 基于制造成品率模型的集成电路早期可靠性估计[J]. 电子学报, 2005, 33(11): 1966 - 1968.  
ZHAO Tian-xu, DUAN Xu-chao, HAO Yue. Estimation of ear-

ly-life reliability based on integrated-circuit yield model [J]. Acta Electronica Sinica, 2005, 33(11): 1966 – 1968. (in Chinese)

- [9] Kyungmee O Kim, Way Kuo, Wen Luo. A relation model of gate oxide yield and reliability[J]. Microelectronics Reliability, 2004, 44(3): 425 – 434.
- [10] J R Black. Electromigration failure modes in aluminum metallization for semiconductor devices [J]. Proceedings of the IEEE, 1969, 57(9): 1587 – 1594.
- [11] 赵天绪, 段旭朝, 郝跃. 集成电路互连线寿命的工艺缺陷影响分析[J]. 计算机学报, 2006, 29(2): 227 – 232.  
ZHAO Tian-xu, DUAN Xu-chao, HAO Yue. Analysis to interconnect lifetime affected by integrated circuit manufacturing defect[J]. Chinese Journal of Computers, 2006, 29(2): 227 – 232. (in Chinese)

## 作者简介



赵天绪 男, 1964年5月出生于陕西宝鸡, 博士, 教授, 主要研究方向: 集成电路可制造性设计以及统计最优化技术等研究。  
E-mail: txzhao318@163.com



段旭朝 男, 1964年6月出生于陕西岐山, 硕士, 教授, 主要研究方向: 集成电路参数成品率统计优化与缺陷模型等研究。  
E-mail: dxch656@163.com