

皮秒级精度可编程数模混合 CMOS 方波延时器

徐和根¹, 张文丰²

(1. 同济大学电信学院, 上海 201804; 2. Cybernet Systems 株式会社, 东京 1010022)

摘要: 提出了一种基于数模混合 CMOS 电路的能实现皮秒级精度、线性化、延时时间、精度和范围可编程、能复制输入波形的小体积、低功耗、低成本及可单芯片化的方波延时器. 分析了回路的工作原理, 并利用 Tanner EDA 工具进行建模和仿真. 结果表明采用 0.6 μm 数模混合 CMOS 工艺, 通过 8 位延时控制和 2 位范围选择信号, 可实现最高约 20ps/LSB 的延时分辨率和最大约 28ns 的延时范围.

关键词: 皮秒级精度; 可编程; CMOS 电路; 方波延时器

中图分类号: TN453 **文献标识码:** A **文章编号:** 0372-2112 (2012)08-1676-05

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2012.08.029

Programmable Mixed-Signal CMOS Square-Wave Delayer with Pico-Second Precision

XU He-gen¹, ZHANG Wen-feng²

(1. School of Electronics and Information Engineering, Tongji University, Shanghai 201804, China;

2. Cybernet Systems Corporation Limited, Tokyo, 1010022, Japan)

Abstract: This paper proposes a pico-second precision programmable mixed-signal CMOS square-wave delayer which achieves the function of linearity, original input waveform duplication, variable resolution and low power consumption. And it can be integrated in the small size chip under low cost. The principle of the system is analyzed. The system is modeled and simulated with Tanner EDA tools. Simulation results validate that a highest resolution of 20ps/LSB and maximum delay range of 28ns can be achieved using 0.6 μm mixed-signal CMOS fabrication process, an 8-bit digital delay control signal and a 2-bit digital range selection signal.

Key words: Pico-second precision; programmable; CMOS circuit; square-wave delayer

1 引言

在 3D 光飞行时间距离图像传感器、单光子保密通讯、激光约束核聚变控制、脉冲激光测距、高速数据采集、精密电子测量、内存老化测试等许多应用中都需要用到高精度(ps 级)、可编程、小体积、低功耗、低成本及单芯片化的延时器. 例如, 在基于光飞行时间 3D 距离图像传感器系统中, 传感器控制系统通过控制相机上的参考 LED 光源在特定时刻发射光波到被摄物上, 经被摄物表面各点反射后的反射光, 由相机物镜聚焦后到达 CCD 或 CMOS 图像传感器并检出, 通过测量图像传感器各像素点的发射光与反射光之间的时间差, 就可以计算出被摄物表面各点与相机的距离, 从而获得被摄物的 3D 影像信息. 为测量发射光与反射光的时间差, 需要对 LED 光源的发光时钟信号和图像传感器的各像素的电

荷传输采集延时时钟信号进行精确地控制. 由于光速约为 $3 \times 10^8 \text{m/s}$, 光在 1cm 距离内的往返时间约为 60ps, 因此, 要使 3D 光飞行时间距离传感器具有 1cm 的距离精度, 必须要求延时器的延时达到 60ps 以下的超高精度. 同时, 为了消除或减少信号传输延时、干扰和功耗, 需要将延时器电路与图像传感器检测电路集成在单一芯片中, 以实现延时器的高精度、可编程、小体积、低功耗、低成本及单芯片化.

2 研究现状

目前, 实现高精度可编程延时所采用的技术方案主要有基于时钟计数技术、直接频率合成(DDFS)技术、门电路延时单元、延迟线技术以及基于斜波发生器技术等几种方式. 在文献[1]基于时钟计数技术的延时控制中, 由于延时的精度是由系统时钟周期决定, 要获得超高的

延时精度和超高频的系统时钟,需要超高性能的微处理器或可编程器件,因而成本高、功耗大,而且以目前的工艺和技术水准,很难实现 300ps 以下的延时精度.文献[2~5]基于直接频率合成(DDFS)技术的延时精度取决于 VCO 的振荡频率,要获得超高频的 VCO,需要采用高端的 CMOS 加工工艺,因而成本高、功耗大,且难以实现皮秒级以下的延时精度.文献[6~8]门电路延迟线型延时技术的延时精度由延时门电路的传输延迟决定,线性度较差,要得到小的传输延迟,也需要高端的 CMOS 加工工艺,因而成本高.并且,由于可编程范围由其拥有的延时单元的数目决定,故可能导致电路规模庞大.例如,要实现 10bit 的可编程范围,则需要芯片上嵌入 1024 个延时单元.文献[9,10]压控延迟线(VCDL)型延时技术,也需要超高频 VCO,采用高端的 CMOS 工艺,成本高、且难以实现皮秒级以下的延时精度.而且,其输入数值与输出延时之间的线性度受 VCO 的控制电压与输出频率之间线性度的限制.文献[11~13]基于斜波发生器的可编程延时器都是以美国 AD 公司的 AD9501 可编程延时发生器芯片为核心,可达 10ps 级延时精度,这种方案的缺点是:延时器不是对某个单一的输入时钟信号进行延时,而是由一个触发信号触发后开始延时输出一个脉冲,并由复位信号决定输出脉冲的结束.其输出时钟信号的上升沿的延时由输入数值可编程控制,但下降沿的延时是由组成该电路元器件、线路以及采用的加工工艺决定的一个固定值,不可编程控制,因此,其输出不能复制输入的方波信号.此外,AD9501 是一款采用双极型工艺的芯片级产品,难以实现与其他 CMOS 集成电路的单芯片集成.文献[14]提出了一种独特的基于压控延时器(VCD)的数模混合 CMOS 可编程时钟延时控制器设计方案,延时精度可达 10ps 级,但由于采用了 PID 闭环控制及双 VCD 方案来消除延时器非线性和对输入信号的依存性,使得系统相对比较复杂,且容易引起系统的不稳定.

3 新型高精度可编程数模混合 CMOS 方波延时器

为满足延时器具有皮秒级超高精度、小体积、低成本、低功耗、可编程、延时精度和延时范围可自定义、实现简单方便、不需要高频时钟、不需要高端 CMOS 工艺、以及容易与其它 CMOS 电路集成为单芯片等方面的要求,本文提出了一种基于 CMOS 工艺的高精度可编程延时器,具体说明如下:

3.1 系统组成

系统原理图如图 1 所示,其中, X1、X7 为运放, X4 为比较器, X6 为二选一传输门. MOS 管 MN1 和 MN2、MP3 和 MP4 尺寸等参数完全相同,电阻阻值 $R1 = R2$

$= R3 = R4 = R$. CKI 为输入方波信号, CKO 为输出方波信号, VC 为延时控制电压, VR 为范围选择电压. 其主要功能是将 CKI 端口上的方波信号延迟一段时间后经 CKO 端口输出. 延迟的时间和范围分别通过编程延时控制寄存器和范围选择寄存器中的数值经数模转换器 DAC 转换为模拟信号 VC 和 VR 后进行调节.

3.2 工作原理

尺寸等参数完全相同的四个 MOS 管 MN1、MN2、MP3 和 MP4 组成了一个电流镜,流经 MP3、MN1、MP4、MN2、R1、R2、R3、R4 的电流均为 i_d ,且有:

$$i_d = \frac{V_R}{R} \quad (1)$$

开始时 C1 上电荷为 0,比较器经反相后的输出 CKO 为低电平,比较器正输入端电压为:

$$U_+ = \frac{1}{2} V_{DD} + V_C \quad (2)$$

当 CKI 由低电平变为高电平时, MN5、MP6 导通, MP5、MN6 截止,流经 MP4 的电流对 C1 充电,充电电流大小为 i_d ,比较器负输入端电压 U_- 逐渐由 0 升高到 VDD,电压上升速率为:

$$\frac{dU_-}{dt} = \frac{i_d}{C} \quad (3)$$

经过一段时间的充电,当比较器负输入端电压 U_- 升高到大于正输入端电压 U_+ 时,比较器经反相后的输出 CKO 翻转为高电平. 比较器正输入端电压 U_+ 变为:

$$U_+ = \frac{1}{2} V_{DD} - V_C \quad (4)$$

从 CKI 转换为高电平到 CKO 转换为高电平之间的延时间隔为:

$$\Delta t_r = \frac{C}{i_d} \left(\frac{1}{2} V_{DD} + V_C - 0 \right) = \frac{C}{i_d} \left(\frac{1}{2} V_{DD} + V_C \right) \quad (5)$$

当 CKI 由高电平变为低电平时, MN5、MP6 截止, MP5、MN6 导通, C1 上聚集的电荷经 MN5、MN2、R2 向接地极放电,放电电流大小也为 i_d ,比较器负输入端电压 U_- 逐渐由 VDD 降低到 0,电压下降速率也为:

$$\frac{dU_-}{dt} = \frac{i_d}{C} \quad (6)$$

经过一段时间的放电,当比较器负输入端电压 U_- 下降到低于正输入端电压 U_+ 时,比较器经反相后的输出 CKO 翻转为低电平. 比较器正输入端电压 U_+ 重新变为:

$$U_+ = \frac{1}{2} V_{DD} + V_C \quad (7)$$

从 CKI 转换为低电平到 CKO 转换为低电平之间的延时间隔为:

$$\Delta t_f = \frac{C}{i_d} \left\{ V_{DD} - \left(\frac{1}{2} V_{DD} + V_C \right) \right\}$$

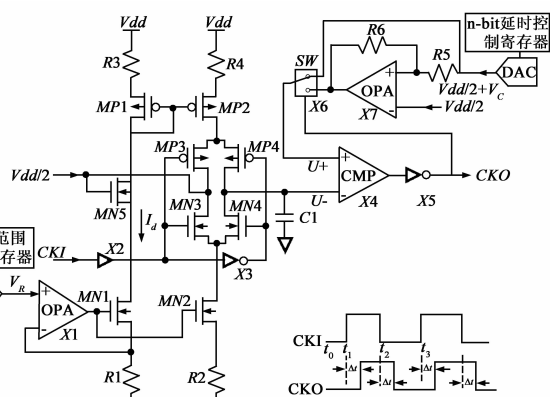


图1 可编程CMOS方波延时器系统原理图

$$= \frac{C}{i_{d1}} \left(\frac{1}{2} V_{dd} + V_C \right) = \Delta t_r = \Delta t \quad (8)$$

如此往复,从而使得CKO始终复制方波CKI,但二者之间始终存在相位延时,延时时间为 Δt ,且有:

$$\Delta t = \frac{C}{i_d} \left(\frac{1}{2} V_{dd} + V_C \right) = \frac{C \cdot R}{V_R} \left(\frac{1}{2} V_{dd} + V_C \right) \quad (9)$$

由上式可知, Δt 与 V_C 成线性关系,与 V_R 成反比。通过程序改变控制寄存器及范围选择寄存器中的数值即可改变 V_C 和 V_R 的大小,从而改变延迟时间 Δt 的大小和范围。

该延时器的延时分辨率为:

$$R_{\text{resolution}} = \frac{C \cdot R}{V_R} \cdot \frac{\Delta V_C}{2^n - 1} / \text{LSB} \quad (10)$$

其中 ΔV_C 为控制电压 V_C 的变化范围, n 为延时控制寄存器的位数。

3.3 系统特点

该延时器主要特点包括:

- (1) 延时时间与数字输入值成线性关系。
- (2) 延时精度与延时范围数字编程可调,以满足不同的应用需求。
- (3) 延时器输出完全复制输入方波的波形(包括频率和占空比)。
- (4) 系统不需要额外的高频系统时钟、微处理器或可编程器件,实现容易,功耗低。
- (5) 整个系统采用的均为常规的数模混合CMOS集成电路单元,容易实现与其它CMOS系统的单芯片集成,有效减小体积、成本和外界干扰。

(5) 整个系统采用的均为常规的数模混合CMOS集成电路单元,容易实现与其它CMOS系统的单芯片集成,有效减小体积、成本和外界干扰。

4 电路设计与仿真

根据以上设计思路,采用标准 $0.6\mu\text{m}$ CMOS工艺,在Tanner EDA的S-Edit下建立延时器CMOS电路模型,其中的运算放大器电路(参见图2)采用常规的差动输入+电压放大+输出缓冲三级放大结构形式。比较器(参见图3)采用与运放相似的差动输入+反相比较+

输出缓冲三级结构形式。

对该模型在Tanner EDA的T-Spice下进行仿真,仿真条件为:采用 $0.6\mu\text{m}$ CMOS工艺仿真库,电源电压为 $V_{dd} = 5\text{V}$,输入方波信号频率为 5MHz ,电容 C 为 0.5pF ,电阻 R 值为 $10\text{k}\Omega$,当范围选择电压 $V_R = 1\text{V}$,控制电压 V_C 从 $0 \sim 1\text{V}$ 每隔 0.1V 步进扫描时,比较器 $X4$ 正、负输入端的电压波形如图4所示,输入、输出信号的波形仿真结果如图5所示,延时器控制电压 V_C 与延时时间 t 之间的关系如图6所示。从仿真结果可看出:

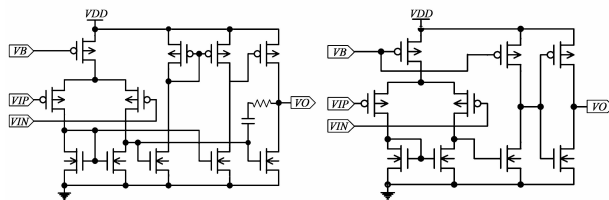


图2 放大器电路

图3 比较器电路

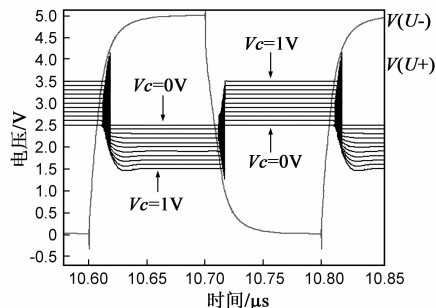


图4 比较器X4正、负输入端电压仿真波形

(1) 输出信号能完全跟踪输入信号,但在相位上相差一个由 V_C 控制的延时 Δt 。

(2) 在上述条件下,该延时器的最小延时约为 12.2ns ,最大延时约为 17.7ns 。

(3) 延时器控制电压 V_C 在选定的范围内与延时时间 t 近似为线性关系,仿真结果与在相同条件下根据(式(9))计算得出的结果基本吻合。但由于在公式推导中假定电流镜为理想电流镜,而实际仿真电路中 $MP1$ 和 $MP2$ 的漏源电压不一定完全相等,因而不是一个理想电流镜,从而使得仿真值和公式计算值之间存在着微小偏差。

(4) 如果延时控制寄存器为 8bit 数字输入($n = 8$),经过D/A转换器变为 $2.5 \sim 3.5\text{V}$ 的控制电压 $V_{dd}/2 + V_C$,则延时分辨率约为 $20\text{ps}/\text{LSB}$ 。若选择延时控制寄存器为 10 位数字输入($n = 10$),则可达到 $5\text{ps}/\text{LSB}$ 的超高精度。

延时器的延时范围可通过 $m\text{-bit}$ 的范围控制寄存器经D/A转换后的输出 V_R 来控制, V_R 的可变范围设定在 $0.2\text{V} \sim 1\text{V}$ 。图7为范围控制电压 V_R 与延时范围关系仿真结果,从结果可知:当 V_R 为 0.2V 时,延时器的延时范围为 28ns 。随着 V_R 增大,延时范围变小,延时精

度增加. 延时范围与 VR 成反比函数关系, 这也与(式(9))相一致. 此外, 从图 7 可知, 只需采用 2bit 的范围控制寄存器 ($m = 2$) 就可实现延时器延时的全范围覆盖.

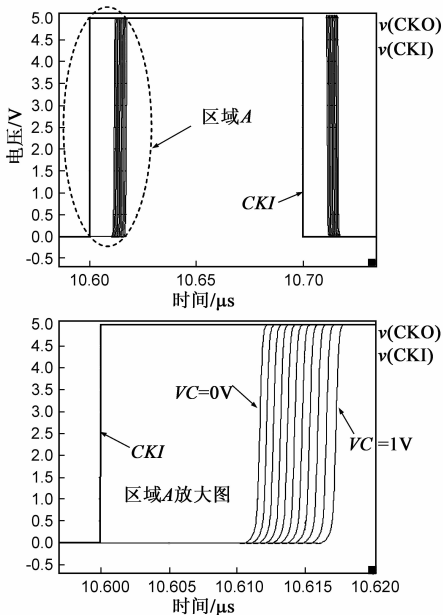


图5 延时器输入输出波形仿真结果

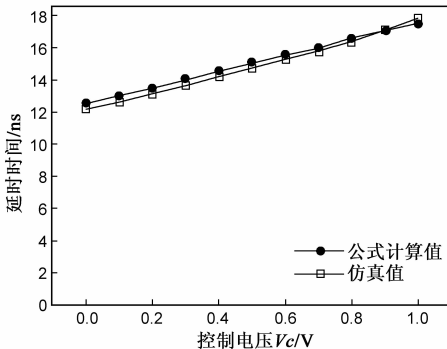


图6 延时器控制电压 VC 与延时时间 t 之间的线性关系

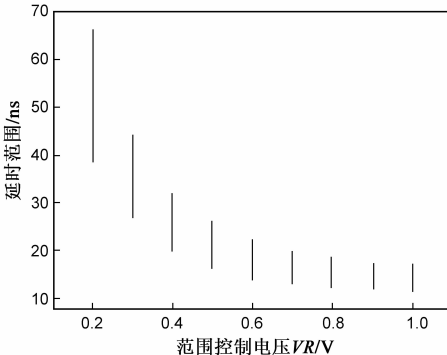


图7 范围控制电压 VR 与延时范围关系仿真结果

5 结论

本文提出了一种基于数模混合 CMOS 电路的方波延时器, 分析了该 CMOS 延时器回路的工作原理, 并用 Tanner EDA 工具对该系统进行建模和仿真, 仿真结果表

明采用 $0.6\mu\text{m}$ 数模混合 CMOS 工艺, 通过 8 位延时控制数字信号和 2 位范围选择数字信号, 就可实现最高约 $20\text{ps}/\text{LSB}$ 的延时分辨率和最大约 28ns 的延时范围. 该设计方案相比于当前其他类型的可编程延时器, 具有高精度、线性化、延时时间可编程、延时精度和范围可调、能完整复制输入波形等方面的优点. 可以小体积、低功耗、低成本、可单芯片化, 或者集成到 3D 光飞行时间距离图像传感器、单光子保密通讯、激光约束核聚变控制、脉冲激光测距、高速数据采集、精密电子测量、内存老化测试等其他应用芯片中.

参考文献

- [1] 中国电子科技集团公司第四十一研究所. 精密延时器 [P]. 中国专利: CN200320106278, 2004-12-1.
- [2] Ashrafi A, Adhami R, Milenkovic A. et al. A direct digital frequency synthesizer based on the quasi-linear interpolation method [J]. IEEE transactions on circuits and systems. I, 2010, 57(4): 863 – 872.
- [3] Yeoh H C. A 1.3-GHz 350-mW hybrid direct digital frequency synthesizer in 90-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 1845 – 1855.
- [4] 池保勇, 石秉学, 王志华, 等. 射频锁相环型频率合成器的 CMOS 实现 [J]. 电子学报, 2004, 32(11): 1761 – 1765. CHI Bao-yong, SHI Bing-xue, WANG Zhi-hua. CMOS implementation of RF PLL frequency synthesizer [J]. Acta Electronica Sinica, 2004, 32(11): 1761 – 1765. (in Chinese)
- [5] 张晓彤, 辛茹, 王沁, 等. 基于改进混合式 CORDIC 算法的直接数字频率合成器设计 [J]. 电子学报, 2008, 36(6): 1144 – 1148. ZHANG Xiao-tong, XIN Ru, WANG Qin, LI Han. Design of direct digital frequency synthesizer based on improved hybrid CORDIC algorithm [J]. Acta Electronica Sinica, 2008, 36(6): 1144 – 1148. (in Chinese)
- [6] Maymandi-Nejad, M., Sachdev, M. A digitally programmable delay element: design and analysis [J]. IEEE transactions on very large scale integration (VLSI) systems, 2003, 11(5): 871 – 878.
- [7] Mohammad Maymandi-Nejad, Manoj Sachdev. A monotonic digitally controlled delay element [J]. IEEE Journal of Solid-State Circuits, 2005, 40(11): 2212 – 2219.
- [8] 刘春平, 龚向东, 黄虹宾, 等. 高速相机皮秒级可编程延迟单元电路设计 [J]. 单片机与嵌入式系统应用, 2010, (3): 25 – 27. Liu Chunping, Gong Xiangdong, Huang Hongbin, Li Jingzhen. Circuit design of pico-second programmable time delay unit for high speed camera [J]. Microcontrollers & Embedded Systems, 2010, (3): 25 – 27. (in Chinese)
- [9] Mariusz Suchenek. Picosecond resolution programmable delay

- line [J]. *Measurement Science & Technology*, 2009, 20(11): 117005-1-117005-5.
- [10] Choul-Young Kim, Jaemo Yang, Dong-Wook Kim, et al. A K-band CMOS voltage controlled delay line based on an artificial left-handed transmission line[J]. *IEEE microwave and wireless components letters*, 2008, 18(11): 731 - 733.
- [11] 宋庆环, 宋凤娟, 朱全印, 等. 高速数据采集系统中精密延时电路的研究[J]. *机床与液压*, 2008, 36(8): 204 - 205, 208.
SONG Qinghuan, SONG Fengjuan, ZHU Quanyin. Design of a precision delay circuit for high-speed data collecting system [J]. *Machine Tool & Hydraulics*, 2008, 36(8): 204 - 205, 208. (in Chinese)
- [12] 夏彬, 余孝安. 精密数控脉冲延时电路的设计[J]. *现代经济信息(学术版)*, 2009, (1): 82.
- [13] 马凯, 杨公训, 马雷, 等. 高速数据采集系统中斜坡式延时电路的设计[J]. *电测与仪表*, 2005, 42(10): 40 - 42.
MA Kai, YANG Gong-xun, MA Lei, et al. Design of ramp delay circuit in high-speed data acquisition system [J]. *Electrical Measurement & Instrumentation*, 2005, 42(10): 40 - 42. (in Chinese)
- [14] 徐和根. 一种超高精度数模混合 CMOS 可编程时钟延时控制器[P]. 中国专利: 201010241171, 2011-12-28.

作者简介



E-mail: xuhegen@gmail.com

徐和根 男, 副教授. 1972年7月出生于安徽安庆. 1995年和1998年分别在河北建筑科技学院和同济大学获工学学士和工学硕士学位, 1998年至2001年就职于上海核工程研究设计院. 2001年至2003年在法利咨询上海有限公司工作, 2003年至2006年就学于日本东北大学大学院工学部, 获工学博士学位. 2006年至2008年就职于日本 ACT LSI 株式会社, 从事 MEMS 器件及 CMOS 电路设计工作, 2009年进入同济大学电信学院, 主要从事数模混合电路等方面的研究工作.



张文丰 女, 博士. 1975年12月出生于江苏淮安. 1996年、1999年和2002年在南京航空航天大学分别获工学学士、工学硕士和工学博士学位. 2002年至2004年为日本东北大学流体研究所博士后, 2004年至今就职于日本 Cybernet System 株式会社, 现为技术开发与推进部经理, 主要从事车辆智能控制等方面的研究开发工作.

E-mail: zhangwf2001@hotmail.com