

# 2TF:一种协同考虑过硅通孔和热量的 三维芯片布图规划算法

王 伟<sup>1,3</sup>,张 欢<sup>1</sup>,方 芳<sup>2</sup>,陈 田<sup>1,3</sup>,刘 军<sup>1</sup>,李 欣<sup>3</sup>,邹毅文<sup>1</sup>

(1.合肥工业大学计算机与信息学院,安徽合肥 230009; 2.合肥工业大学管理学院,安徽合肥 230009;  
3.情感计算与先进智能机器安徽省重点实验室,安徽合肥 230009)

**摘 要:** 三维芯片由多个平面器件层垂直堆叠而成,并通过过硅通孔(TSV, Through Silicon Via)进行层间互连,显著缩短了互连线长度、提高了芯片集成度.但三维芯片也带来了一系列问题,其中单个过硅通孔在目前的工艺尺寸下占据相对较大的芯片面积,且其相对滞后的对准技术亦降低了芯片良率,因此在三维芯片中引入过多的过硅通孔将增加芯片的制造和测试成本.垂直堆叠在使得芯片集成度急剧提高的同时也使得芯片的功耗密度在相同的面积上成倍增长,由此导致芯片发热量成倍增长.针对上述问题,本文提出了一种协同考虑过硅通孔和热量的三维芯片布图规划算法 2TF,协同考虑了器件功耗、互连线功耗和过硅通孔数目.在 MCNC 标准电路上的实验结果表明,本文算法过硅通孔数目和芯片的峰值温度都有较大的降低.

**关键词:** 三维芯片; 布图规划; 过硅通孔; 热量; 互连线功耗

**中图分类号:** TP391 **文献标识码:** A **文章编号:** 0372-2112 (2012) 05-0971-06

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2012.05.1017

## 2TF: A Collaborative Considered TSV and Thermal Floorplanning Algorithm for Three-Dimensional Chip

WANG Wei<sup>1,3</sup>, ZHANG Huan<sup>1</sup>, FANG Fang<sup>2</sup>, CHEN Tian<sup>1,3</sup>, LIU Jun<sup>1</sup>, LI Xin<sup>3</sup>, ZOU Yi-wen<sup>1</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. School of management, Hefei University of Technology, Hefei, Anhui 230009, China; 3. Anhui Province Key Laboratory of Affective Computing and Advanced Intelligent Machine, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** Three-dimensional (3D) chip is structured by vertically stacked multi-planar device layers, which is used by TSVs (Through Silicon Vias) for vertical interconnection between different layers, so it significantly reduces the wire length and increases chip integration density. However, Series of problems are brought by three-dimensional chips. for example, a single TSV occupies a relatively larger chip area in terms of the present feature size, and the immaturity of the alignment technique of the TSVs also lowers the yield of the chip, so the introduction of too many TSVs will increase the cost of chip manufacturing and testing. Vertical stacking makes the chip integration density and the power density in the same area increase a lot simultaneously, resulting heat doubles. For these problems, we propose a collaborative considered TSV and Thermal Floorplanning (2TF) algorithm, that the device power, interconnect power and the number of TSVs are simultaneously considered. The experimental results on the MCNC benchmark circuits have shown that the number of TSVs and the peak temperature of the chip have a greater improvement.

**Key words:** three-dimensional chip; floorplanning; through silicon via; thermal; interconnect power

## 1 引言

三维芯片设计成为当前集成电路产业发展最快的技术之一,被认为是可以克服特征尺寸限制、提高芯片性能的新方法.与传统的二维芯片将所有的器件放在同

一个晶片(Die)上不同,三维芯片允许多个晶片垂直堆叠,并通过过硅通孔(TSV, Through Silicon Via)进行层间互连.三维芯片研究目前已经成为国内外的研究热点.例如文献[1]是关于三维多芯片组件封装技术方面的研究.三维芯片具有高封装密度,大带宽,低功耗和小芯片

外形等优点<sup>[2]</sup>,文献[3]的研究表明三层堆叠的三维芯片总线长可减少 15%,四层的可减少 42%。基于堆叠的方式,三维芯片集成可以被分为三类:面部对面部的绑定(face to face),面部对背部的绑定(face to back),背部对背部的绑定(back to back)。F2B 芯片实现的关键技术就是 TSV 技术,TSV 是直接穿过硅衬底的垂直的金属通道,用来连接不同芯片的层间的线网(net)。而 F2B 是芯片堆叠绑定最常用的方式,如下图 1 所示是一个典型的 F2B 堆叠的三维芯片,其由两层晶片垂直堆叠而成。

三维芯片层间互连的 TSV 的尺寸在目前的特征工艺下比传统的金属通孔大,且远大于金属互连线尺寸,由图 1 亦可见 TSV 会占据较大的芯片面积。由于 TSV 的制造成本比线绑定要高,且量产的工具缺乏和昂贵等。同时 TSV 的对准亦给三维芯片制造带来了巨大的挑战,相对滞后的对准技术降低了三维芯片的良率。文献[4]中也已指出 TSV 会占据昂贵的布线空间,为良好的布线带来瓶颈。综上所述可知,降低 TSV 数目有利于制造低成本的三维芯片。

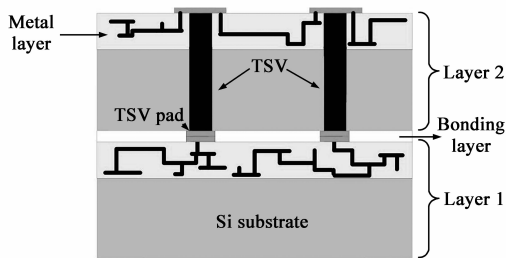


图1 三维芯片F2B绑定堆叠示意图

三维芯片的垂直堆叠使得芯片的功耗密度成倍增长,由此带来了急剧增长的发热量,垂直绑定时使用的低热传导率材料使得三维芯片的散热性变差,较高的发热量和较差的散热性使得芯片的工作温度上升;较高的工作温度使得芯片延时增长、性能下降、可靠性降低、寿命缩短。因此,热量问题是三维芯片设计的重要考虑因素。还有芯片工艺尺寸的不断缩小使得逻辑门越来越小,但互连线并没有成比例缩小,较长的互连线会占据芯片较大的空间,因此互连线功耗也已成为芯片功耗的重要组成部分,在三维芯片的设计中应同步考虑互连线功耗才能准确评估芯片的功耗、热量。

上述问题都可以在布图规划中得到有效解决,学术界对于布图规划的研究已经很多,如关于时延驱动的布图规划研究<sup>[5]</sup>,而对于热量敏感的布图规划研究主要分两类:一类是合理布图来避免热斑的出现;Cong 等人<sup>[6]</sup>提出了一种热量驱动的布图规划算法,它同步考虑了芯片的面积,线长,TSV 数目和温度,获得了较好的效果,但是问题的可扩展性较差。Hung 等人<sup>[7]</sup>提出了热量敏感的布图规划,在布图阶段考虑了互连线功耗的

影响,但是没有考虑对 TSV 的影响。为了使三维芯片布图规划算法更具可扩展性,Zhou 等人<sup>[8]</sup>提出了三阶段力导向(Force-directed)算法来优化芯片面积,线长和峰值功耗等。另一类是在三维芯片中插入散热通孔(TTSV,Thermal Through Silicon Via)来降低芯片温度;Li 等人<sup>[9]</sup>提出了基于线性规划算法重分配空白空间(White Space),解决热量 TSV 的插入方法。文献[10]提出了考虑热量 TSV 分配的力导向的布图规划方法。但是上述的文献中在处理热量敏感的布图规划时,基本上没有考虑互连线功耗的影响。在三维芯片设计的其他阶段处理热量问题的有,如在布局阶段的有文献[11~13]等,在布线阶段的有文献[14,15],国内有文献[16]在 3D 芯片封装时解决芯片热量分布的问题等。

针对三维芯片中 TSV 数目过多和发热量过大的问题,本文方案改进了文献[7]的算法,提出了一种协同考虑 TSV 数目、互连线功耗和热量的算法 2TF(2TF, TSV and Thermal Floorplanning),达到了降低 TSV 数目和芯片工作温度的目标,在引入互连线功耗后,热量的估计更加准确。

## 2 本文提出的方法

### 2.1 问题描述

本文三维芯片的布图规划问题的输入为:芯片模块集合  $B$ ,芯片的层数  $k$ ,每个模块  $b_i$  包含以下信息:面积  $A_{b_i}$ 、初始高度  $h_i$ 、初始宽度  $w_i$ 、功耗密度  $p_i$ ,模块之间的互连线  $l_i$  等信息;三维布图规划就是为每个模块分配坐标  $(x_i, y_i, z_i)$ ;且保证模块之间没有重叠。三元组  $(x_i, y_i, z_i)$  代表了每个模块的坐标位置,其中  $z_i$  是模块所在的芯片层号,  $(x_i, y_i)$  是模块左下角的坐标。本文的布图规划算法要协同优化如下对象:(1)芯片的面积;(2)芯片总线长;(3)TSV 的数目;(4)峰值温度。

### 2.2 数据结构及扰动操作

本文的布图规划用  $B^*$  树数据结构表示,它是 Chang 等人[17]提出的一种二叉树。它的根节点对应布图规划的左下角模块,从根模块开始,递归的构造其左子树和右子树,在根模块的右边且与其相邻的模块在树的左分支上,而在根模块的上面且与其相邻的模块在树的右分支上,直到所有的模块都被访问到为止,就可以构造了一棵水平  $B^*$  树如图 2<sup>[17]</sup>所示为布图和其对应的  $B^*$  树。

$B^*$  树常用来表述二维芯片布图规划,对于三维芯片布图规划设计,需要在更大的解空间搜索最佳解,本文修正了布图规划中的扰动函数来处理三维布图,包括六种扰动操作:(1)层内模块旋转;(2)层内模块交换;(3)层内模块移动;(4)调整某个模块的横切比;(5)层间模块交换;(6)层间模块移动。前四种扰动操作是在同

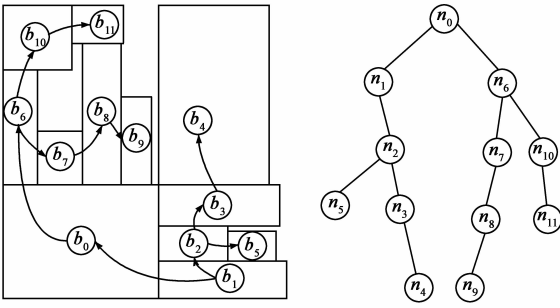


图2 布图和对应的B\*树

一个芯片层内,后两种扰动操作是在不同层间,是特别为三维布图规划而引入的。

### 2.3 相关参数

本文方案是基于模拟退火算法,在最小化芯片的面积和总互连线长度的同时,协同考虑 TSV 数目以及芯片的温度,而传统的二维芯片布图的模拟退火算法中代价函数为:

$$\text{cost} = \alpha * \text{area} + \beta * \text{wl} \quad (1)$$

其中  $\text{area}$ ,  $\text{wl}$  分别为芯片的面积和互连线长度.而三维布图除了考虑芯片的面积和互连线长度外,还需要考虑更多的因素,需要更多的参数.而三维芯片的面积是通过芯片层中最大的坐标长度乘以芯片层中最大的坐标宽度来计算,芯片的线长通过半周长边界盒(Half-perimeter Bounding Box)模型来评估.本文的算法采用两阶段的模拟退火算法,而每个阶段所使用的代价函数不尽相同,从而代价函数所需要的对应参数也不相同,三维布图规划用到的其他参数计算如下。

#### 2.3.1 TSV 数目

TSV 计算公式如下:

$$\text{tsv} = \sum (\text{net}_i_{\text{max\_layer}} - \text{net}_i_{\text{min\_layer}}) \quad (2)$$

其中  $\text{tsv}$  为每个线网  $\text{net}_i$  对应 TSV 数目总和,  $\text{net}_i_{\text{max\_layer}}$  和  $\text{net}_i_{\text{min\_layer}}$  分别是线网  $\text{net}_i$  所连接芯片的最高层和最低层,例如某个线网  $\text{net}_i$  跨越芯片的第一层到第三层,则需要 2 个 TSV 来连接这条线网。

#### 2.3.2 水平功耗密度约束

为了使具有较高功耗密度的模块均匀分布在三维芯片的各个层中,本文利用如下约束:

$$\text{PA} = (P_{\text{maxavg}} - P_{\text{minavg}}) / P_{\text{maxavg}} \quad (3)$$

其中  $P_{\text{maxavg}}$  和  $P_{\text{minavg}}$  分别为所有芯片层中的层模块平均功耗密度中最大值和最小值。

考虑互连线功耗时,为了使得层内模块的功耗分布相对均匀,利用如下约束:

$$\text{PB} = \sum (P_{\text{max}_i} - P_{\text{avg}_i}) / P_{\text{max}_i} \quad (4)$$

其中  $P_{\text{max}_i}$  为芯片的第  $i$  层中具有最高功耗密度的模块,  $P_{\text{avg}_i}$  是芯片第  $i$  层的所有的模块的平均功耗密度。

### 2.3.3 垂直功耗密度约束

为了避免三维芯片中不同层间功耗密度较大的模块重叠而导致的散热困难问题,本方案使用文献[7]中模块之间的垂直功耗约束:

$$\text{OP}(P_m) = \sum (P_m + P_{m_i}) * \text{overlap\_area} \quad (5)$$

$P_m$  为模块  $m$  的功耗密度,  $P_{m_i}$  为与模块  $m$  相重叠的模块  $m_i$  的功耗密度,  $\text{overlap\_area}$  为模块之间重叠的面积.将具有较高功耗密度的模块做为需要考虑的模块集合,则其在垂直方向上的总功耗密度约束为:

$$\text{TOP} = \sum \text{OP}(P_i) \quad (6)$$

### 2.3.4 互连线功耗

由于现在还没有合适的工具用来准确的建模三维芯片所有互连线的功耗,本文利用文献[7]中的计算方法,通过将三维芯片的互连线等比例缩放到二维芯片来计算所有三维芯片总互连线功耗:

$$3D\_P_{\text{int}} = 2D\_P_{\text{int}} (3D\_L_{\text{int}} / 2D\_L_{\text{int}}) \quad (7)$$

其中  $3D\_P_{\text{int}}$  为三维芯片所有线网的功耗,  $3D\_L_{\text{int}}$  表示通过三维布图规划的总线长,而  $2D\_L_{\text{int}}$  为二维布图规划的总线长.将互连线功耗转化为每个线网对模块功耗的影响:

$$\text{Net}_{ij} = (n_i / 3D\_L_{\text{int}}) * 3D\_P_{\text{int}} * (A_{b_j} / \text{TBA}_{n_i}) \quad (8)$$

其中  $\text{Net}_{ij}$  表示线网  $n_i$  对模块  $b_j$  的功耗影响,从而影响模块  $b_j$  的功耗密度.  $A_{b_j}$  表示功能模块  $b_j$  的面积大小,而  $\text{TBA}_{n_i}$  线网  $n_i$  连接的所有的模块的总面积。

### 2.3.5 峰值温度

本文使用文献[7]提出的 HS3D 工具,它改进了传统的二维芯片热量仿真工具 HotSpot<sup>[18]</sup>,其利用热电二重性原理在功能模块级对芯片的温度进行估计.本文利用 HS3D 工具来计算三维芯片的峰值温度  $\text{peakT}$ ,但是由于计算峰值温度相对是比较耗时,为了加速计算,本文的峰值温度在代价函数中的值每扰动 50 次后才更新一次。

## 3 本文 2TF 算法

本文的 2TF 三维芯片布图规划是基于两阶段模拟退火的算法,第一阶段利用模拟退火算法把所有模块划分到合适的层中.通过上述的六种扰动操作,同步最小化芯片面积、线长和 TSV 数目,并尽量使得具有较高功耗密度的模块均匀划分到不同的芯片层中.第二阶段模拟退火将第一阶段的布图规划结果作为输入,利用层内的四种扰动操作分别调整芯片每一层的布图规划,在进一步最小化芯片面积和总互连线长的同时,同步考虑降低芯片的峰值温度.算法流程如下:

(1) 初始化阶段

**Step1** 输入电路和划分的层数.

**Step2** 读取给定的电路模块的相关信息:面积、功耗密度等.

**Step3** 初始化整个电路,将所有的电路模块构造成一个  $B^*$  树.

**Step4** 将电路模块按照输入的层数,随机划分到不同的电路层中,并构造每层电路对应的  $B^*$  树.

(2) 第一阶段模拟退火

**Step1** 随机布图,进行上述六种扰动操作,产生初始的布图规划  $F$ .

**Step2**  $F_{best} = F$ ,将布图的解  $F$  初始化为布图的最优解  $F_{best}$ .

**Step3** 初始化模拟退火温度  $Temp$ ;

**Step4** 对模块进行上述六种扰动操作,更新布图的新解  $F_{new}$ .

**Step5** 利用  $cost1$  代价函数,计算代价函数值  $cost1_{F_{new}}$ 、 $cost1_F$ ,其中代价函数  $cost1$  为:

$cost1 = \alpha * area + \beta * wl + \gamma * tsv + \eta * PA$ ;本算法其中  $\alpha, \beta, \gamma, \eta$  各权值取值分别为 0.4, 0.4, 0.1, 0.1.

**Step6** 若  $cost1_{F_{new}} < cost1_{F_{best}}$ ,则将  $F_{new}$  赋值给  $F_{best}$  和  $F$ ;否则,若  $cost1_{F_{new}} < cost1_F$ ,则  $F_{new}$  赋值给  $F$ ,若  $cost1_{F_{new}} > cost1_F$ ,则以一定的概率  $p$  将  $F_{new}$  赋值给  $F$ ,其中概率  $p$  与当前的温度  $Temp$  和  $\Delta cost = cost1_{F_{new}} - cost1_F$  相关;转下一步.

**Step7** 判断模拟退火算法是否结束,算法结束的条件有:(a)温度已经降低到某个设定的值;(b)退火算

法已经收敛,即在最近的一次迭代中,99% 扰动产生的布图结果都没被接受;(c)在连续的三次以上的迭代中,最佳的布图结果  $F_{best}$  都没有发生变化;(d)退火算法迭代次数超过限值,即本算法取值 100;若结束,则跳出整个算法流程,输出布图规划最优解  $F_{best}$ ;否则,降低模拟退火的温度,跳转到本阶段 Step4.

(3) 第二阶段模拟退火

本阶段算法与第一阶段模拟退火步骤类似,将第一阶段模拟退火的输出作为本阶段的输入,扰动时只进行四种层内扰动操作,在计算代价时利用代价函数: $cost2 = \alpha * area + \beta * wl + \mu * PB + \delta * TOP + \eta * peakT$  其中  $\alpha, \beta, \mu, \delta, \eta$  各权值取值分别为 0.5, 0.35, 0.05, 0.05, 0.05. 最后模拟退火结束时,输出整个算法最终的布图结果  $F_{best}$ .

## 4 实验结果与分析

本文算法是基于 3DFP<sup>[19]</sup> 软件,用 C++ 编码实现,使用 HS3D 做热量估计. 实验中使用 MCNC 基准电路,硬件平台为具有四核 Intel(R) Xeon(R) E5506 CPU,内存为 2GB,操作系统是 RHEL5.4 的 Dell 服务器,编译工具是 gcc/g++ 4.1.2. 本文方案对于代价函数中  $\alpha, \beta$  等各权值的初始设置不是固定的,而是通过许多次反复的实验,通过较优的实验结果不断的作调整并验证得到的,权值因选择的参数不同,值也相对不一样. 且与文献[7]相同,本方案取 MCNC 基准电路所有模块功耗的 30% 作为  $2D\_P_{in}$  即二维芯片总互连线的功耗,用来计算三维芯片的总互连线功耗  $3D\_P_{in}$ .

表 1 两层三维芯片布图规划结果对比

电路	文献[7]						本方案					
	线长 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	TSV	峰值温度 (未考虑互 连线功耗 $^{\circ}\text{C}$ )	峰值温度 (考虑互连 线功耗 $^{\circ}\text{C}$ )	时间(s)	线长 ( $\mu\text{m}$ )	面积 ( $\text{mm}^2$ )	TSV	峰值温度 (未考虑互 连线功耗 $^{\circ}\text{C}$ )	峰值温度 (考虑互连 线功耗 $^{\circ}\text{C}$ )	时间(s)
xerox	294203	9.87	120	119.64	127.31	213	309527	10.13	97	115.12	120.52	221
hp	110489	4.50	54	120.39	134.39	102	114876	4.61	35	112.78	128.24	105
ami33	27410	0.645	43	154.65	155.57	585	28981	0.601	27	145.86	149.89	964
ami49	56209	19.71	202	124.19	132.69	1862	59417	20.02	178	119.46	126.84	2541
平均	1	1	1	1	1	1	1.05	1.03	0.74	0.95	0.95	1.27

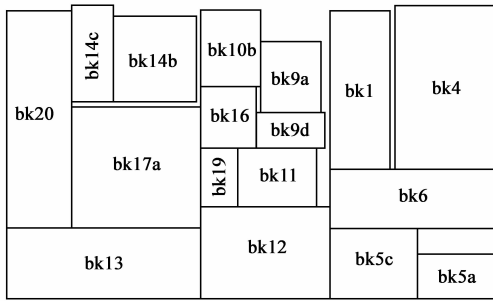
表 1 数据为本文方案两层三维芯片布图规划与文献[7]的对比,由表中数据可知,在芯片线长和面积稍有 5% 和 3% 增加的情况下,本方案 TSV 数目降低了 26%,由于本方案在第一阶段模拟退火时同步考虑了 TSV 数目,所以本文方案较好的优化了 TSV 数目. 本方案可以平均降低芯片的峰值温度  $5.96^{\circ}\text{C}$ ,降低了 5%. 这是由于本文在第一阶段模拟退火考虑了功耗密度在不同层间的平衡,避免了较高的功耗密度的模块过度集中在一层,从而避免了芯片热斑问题. 另外,本文使用了峰值温度作为代价函数的反馈,能够更加准确指导算法获

得布图规划的最优解. 由于本文利用 HS3D 计算芯片的峰值温度时会消耗一定的时间,所以算法的运行时间会相应的有所增加,但是时间都在可接受的范围内.

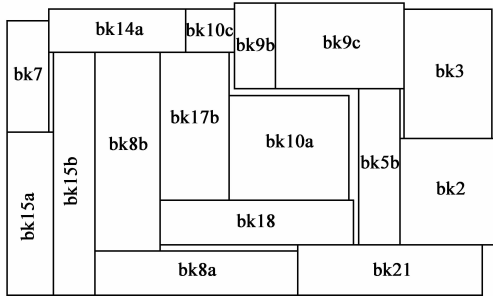
从表 1 亦可看出在考虑和未考虑互连线功耗的情况下,芯片的温度平均相差了  $8.07^{\circ}\text{C}$ . 实验数据再次证明了考虑互连线功耗的重要性,在不考虑互连线时,三维芯片真实的温度会被低估,芯片的互连线功耗对芯片的峰值温度会有较大的影响.

本文方案对 ami33 电路划分两层三维电路的布图规划结果如图 3 所示.

图 4、图 5 分别为上述 ami33 三维电路布图规划结果通过 HotSpot 模拟产生的在未考虑互连线功耗和考虑互连线功耗时对应热量模拟图,可以看出两者的峰值温度相差  $3.53^{\circ}\text{C}$ ,再次表明了考虑互连线功耗的芯片的温度评估更准确,否则芯片的温度会被低估.由于本方案主要关心芯片的峰值温度,所以只取了 ami33 三维电路较热的那层芯片的热量模拟图,即芯片的第一层的热量模拟图(温度单位为 K).



(a) ami33 电路第一层的布图规划



(b) ami33 电路第二层的布图规划

图 3 ami33 电路布图示意图

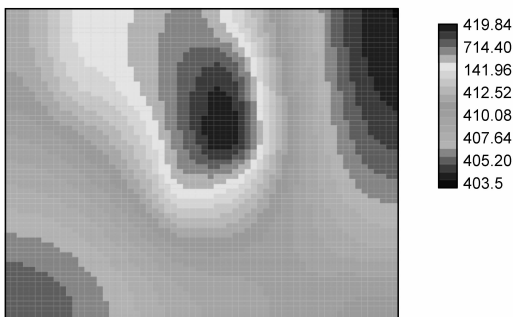


图 4 未考虑互连线功耗的ami33第一层热量图

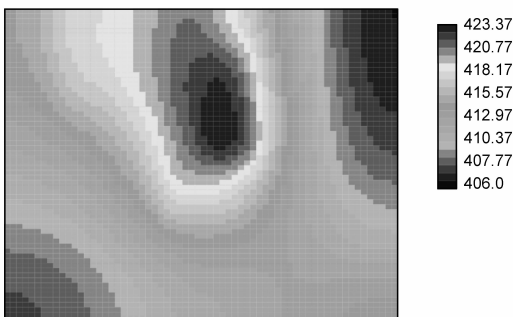


图 5 考虑互连线功耗的ami33第一层热量图

## 5 总结

本文提出了一种基于模拟退火的考虑过硅通孔和互连线功耗的三维芯片布图规划算法.针对三维芯片中常引入过多的过硅通孔增加三维芯片的制造和测试成本以及布图规划中未考虑互连线功耗的问题,本文提出的 2TF 算法在布图规划时同步考虑了 TSV 和互连线功耗,协同优化了 TSV 数目和芯片的峰值温度.本文方案在大大降低过硅通孔数目的同时,有效降低了芯片的峰值温度.

## 参考文献

- [1] 徐高卫,罗乐,耿菲,黄秋平,周健.基于埋置式基板的三维多芯片组件的翘曲研究[J].电子学报,2009,37(05):96-102.  
XU Gao-wei, LUO Le, GENG Fei, HUANG Qiu-ping, ZHOU Jian. Warpage of three-dimensional multi-chip module based on embedded substrate [J]. Acta Electronica Sinica, 2009, 37 (05):96-102. (in Chinese)
- [2] J Burns, L McIlrath, C Keast, C Lewis, A Loomis, K Warner, P Wyatt. Three-dimensional integrated circuit for low power, highbandwidth systems on a chip[A]. Proc Int Solid-State Circuits Conf[C]. San Francisco, CA, USA, 2001. 268-269.
- [3] J Cong, C Liu, G Luo. Quantitative studies of impact of 3D IC design on repeater usage[A]. Proc Int. VLSI/ULSI Multilevel Interconnection Conf[C]. Fremont, California, USA, 2008. 344-348.
- [4] Y-J Lee, Y J Kim, G Huang, M Bakir, Y Joshi, A Fedorov, S K Lim. Co-design of signal, power, and thermal distribution networks for 3D ICs[A]. Nice Proc. Des. Autom. Test Eur. Conf [C]. Nice, FRANCE, 2009. 610-615.
- [5] 戚肖宁,冯之雁,严晓浪.时延驱动的 VLSI 版图规划算法[J].电子学报,1995,34(02):103-105.  
Qi Xiaoning, Feng Zhiyan, Yan xiaolang. Timing driven floorplanning[J]. Acta Electronica Sinica, 1995, 34(2): 103-105. (in Chinese)
- [6] J Cong, W Jie, Y Zhang. A thermal-driven floorplan for 3D-ICs [A]. Proc. Int. Conf. Comput.-Aided Des[C]. San Jose, CA, USA, 2004. 306-313.
- [7] W-L Hung, G M Link, Y Xie, N Vijaykrishnan, M J Irwin. Interconnect and thermalaware floorplanning for 3D microprocessors[A]. Proc. Int. Symp. Quality of Electronic Design[C]. San Jose, CA, USA, Mar. 2006. 98-104.
- [8] P-Q Zhou, Y-C Ma, Z-Y Li, R P Dick, S Li, H Zhou, X-L Hong, Q Zhou. 3D-STAF: Scalable temperature and leakage aware floorplanning for three-dimensional integrated circuits [A]. Proc. Int. Conf. Comput.-Aided Des[C]. San Jose, CA, USA, 2007. 590-597.

- [9] X Li, Y Ma, X Hong, S Dong, J Cong. LP based white space redistribution for thermal via planning and performance optimization in 3D ICs[A]. Proc. Asia South Pacific Des. Autom. Conf[C]. Seoul, Korea, 2008. 209 - 212.
- [10] Yun Huang, Qiang Zhou, Yici Cai. A thermal-driven force-directed floorplan-ning algorithm for 3D ICs[A]. International Conference on Computer Aided Design and Computer Graphics[C]. Huangshan, China, 2009. 497 - 502.
- [11] B Goplen, S Sapatnekar. Efficient thermal placement of standard cells in 3D ICs using a force directed approach[A]. Proc. Int. Conf. Comput.-Aided Des [C]. San Jose, CA, USA. , Nov. 2003. 86 - 90.
- [12] J Li, H Miyashita. Post-placement thermal via planning for 3D integrated circuit[A]. Proc. Asia Pacific Conf. Circuits Syst [C]. Singapore, 2006. 808 - 811.
- [13] J Cong, G-J Luo, J Wei, Y Zhang. Thermal-aware 3D IC placement via transformation[A]. Proc. Asia South Pacific Des. Autom. Conf[C]. Yokoha-ma, Japan, 2007. 780 - 785.
- [14] T Zhang, Y Zhan, S S Sapatnekar. Temperature-aware routing in 3D ICs[A]. Proc. Asia South Pacific Des. Autom. Conf [C]. Yokohama, Japan, Jan. 2006. 309 - 314.
- [15] J Cong, Y Zhang. Thermal-driven multilevel routing for 3-D ICs[A]. Proc. Asia South Pacific Des. Autom. Conf [C]. Shanghai, China, Jan. 2005. 121 - 126.
- [16] 梁颖, 黄春跃, 阎德劲, 李天明. 基于热叠加模型的叠层 3D 多芯片组件芯片热布局优化研究[J]. 电子学报, 2009, 37(11): 170 - 174.  
LIANG Ying, HUANG Chun-yue, YAN De-jin, LI Tian-ming. Study on thermal placement optimization of stacked 3D-MCM based on thermal superposition model[J]. Acta Electronica Sinica, 2009, 37(11): 170 - 174. (in Chinese)
- [17] Y-C Chang, Y-W Chang, G-M Wu, S-W Wu. B\* -trees: a new representation for non-slicing floorplans[A]. Design Automation Conference[C]. Yokohama, Japan, 2004. 458 - 463.
- [18] K Skadron, M R Stan, W. Huang, S Velusamy, K Sankaranarayanan, D Tarjan. Temperature-aware micro-architecture [A]. Proc. of international symposium on Computer architecture[C]. San Diego, California, USA, 2003. 2 - 13.

- [19] 3DFP[CP/OL]. <http://www.cse.psu.edu/~yx236/3dfp>. 2010 - 10 - 09.

### 作者简介



王 伟 男, 副教授、硕士生导师, 中国计算机学会高级会员、中国计算机学会容错计算专委会委员、CCF YOCSEF 合肥学术秘书。1979 年 1 月出生于安徽合肥。2001 年和 2007 年在合肥工业大学分别获计算机应用技术工学学士、工学博士学位。2009 年中国科学院计算技术研究所博士后出站。主要从事 VLSI 设计与容错、低功耗设计与测试、SoC 可测试性设计等方面的研究工作。 E-mail: wangwei\_hfut@hfut.edu.cn



张 欢 男, 1985 年 12 月出生于安徽蚌埠。2009 年毕业于合肥学院计算机系, 现为合肥工业大学计算机学院硕士研究生, 主要研究方向为三维芯片电路版图规划, 芯片低功耗设计与低功耗测试。

方 芳 女, 2001 年毕业于合肥工业大学计算机与信息学院计算机应用专业, 2003 年在合肥工业大学计算机与信息学院硕博连读, 2005 年在合肥工业大学任教。主要研究方向为超大规模集成电路测试与设计、低功耗测试技术、可测试性设计技术、SoC 测试与设计。

陈 田 女, 1974 年生于安徽合肥, 副教授, 在合肥工业大学获得计算机应用技术工学学士、工学博士学位, 主要研究方向为低功耗测试、测试数据压缩等。

刘 军 男, 讲师。2002 年毕业于东北师范大学计算机系, 并同年进入合肥工业大学计算机与信息学院工作。2007 年获合肥工业大学计算机应用硕士学位, 于 2010 中科院计算所取得博士学位。主要研究方向为 VLSI 测试数据压缩, 内建自测试, NoC 测试。

李 欣 女, 1983 年 6 月出生于河北省保定 2009 年毕业于沈阳化工学院获得工学学士学位, 现为合肥工业大学在读硕士研究生, 主要研究方向为三维芯片电路版图规划, 低功耗设计与测试。

邹毅文 男, 硕士研究生, 1987 年出生于江西省樟树市。2009 于兰州交通大学获得工学学士学位, 现为合肥工业大学在读硕士研究生, 主要研究方向为三维电路版图规划和布局布线。