

一种面向功耗免死锁三维全动态 3D NoC 路由算法

虞 潇,李 丽,张宇昂,潘红兵,王佳文,韩 平

(南京大学电子科学与工程学院,江苏南京 210093)

摘 要: 随着近年来三维片上网络(3D NoC)技术的提出及不断发展,功耗问题已成为 3D NoC 设计中面临的严峻挑战之一.本文为 3D NoC 提出一种面向功耗免死锁三维全动态路由算法 TFRA (Three-dimensional Full-adaptive Routing Algorithm).其以传统二维 NoC 奇偶拐弯模型为基础,将三维路由空间划分为 8 个象限,针对每个象限制定相应的路由策略,从而实现免死锁.采用 SystemC 系统级建模语言搭建的 3D NoC 仿真平台进行验证,结果显示 TFRA 算法在功耗性能指标方面较现有的三维路由算法有大幅提升.

关键词: 三维片上网络;图论;功耗;路由算法;三维全动态路由算法

中图分类号: TP391.7 **文献标识码:** A **文章编号:** 0372-2112 (2013) 02-0329-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2013.02.019

A Power-Aware Dead Lock Avoid Three-Dimensional Full-Adaptive Routing Algorithm for 3D NoC

YU Xiao, LI Li, ZHANG Yu-ang, PAN Hong-bing, WANG Jia-wen, HAN Ping

(School of Electronic Science and Engineering Nanjing University, Nanjing, Jiangsu 210093, China)

Abstract: With the proposal and development of the technology of 3D NoC in these years, the power issue has become one of the serious challenges in the design of 3D NoC. This paper proposed a power-aware deadlock avoid three-dimensional full-adaptive routing algorithm called TFRA for 3D NoC. The new routing strategy is based on the even-odd turning model of the conventional 2D NoC. The routing space is divided into eight different quadrants in which corresponding routing strategy is used. We use a systematic modeling language SystemC to build the platform of 3D NoC to test and verify the performance. The result shows that great improvement can be achieved considering every kind of index of power performance using our TFRA when compared to the traditional 3D routing algorithm.

Key words: 3D NoC; graph theory; power issue; routing algorithm; three-dimensional full-adaptive routing algorithm (TFRA)

1 引言

随着半导体工艺技术的不断发展和进步,三维集成电路制造技术可以通过将原二维集成电路中较长的水平互连线替换为较短的垂直互连线来改善整个集成电路系统的功耗,提高器件的集成度,并可以提供更高的平台性能^[1].目前,三维片上网络技术(3D NoC)是解决二维片上多核处理器互连瓶颈的有效方案之一,并愈来愈受到研究界的关注.

众所周知,功耗问题是 3D NoC 系统设计所面临的严峻挑战之一.如图 1 所示.由于三维集成电路功耗密度的增加,热点出现的几率也随之增大.本文针对 3D NoC 功耗问题,基于 2D NoC 奇偶拐弯路由模型^[2],提出了一种面向功耗的自适应路由协议:三维全动态路由算

法(TFRA, Three-dimensional Full-adaptive Routing Algorithm).该协议根据网络的功耗状况动态地做出路由决定,从而可优化网络的功耗分布,能有效避免局部功耗过大.

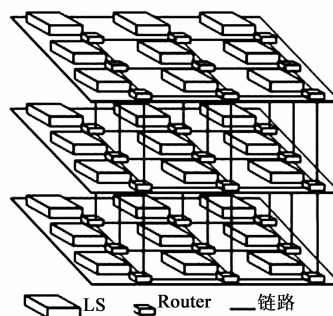


图1 典型的 3D NoC 体系结构

2 相关工作

2.1 2D NoC 路由算法研究

传统的 2D NoC 免死锁路由算法主要有:静态 XY 路由、拐弯模型、奇偶拐弯模型等.其中奇偶拐弯模型^[2]因其较好的自适应性而被广泛应用于 2D NoC 中.它通过限制 2D 平面上节点处的拐弯,达到避免回路形成的目的.具体算法如下:(1)偶数列禁止东北拐、东南拐弯;(2)奇数列禁止北西拐、南西拐弯.

(注:偶数列指本地路由器所在的列为偶数,反之则为奇数列;东北拐指需要路由的包先往东传递,到达本地路由器后再向北传递,其他情况可以此类推)

通过如上限制,奇偶拐弯模型避免了平面上一共 4 种情况下路由回路的形成,从而防止了死锁.

2.2 3D NoC 路由算法与功耗问题研究

目前已有相关学者就 3D NoC 的拓扑结构、路由算法、映射算法及功耗问题开展研究工作^[3~14].其中文献[3]为 3D NoC(Torus)的互联提出了一种分区的 XYZ 模型;文献[4]提出了一种维度分解模型,可提升 3D NoC 的通信性能;文献[5]提出一种分析 NoC QoS 性能的方法;文献[6,7]提出了新型的 3D NoC 拓扑结构;文献[8]提出一种新 3D NoC 动态路由算法 TTAR,其在吞吐率与功耗方面略优于静态 XYZ 算法,但并没有从根本上解决 3D NoC 的功耗问题;文献[9]分析了垂直互联线的分布对于 3D NoC 性能的影响;文献[8,9]采用的三维免死锁路由算法与同样基于 Z-XY 算法;文献[10]提出了一种面向能耗和延时的 NoC 映射方法;文献[11]对文献[10]进行了改进,提出一种新映射算法,可进一步改善 NoC 能耗与延时;文献[12]提出一种新型虫孔路由器结构,可降低标准单元面积与功耗.文献[13]分析并针对缓存深度对 NoC 的影响,优化了 NoC 路由器结构,可提高 NoC 性能.

在 3D IC 设计中,多个器件层堆叠在一起,相互之间通过垂直互联线连接在一起.在各种互联技术之中,硅穿孔技术(TSV)文献[14]因其具有很高的垂直互联密度而最为流行.文献[15]一文分析了 TSV 技术对于 3D NoC 性能的影响.文献[16]一文基于 SystemC 语言对于 NoC 平台的热功耗性能进行了模拟.

然而随着 NoC 由 2D 向 3D 的扩展,3D IC 的设计通常带来系统可靠性下降、功耗分布不均匀、散热等问题.为了解决上述问题,并克服静态 XYZ 算法无自适应性,充分利用三维动态路由算法自适应性高的特点,进而大幅降低 3D NoC 各项功耗,本文提出一种新型的面向功耗的三维全动态路由算法(TFRA).它可以通过比较 6 个方向的功耗指标从而降低 3D NoC 功耗,并使之分布均匀.

3 NoC 中的功耗模型

NoC 中数据传输将产生动态功耗.本文采用文献[17]中的功耗模型,其选取相邻路由节点功耗较小的路径,可改善 NoC 功耗指标.

采用上述功耗模型的 3D NoC 路由算法的性能分析如下:将面向功耗的路由协议(TURN-P)和面向拥塞的路由协议(TURN-C)进行了对比,两种协议均采用 Z-XY 路由算法,即优先在垂直方向上进行传输,再在目标平面上采用奇偶拐弯算法.TURN-C 与 TURN-P 的区别在于 TURN-C 中的路由判据为输入通道队列的长度,而非功耗指标.实验结果显示,与 TURN-P 相比,TURN-C 能够明显地改善网络的功耗分布(最大功耗和功耗方差最大下降分别可达 11.57% 和 24.61%),而网络性能的下落几乎可以忽略.

4 面向功耗的 3D NoC 路由算法(TFRA)

Three-dimensional Full-adaptive Routing Algorithm 即 TFRA 算法是一种新型的基于奇偶拐弯模型的三维全动态路由算法,它将奇偶拐弯模型扩展到三维情况,并根据源地址与目的地址的不同的相对位置,在不同的区间采取不同的路由策略.以下是 TFRA 算法的具体介绍及推导过程.

4.1 基于图论的拐弯划分

3D NoC 平台采用 3D Mesh 架构.整个 Mesh 网络可以看成是一个有向图 $G = \langle V, E \rangle$,其中 $V = \{V_{i,j,k} | 0 \leq i, j, k \leq 3\}$,避免路由算法中的死锁需要避免有向图中回路的形成,因此需要研究有向图 G 中邻域 $N_G(v) = N_D(v) \cup \{v\}$ 的状况.现做如下定义:

定义 1 设 $\langle V_{i,j,k}, V_{i\pm 1,j,k} \rangle \rightarrow \langle V_{i\pm 1,j,k}, V_{i\pm 1,j\pm 1,k} \rangle$ 为一个 3D 的拐弯,同理 $\langle V_{i,j,k}, V_{i\pm 1,j,k} \rangle \rightarrow \langle V_{i\pm 1,j,k}, V_{i\pm 1,j,k\pm 1} \rangle$ 也是一个 3D 的拐弯.

为简单起见,将上述定义中的拐弯采用 x, y, z 来表示,由于 3D 中的方向一共有 6 种,即 $\pm x, \pm y, \pm z$,上述定义中拐弯则可用这 6 个方向的组合来表示,例如: $+x+y$ 表示 3D Mesh 中先沿着 $+x$ 方向,再沿着 $+y$ 方向的拐弯.整个 3D Mesh 空间中,共有 $A_3^2 \times A_2^2 \times A_2^2 = 24$ 种拐弯方式.

定义 2 设 $v_m, v_n \in V, e_{m,n} = \langle v_m, v_n \rangle$ 为连接 v_m 与 v_n 的一条直接通路.

定义 3 拐弯图(turning graph)TG 中的顶点为定义 2 中 G 的边 $e_{m,n}$,那么 TG 中的边则为定义 1 中的拐弯.

4.2 基于奇偶拐弯模型的免死锁 3D NoC 路由算法

2D 平面上死锁的产生相当于在定义 3 中的 TG 有向图中出现了回路的情况($\Gamma = v_{i0} e_{j1} v_{i1} e_{j2} \dots e_{j_l} v_{i_l}$ 其中 $v_{i0} = v_{i_l}$).要避免 3D 路由中产生死锁首先要避免产生 2D

的死锁情况.本文在 2D 平面中采用奇偶拐弯模型(the even-odd turn model)^[2]来避免 2D 平面中的回路,并将其扩展到 3D.避免 3D 路由中的死锁可以采用 Z-XY 算法.即先沿 Z 轴传输,当包到达目标层时再在 XY 平面上采用奇偶拐弯模型.本文提出了一种新型的面向功耗 3D 路由算法,同样可以避免 3D 路由中的死锁问题.该算法的推导过程如下:

根据源地址与目的地址的不同,可以将整个 3D 空间划分为 8 个不同的区域:如图 2 所示.

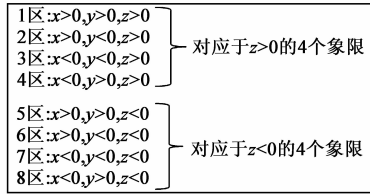


图2 3D空间划分

根据空间的不同,在 8 个空间中实行不同的路由策略,即先走不同的轴.即不需要在整个空间统一实行 Z-XY 算法,还可以根据需要实行 X-YZ, Y-XZ 算法,在 3D 空间中将这 3 个算法结合起来,进而提高灵活性.表 1 为奇偶拐弯模型在 3D 空间中不同区域的拐弯限制和路由策略分析.

表1 3D空间奇偶拐弯限制与可选拐弯情况分析

	禁止拐弯	路由策略	可选拐弯
1区		先z Z-XY	
2区		先y Y-XZ	
3区		先x X-YZ	
4区		先z X-YZ	
5区		先z Z-XY	
6区		先y X-YZ	
7区		先x X-YZ	
8区		先x X-YZ	

注: 表示 $+x+y$ 拐, 表示 $+x+z$ 拐, 表示 $+y+z$ 拐,其他情况以此类推

如表 1 所示,当把 3D 空间划分为 8 个区域后,每个区域中都有 3 种拐弯情况是被禁止的(分别对应 XY, XZ, YZ 平面中奇偶拐弯所禁止的拐弯情况).根据不同拐弯情况,在对应区域选择先走不同的轴.上表中的可选拐弯栏就是先走对应轴,要到达对应平面时需要发生的拐弯情况,每个区间都有两种.以第一区间为例:根据奇偶拐弯模型,第一区间中的禁止拐弯情况有三种,分别是: $+x+y$ 拐弯、 $+x+z$ 拐弯和 $+y+z$ 拐弯.相应地,在第 1 区间先走 z 轴,当到达目标 XY 平面后再在其上遵循奇偶拐弯模型.此时,当包从源达到目标 XY 平面时可能的拐弯为 $e_{m,n} \in \{+z+x, +z+y\}$

同理,在第 5 区间同样选择先走 z 轴的 Z-XY 算法;在 3,4,7,8 这四个区间选择先走 x 轴的 X-YZ 算法;在 2,6 这两个区间选择先走 y 轴的 Y-XZ 算法.从上表中

可以发现:当在对应空间选取不同的路由策略时,所有可选拐弯都没有出现在禁止拐弯之列.另外从上表中可知,所有 8 个区间中的可选拐弯一共有 12 种,禁止拐弯也一共有 12 种,其合集恰为三维空间中所有的拐弯数 24.

$$e_{m,n}(\text{可选拐弯}) \in \{+z+y, +z+x, -y+x, -y+z, -x-y, -y+z, -x+y, -z+x, -z+y, -y-z, -x-z, -x+y\} = A$$

$$e_{m,n}(\text{禁止拐弯}) \in \{+x+y, +x+z, +y+z, +x-y, +z-y, -y-x, +z-x, +y-x, +x-z, +y-z, -z-y, -z-x\} = B$$

$$A \cap B = \emptyset \text{ 且 } A \cup B = E (E \text{ 为全集})$$

因此,采用 TFRA 算法不会导致不同区间的相互干扰.即 TFRA 算法完全满足将二维奇偶拐弯模型扩展到三维的要求,并且可以避免回路的产生进而避免平面上的死锁.

TFRA 算法不仅可以避免 3D 空间中各个平面内的死锁,其还具有避免 3 维死锁的能力.这是因为本算法是奇偶拐弯模型算法在三维空间中的扩展.而在具有适应性的奇偶拐弯模型^[2]一文中已经证明:只要满足 3 维空间的奇偶拐弯限制就不会出现 3 维死锁的情况.其具体证明过程为将整个 yz 平面映射到 y 轴,类似于二维平面上的偶数列禁止 $+x+y$ 拐、 $+x-y$ 拐,现三维空间禁止的是 $+x-YZ$ 拐等.而当我们把三维空间映射到二维空间之后,三维空间中 TG(turning graph)图里的回路都可以映射为一个平面上的回路,与此同时三维空间中中线面角的拐弯(如 $+x-YZ$ 拐)就映射为了二维平面上的定义一中的一个拐弯.因此,基于奇偶拐弯模型的 TFRA 算法并不会出现 3 维的死锁情况.

4.3 3D NoC 路由算法自由度分析

3D NoC 路由算法的自由度体现了 3D NoC 中路由策略的灵活性,即 3D NoC 路由策略可提供的路由拐弯数占所有拐弯数的比例.

定义 4 设 apt 为 3D NoC 路由算法的自由度

$$\text{apt}(\text{TG}) = \frac{|E(\text{TG})|}{\text{TPTG}}$$

其中 $|E(\text{TG})|$ 表示定义 3 中拐弯图 TG 中的边数, TPTG (Total Path of Turning Graph) 即 3D NoC 中所有拐弯数量.

由定义 4 可得:

$$\text{apt}(Z-XY) = 66.7\%$$

采用组合路由策略的路由算法的自由度为其所有子算法的自由度的加权平均值:

$$\text{apt}(\text{TG}) = \frac{|E(\text{TG})|}{\text{TPTG}} = \sum_{i=0}^n \text{apt}_n(\text{TG}) \times N_n$$

本文中所提出的 TFRA 算法属于采用组合策略的 3D NoC 路由算法,因此其自由度为:

$$\begin{aligned} \text{apt}(\text{TFRA}) &= \frac{|E(\text{TFRA})|}{\text{TPTG}} \\ &= \sum_{i=0}^n \text{apt}_n(\text{TFRA}) \times N_n \\ &= 66.7\% \times \frac{1}{2} + 66.7\% \times \frac{1}{4} + 66.7\% \times \frac{1}{4} \\ &= 66.7\% \\ &= \text{apt}(\text{Z-XY}) \end{aligned}$$

同理可得:

$$\text{apt}(\text{XYZ}) = 50\%$$

由于 TTAR 算法基于 Z-XY 算法,并限制了与拥塞点同行或同列处的拐弯,所以 $\text{apt}(\text{XYZ}) < \text{apt}(\text{TTAR}) < \text{apt}(\text{Z-XY})$

上式表明 TFRA 算法与传统的 Z-XY 算法具有最高的自由度。

4.4 TFRA 伪码实现

图 3 为 TFRA 算法的伪码实现。

```

Algorithm
if(xt==xl&&yt==yl&&zt==zl)
    local
else if(xt==xl&&yt==yl&&zt>zl)
    up
else if(xt==xl&&yt==yl&&zt<zl)
    down
else if(xt>xl&&yt==yl&&zt==zl)
    east
else if(xt<xl&&yt==yl&&zt==zl)
    south
else if(xt==xl&&yt>yl&&zt==zl)
    north
else if(xt==xl&&yt==yl&&zt<zl)
    down
else if(xt==xl)
    even-odd YZ
else if(yt==yl)
    even-odd XZ
else if(zt==zl)
    even-odd XY
else if(xt>xl&&yt>yl)
{
    if(zt>zl)
        up
    else
        down
}
else if(xt>xl&&yt<yl)
    south
else if(xt<xl)
    west

```

图3 TFRA算法伪码

当源地址与目的地址相同时,路由器将包发送至本地;当源地址与目的地址在同一直线上时,路由器将包沿直线传输;当源地址与目的地址在同一平面内时,路由器将包在平面内按照奇偶拐弯算法选择路径传输(基于第 3 节中的功耗模型);当源地址与目的地址没有任何一个坐标相同时,路由器选择按照不同的空间先沿不同轴进行传输,当包到达目标平面时再在该平面上按照奇偶拐弯算法选择最佳路径。

5 实验结果

5.1 实验平台与参数设置

本实验采用系统级建模语言 SystemC,其版本为

2.2.0,实验环境采用微软编译器 visual studio 2010.3D NoC 仿真平台包含以下模块:(1)3D NoC 平台架构(4 * 4 * 4 的 3D Mesh);(2)采用 TFRA 算法的 3D NoC 路由器;(3)RTG 随机包发送接收器;(4)测试平台 Test Bench.其中 router 包含以下子模块:(a)输入模块;(b)输出模块;(c)功耗参数分析模块(采用位翻转模型).实验平台相关参数设置如下:包长度为 34 位;缓冲器缓存深度为 16;注入时间为 800;注入率从 0.1 递增至 0.9.

5.2 性能指标

(1)吞吐量

网络平均吞吐量(Throughput)是指网络每个周期每个节点平均收到的数据量,表征网络的整体传输性能,其取决于路由、仲裁和网络拓扑。

$$\text{Throughput} = \frac{\text{包数量}}{\text{节点数} \times \text{模拟时间}}$$

(2)包延迟

平均包延迟指数据包横跨网络平均所需的时间.它是网络传输时间和输入通道队列等待时间之和,不包括源队列的等待时间。

(3)功耗

平均功耗是指数据包横跨网络所产生的动态功耗的平均值.它表征了网络整体功耗的大小。

最大功耗是指数据包横跨网络所产生的动态功耗的最大值.它表征了网络局部热点功耗的大小。

功耗方差是指数据包横跨网络所产生的动态功耗的均方差.它表征了网络动态功耗平均分布的情况。

实验对以下五种算法比较其吞吐量、包延迟和功耗指标:(1)面向功耗的 TFRA 算法;(2)面向功耗的 Z-XY 算法(Z-XY(P));(3)面向拥塞的 Z-XY 算法(Z-XY(C));(4)TTAR^[8];(5)静态 XYZ 算法。

5.3 实验结果

(1)吞吐量

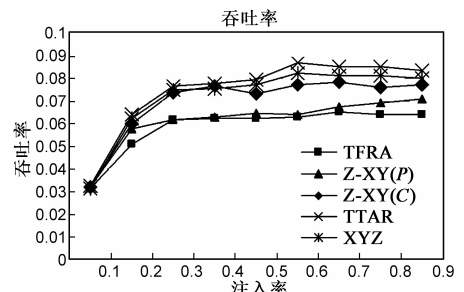


图4 吞吐量比较

图 4 显示网络饱和前(注入率小于等于 0.6)TFRA 算法与 Z-XY(P)算法的吞吐量几乎一样.当网络饱和后(注入率大于等于 0.7)TFRA 算法比 Z-XY 算法的吞吐量略低.采用拥塞模型的 Z-XY(C)算法由于其目标平面上采用的判据为缓存中的包数量而非 TFRA 与

Z-XY(P)中的功耗模型,因此其吞吐率较高.静态 XYZ 算法与 TTAR 具有最高的吞吐率.平均而言,TFRA 的吞吐率比 Z-XY(P)下降 4.50%,比 Z-XY(C)下降 15.89%.比 XYZ 下降 18.77%,比 TTAR 下降 21.79%.

(2)包延迟

图 5 显示网络饱和前 TFRA 算法与 Z-XY(P)算法以及 Z-XY(C)算法的平均包延迟几乎一样.当网络饱和后 TFRA 算法比 Z-XY(P)算法和 Z-XY(C)算法的平均包延迟略高.静态 XYZ 算法与 TTAR 具有最低的包延迟.平均而言,TFRA 的包延迟比 Z-XY(P)增加 4.12%,比 Z-XY(C)增加 11.73%,比 XYZ 增加 14.69%,比 TTAR 增加 17.95%.

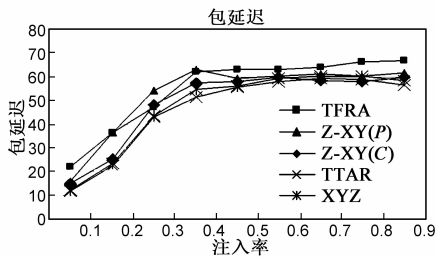


图5 包延迟比较

(3)平均功耗

图 6 显示网络饱和前 TFRA 算法与 Z-XY(P)算法的平均功耗几乎一样.当网络饱和后 TFRA 算法比 Z-XY(P)算法的平均功耗值明显降低,最多下降 9.61%.无论网络饱和与否,TFRA 算法比 Z-XY(C)算法的平均功耗值均明显降低最多下降 19.08%,比 XYZ 算法最多下降 44.89%,比 TTAR 算法最多下降 41.99%.这表明 TFRA 算法相比于其他算法可以明显改善 3D NoC 网络的整体功耗.

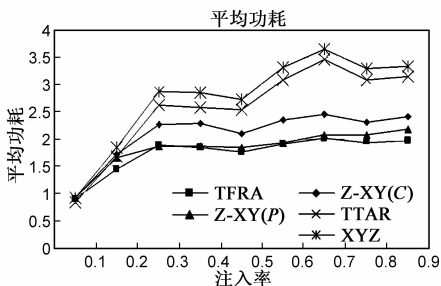


图6 平均功耗比较

(4)最大功耗

图 7 显示无论网络饱和与否,TFRA 算法比其他算法的最大功耗都有明显降低,其中最优情况下比 Z-XY(P)下降 19.45%,比 Z-XY(C)下降 21.84%,比 XYZ 算法下降 40.53%,比 TTAR 算法下降 36.19%.

(5)功耗方差

图 8 显示无论网络饱和与否,TFRA 算法比其他算

法的功耗方差都有明显降低,其中最优情况下比 Z-XY(P)下降 42.52%,比 Z-XY(C)下降 45.97%,比 XYZ 算法降低 56.55%,比 TTAR 算法降低 48.89%.这是因为 Z-XY 算法仅在 XY 平面实现了具有自适应性的动态路由,而在 Z 方向上只是实现了信号传输的功能(TTAR 算法与之相同,静态 XYZ 不具有自适应性).而本文提出的 TFRA 算法真正实现了三维全动态路由.相比于 Z-XY 等算法,TFRA 增加了 Z 方向上的功耗比较,因此可以使 3D NoC 网络动态功耗分布更为平均.

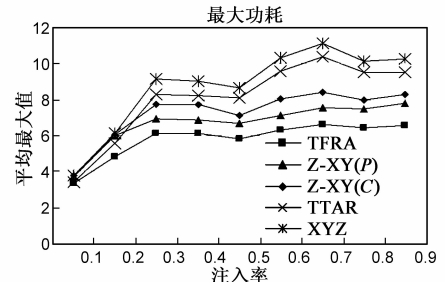


图7 最大值比较

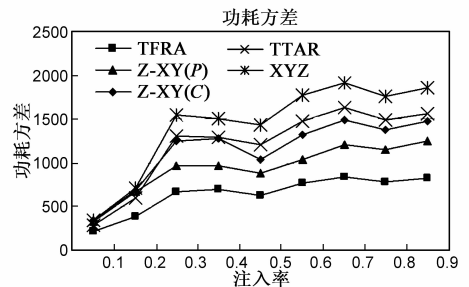


图8 功耗方差比较

综上所述,本文基于奇偶拐弯模型提出的面向功耗的三维全动态的 TFRA 路由算法相比于传统 Z-XY 算法,静态 XYZ 算法和 TTAR 算法在网络吞吐率方面略有下降,在平均包延迟方面略有上升,而在网络功耗各项指标包括平均功耗、最大功耗以及功耗方差方面均有较大的提升.

6 结论

本文在 2D NoC 奇偶拐弯模型的基础上,提出了一种面向功耗的新型 3D NoC 路由算法(TFRA),其将路由空间划分为 8 个象限,在每个象限选取对应的路由策略.本算法引入了 3 维空间中 6 个方向的功耗比较,可以实现全 3D 的动态路由功能.因此可以大幅降低整个 3D NoC 系统的功耗.在最优情况下,相比于 Z-XY(P)算法平均功耗下降 9.61%,最大值下降 19.45%,功耗方差下降 42.52%;相比于 Z-XY(C)算法平均功耗最多下降 19.08%,最大值最多下降 21.84%,功耗方差最多下降 45.97%;相比于 XYZ 算法平均功耗下降 44.89%,最大值下降 40.53%,功耗方差下降 56.55%;相比于 TTAR

算法平均功耗下降 41.99%, 最大值下降 36.19%, 功耗方差下降 48.89%.

参考文献

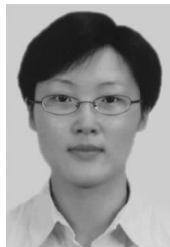
- [1] Bryan Black, Murali Annavaram, Ned Brekelbaum, et al. Die stacking (3D) microarchitecture[A]. IEEE/ACM International Symposium on Microarchitecture 2006[C]. America: IEEE, 2006. 469 – 479.
- [2] G M Chiu. The odd-even turn model for adaptive routing[J]. IEEE Transaction on Parallel and Distributed Systems, 2000, 11(7): 729 – 738.
- [3] Khan, M A, et al. Quadrant-Based XYZ dimension order routing algorithm for 3-D asymmetric torus routing chip[A]. International Conference on Networks and Computer Communications (ETNCC) 2011[C]. India: IEEE, 2011. 121 – 124.
- [4] Lafi W, Lattard D, Jerraya A. An efficient hierarchical router for large 3D NoCs[A]. 21st IEEE International Symposium on Rapid System Prototyping (RSP) 2010[C]. America: IEEE, 2010. 1 – 5.
- [5] Holcomb D, Brady B, Seshia S. Abstraction-based performance verification of NoCs[A]. 48th ACM/EDAC/IEEE Design Automation Conference (DAC) 2011[C]. America: IEEE, 2011. 492 – 497.
- [6] Viswanathan N, Paramasivam K, Somasundaram K. Performance analysis of cluster based 3D routing algorithms for NoC[A]. IEEE Recent Advances in Intelligent Computational Systems (RAICS) 2011[C]. India: IEEE, 2011. 157 – 162.
- [7] Rusu C, et al. Message routing in 3D networks-on-chip[A]. NORCHIP 2009[C]. Norway: IEEE, 2009. 1 – 4.
- [8] Shu-Yen Lin, Tzu-Chu Yin, Hao-Yu Wang, et al. Traffic-and thermal-aware routing for throttled three-dimensional network-on-chip systems[A]. International Symposium on VLSI Design Automation and Test (VLSI-DAT) 2011[C]. Taiwan: IEEE, 2011. 1 – 4.
- [9] Rahmani A M, Latif K, Vaddina K R, et al. Power-efficient inter-layer communication architectures for 3D NoC[A]. IEEE Computer Society Annual Symposium on VLSI (ISVLSI) 2011[C]. India: IEEE, 2011. 355 – 356.
- [10] 杨盛光, 李丽, 高明伦, 等. 面向能耗和延时的 NoC 映射方法[J]. 电子学报, 2008, 36(5): 937 – 942.
YANG Sheng-guang, LI Li, GAO Ming-lun et al. An energy- and delay-aware mapping method of NoC[J]. Acta Electronica Sinica, 2008, 36(5): 937 – 942. (in Chinese)
- [11] 易伟, 王佳文, 潘红兵, 等. 基于蚁群混沌遗传算法的片上网络映射[J]. 电子学报, 2011, 39(8): 1832 – 1836.
- Yi Wei, Wang Jia-wen, Pan Hong-bing et al. Ant colony chaos genetic algorithm for mapping task graphs to a network on chip[J]. Acta Electronica Sinica, 2011, 39(8): 1832 – 1836. (in Chinese)
- [12] 朱红雷, 彭元喜, 等. 一种动态分配输入队列的片上虫孔路由器结构[J]. 电子学报, 2010, 38(5): 1032 – 1038.
Zhu Hong-lei, Peng Yuan-xi, et al. An on-chip wormhole router architecture with dynamically allocated input-queues[J]. Acta Electronica Sinica, 2010, 38(5): 1032 – 1038. (in Chinese)
- [13] Kodi A, Morris R, Ditomaso D, et al. Co-design of channel buffers and crossbar organizations in NoCs architectures[A]. IEEE/ACM International Conference on Computer-Aided Design (ICCAD) 2011[C]. America: IEEE, 2011. 219 – 226.
- [14] W R Davis, J Wilson, S Mick, et al. Demystifying 3D ICs: the pros and cons of going vertical[J]. Design & Test of Computers IEEE, 2005, 22(6): 498 – 510.
- [15] Xu T C, Liljeberg P, Tenhunen H. A study of through silicon via impact to 3D network-on-chip design[A]. International Conference on Electronics and Information Engineering (ICEIE) 2010[C]. Japan: IEEE, 2010. V1-333-V1-337.
- [16] Wegner T, Cornelius C, Gag M, et al. Simulation of thermal behavior for networks-on-chip[A]. NORCHIP 2010[C]. Finland: IEEE, 2010. 1 – 4.
- [17] Sheng-guang Yang, et al. A power-aware adaptive routing scheme for network on a chip[A]. International Conference on ASIC, ASICON'07[C]. China: IEEE, 2007. 1301 – 1304.

作者简介



虞 潇 男, 1989 年生于江苏南京, 南京大学硕士生. 主要研究方向为 3D NoC 系统路由算法.

E-mail: littlefish520yx@163.com



李 丽(通讯作者) 女, 1975 年生于山东文登, 博士, 南京大学教授. 主要研究方向为片上多处理器片上系统设计、可重构计算和 IP-SoC 设计方法.

E-mail: lili@nju.edu.cn