

# 低功耗异步 LDPC 解码器运算通路设计

姜小波, 叶德盛, 吴文涛, 徐向民

(华南理工大学电子与信息学院, 广东广州 510641)

**摘要:** 本文设计了异步 LDPC 解码器运算通路, 利用异步电路减少信号到达时间不一致引起的毛刺和时钟引起的功耗. 利用输入数据的统计特性设计了运算通路中的主要运算单元, 减少了冗余运算. 本文还实现了同步运算通路和基于门控时钟的运算通路作为比较. 三种设计采用相近的架构, 在 0.18 $\mu\text{m}$  CMOS 工艺下实现相同的功能. 仿真结果表明, 提出的异步设计功耗最小, 相比于同步设计和基于门控时钟设计, 分别节省了 42.0% 和 32.6% 的功耗. 虽然性能稍逊于同步设计, 但优于门控时钟设计. 其中, 同步设计的延时是 1.09ns, 基于门控时钟的设计延时是 1.61ns, 而异步设计则是 1.20ns.

**关键词:** LDPC 码; 异步设计; 低功耗; 比较器; 加法器

**中图分类号:** TN914      **文献标识码:** A      **文章编号:** 0372-2112 (2013) 04-0685-05

**电子学报 URL:** <http://www.ejournal.org.cn>      **DOI:** 10.3969/j.issn.0372-2112.2013.04.010

## Low Power Design of Asynchronous Datapath for LDPC Decoder

JIANG Xiao-bo, YE De-sheng, WU Wen-tao, XU Xiang-min

(School of Electronic and Information Engineering, South China University of Technology, Guangzhou, Guangdong, 510641, China)

**Abstract:** Asynchronous datapath of LDPC decoder is proposed in this paper. Glitches and redundant computations are decreased by asynchronous design. Clock tree is replaced by handshake control units. Taking advantages of input data statistical characteristic, key arithmetic elements in the datapath are proposed. Two types of datapaths including synchronous design and clock-gating design are also implemented as contrasts. Three designs exploit similar architecture and realize the same function by 0.18 $\mu\text{m}$  CMOS process. Simulation result shows that the proposed asynchronous design features the lowest power. Compared with the synchronous and clock-gating designs, it saves 42.0% and 32.6% power respectively. Its performance is a little bit worse than the synchronous design, but is better than the clock-gating design. The delay of the synchronous design is 1.09ns, the clock-gating design is 1.61ns, and the proposed design is 1.20ns.

**Key words:** LDPC code; asynchronous design; low power; comparator; adder

## 1 引言

LDPC (Low Density Parity Check) 码的译码性能逼近香农限, 纠错与检错能力极强, 吞吐率大, 硬件实现简单灵活<sup>[1~3]</sup>, 被广泛应用于通信和广播等领域. 在这些无线通信协议中, 它们的终端设备很大一部分是电池供电的功耗敏感设备, 因此 LDPC 解码器的低功耗设计极为重要.

70% 以上的 LDPC 解码器运算是中间信息的处理和存储, 能耗来源于存储器的存取和数据通路, 因此如何降低存储器的能耗以及优化数据通路吸引了许多研究<sup>[4~6]</sup>. Weiner 等人<sup>[5]</sup>采用优化数据通路后端设计, 李睿等<sup>[6]</sup>提出“基于指针的求最小次小值方法”, 减少了运算通路的面积.

上述文献在优化数据通路方面采用同步设计, 无法有效地消除毛刺以及冗余运算, 也无法消除时钟树带来的巨大功耗. 目前流行的 GALS (全局异步局部同步) 的方法虽然可以降低异步电路设计的复杂度, 但是它没能减少毛刺和冗余运算, 因此在降低功耗方面作用不大. 异步设计上的这种全局异步局部同步虽能提高 LDPC 和 Turbo 解码器的吞吐率, 但功耗的优势不明显. 在处理器和数据通路的设计上, 由于性能和功耗的苛刻要求, 往往采用全定制设计和 IP (由提供商完成全定制设计). 异步设计在这些领域取得了巨大的成功, 不仅能有效提高性能, 还能显著降低功耗<sup>[7,8]</sup>. 如飞利浦就采用了许多商业的异步芯片<sup>[9]</sup>; 异步设计的 ARM 更是能高效地降低功耗<sup>[10]</sup>.

本文利用异步设计减少了由于置换网络信号到达时间不一致引起的毛刺和时钟树的功耗,根据输入数据的统计特性设计了运算通路中的主要运算单元,减少冗余运算带来的功耗.提出的提前终止异步比较器能在首个不相等数位得到结果并“提前终止”运算;采用进位位双轨编码、求和位单轨编码的方法,设计异步超前进位加法器,减少了冗余运算.同时优化了关键单元之间的连接,减少毛刺和冗余运算,进而减少了功耗.

作为对比,同时设计了普通的同步运算通路和基于门控时钟的运算通路.三种设计均采用  $0.18\mu\text{m}$  CMOS 工艺实现  $1/2$  码率的 CMMB 标准 LDPC 码 (9216, 4608) 解码器,并且使用相同的架构,实现相同的功能.经过仿真对比,本文提出的异步设计的功耗是最小的,相比于普通的同步设计和基于门控时钟的设计,功耗分别节省了 42.0% 和 32.6%. 本文的数据通路用于 CMMB 的 LDPC 解码器,同时适用于其它的解码器.

## 2 LDPC 解码器运算通路架构

本文中用到的是 LDPC 码分层修正最小和解码算法<sup>[9]</sup>,采用半并行的解码器结构.基于分层算法的 CMMB 标准 LDPC 解码器架构如图 1 所示,它包含三个关键模块,分别是控制模块,存储模块以及 CNU.其中,运算通路采用三级流水线.第一级进行 VTC 信息的恢复,将压缩 CTV 信息拆分,与 APP 信息相加,提取绝对值和符号位.第二级进行 CTV 信息的更新,主要由比较选通阵列来求出 VTC 信息的最小值、次小值以及最小值所在的位置,由异或门阵列来更新 CTV 信息符号位.第三级进行 APP 信息的更新,对恢复的 VTC 信息以及第二级更新的 VTC 信息进行加法运算.置换网络在第一级和第三级流水线.

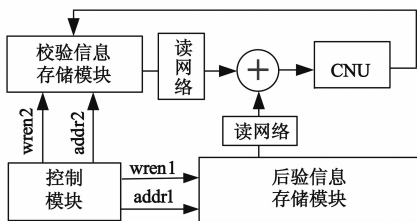


图1 CMMB标准LDPC译码器架构

本文提出的解码器运算通路的异步设计主要包括控制通路和数据通路,如图 2 所示.根据控制通路之间握手信号来协调数据通路进行运算.

控制通路采用异步流水线,基于四相握手协议,其中的握手元件(锁存控制器)是全耦合锁存控制,其状态转换图和电路结构如图 3 所示.它对对称结构 C 单元和反相器组成.在控制通路握手元件之间需要匹配延

时电路,该延时大于运算通路中功能块的延时,保证流水线与功能块之间不产生逻辑错误.为了节省功耗和面积,使用最小尺寸的反相器链作为延时电路的基本结构.

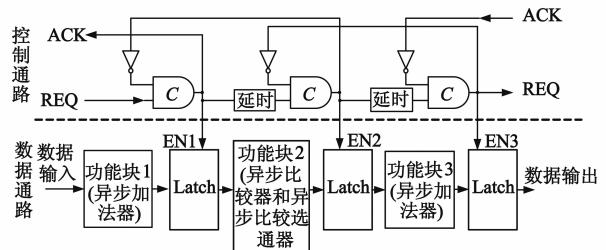


图2 异步LDPC解码器的数据通路和控制通路

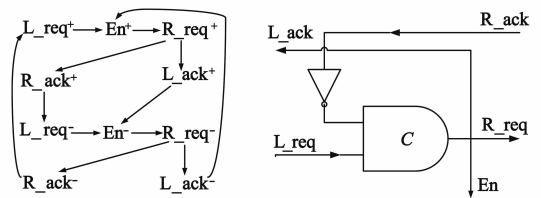


图3 全耦合锁存控制器的状态转换图和电路结构图

运算通路从三个方面降低了功耗:首先,关键运算单元的异步设计减少了毛刺和冗余运算.由于 LDPC 解码器信息置换网络复杂,引起信号到达的时间差异,带来毛刺信号和冗余运算.一方面,异步流水线控制每一级功能块之间 latch 的开关,保证数据同时到达;另一方面,运算单元的设计中增加了 PRE 和 DONE 信号,统一了数据的流动.其次,异步流水线的引入代替了同步设计的时钟网络.在同步设计中,时钟网络的功耗往往占了总功耗的 20% ~ 40%. 使用握手元件,每一级流水线实现状态转换,延时匹配又能保证异步设计与同步设计的时序一致,实现了数据通路中功能块之间的同步.

## 3 关键模块的设计及连接

LDPC 解码运算密集,比较器和加法器是其中最关键的模块,本文设计新的异步运算单元,降低冗余运算.另一方面优化输入数据和运算单元的连接,消除由于信号到达时间不一致引起的毛刺.利用这一设计思想设计了异步比较器,异步加法器,选通器及比较和选通器的连接.

### 3.1 比较器

根据概率论,当两个随机数进行比较运算,前三位得出比较结果的概率高达 0.875.因此多数情况下没有必要对低位进行运算.为了利用该输入数据统计特性,通过改进真值表(表 1),设计了提前终止异步比较器. EQin 作为控制信号,当 EQin = 0 时,三个输出端均为 0,表示比较器停止计算.实现了“提前终止”运算的功能.

表 1 提前终止异步比较器的真值表

EQin	A	B	GTout	LTout	EQout
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	0	0	1
0	×	×	0	0	0

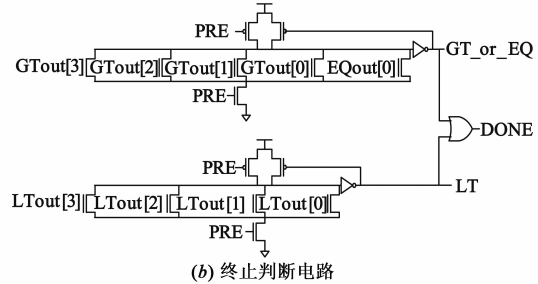
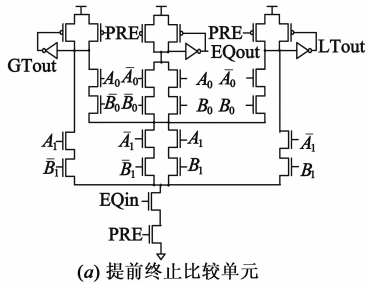


图 4

图 5 是 8 位提前终止异步比较器的结构图. 通过将 4 个比较单元级联, 加上终止判断电路, 构成一个 8 位提前终止异步比较器. 其中, 高位的 EQout 信号作为下一个比较器单元的 EQin 输入. 所有比较器单元的 GTout 和 LTout 信号以及最低位的 EQout 信号则连接到终止判断电路上.

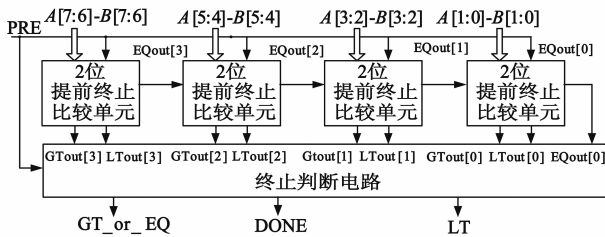


图 5 8 位提前终止异步比较器

为了验证异步比较器的低功耗特性, 与文献中提到的性能最优的同步 BCL 比较器<sup>[11]</sup>和利用门控时钟技术的比较器对比仿真. 在 0.18 $\mu\text{m}$  CMOS 工艺下使用了各 500000 组的随机数据和来自 LDPC 解码器的数据, 输

表 2 四种比较器的仿真结果对比

	晶体管数量	随机数据			来自 LDPC 解码器的数据		
		功耗( $\mu\text{W}$ )	延时(ns)	功耗-延时积	功耗( $\mu\text{W}$ )	延时(ns)	功耗-延时积
同步 BCL 比较器	197	233	0.67	156.11	226	0.75	169.5
同步门控时钟比较器	304	48	0.82	39.36	49	0.82	40.18
设计的提前终止异步比较器	207	30	0.38	11.4	35	0.75	26.25

在 0.18 $\mu\text{m}$  CMOS 工艺下实现了 8 位的同步加法器和异步加法器, 并进行仿真和测量功耗, 结果如表 3 所示. 相比于同步加法器, 异步加法器的低功耗特性是明显的. 在随机数据下, 异步设计的功耗减少了 45.1%; 而对于来自 LDPC 解码器的数据, 则减少了 38.3%.

本文以两位的提前终止比较单元作为基本单元, 以获得更好的性能. 如图 4(a) 所示, 使用动态逻辑, 输入采用单轨信号, 以减少晶体管数目和面积, 同时保持电路的性能. 该比较器的特点是能控制运算, 由终止判断电路实现, 如图 4(b) 所示. 电路分成两支, GT\_or\_EQ 端口表示 A 大于或等于 B, LT 表示 A 小于 B, 比较结果经过一个或门产生 DONE 信号, 表示运算的完成.

入频率为 100MHz. 仿真测量结果如表 2 所示. 结果表明, 提出的提前终止异步比较器在功耗、延时和功耗-延时积上的性能是最好的. 与另外两种比较器相比, 在两种测试向量下, 功耗分别降低了 87.1%、37.5% 以及 84.5%、28.6%. 虽然额外引入了终止判断电路, 但是仅仅比 BCL 比较器增加了 5% 的晶体管数量.

### 3.2 加法器

本文设计的是异步超前进位加法器, 利用统一的 PRE 信号控制运算, 低位的进位信号同时作为激活高位求和运算的信号, 在低位进位信号没有到达之前, 高位的求和电路静止不运算, 减少了大量的冗余运算, 从而节省功耗.

如图 6(a) 所示, 仍使用两位的结构, 求和位采用单编码、进位位采用双编码的实现方式. 图 6(b) 是完成检测电路, 用进位位的 COUT 和 /COUT 信号来产生最终的完成信号. 图 6(c) 的电路是整体的 8 位异步加法器, 通过 4 个 2 位异步加法器单元级联, 再加上一个完成检测电路构成.

表 3 同步加法器和设计的异步加法器的功耗对比

	随机数据	来自 LDPC 解码器的数据
同步加法器	193	170
异步加法器	106	105

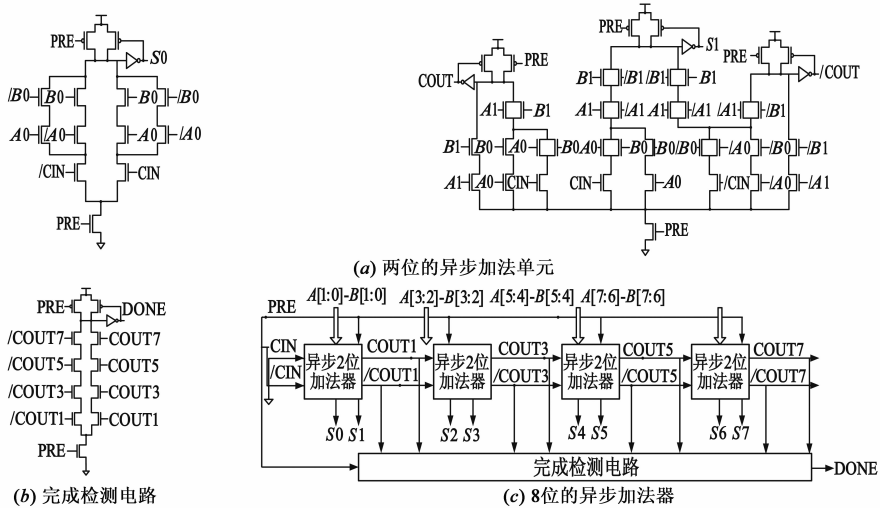


图6

### 3.3 选通器设计和比较选通器的异步连接

如图 7, 是异步比较选通器的连接图以及 2 选 2 异步选通单元. 其中, 异步比较器是前面提及的提前终止异步比较器, 异步选通器则是由 2 选 2 异步选通单元组成. PRE 信号控制数据的流动, 比较器产生的 DONE 信号用来指示选通器工作. 这样能减少由于比较器和选通器的不同步而产生的冗余运算, 另外, 避免使用时钟网络和寄存器, 减少了电路的开销.

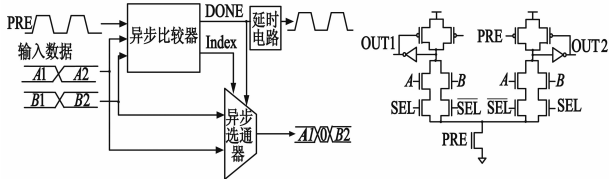


图7 异步比较选通器的组成以及2选2异步选通器的电路图

在相同的工艺下设计了普通的比较选通器和异步比较选通器, 并使用相同的测试向量进行仿真. 图 8 功耗对比结果, 异步比较选通器的低功耗特性显著. 相比于另外两种设计, 对于随机数据, 异步设计节省了 72.1% 功耗; 而对于来自 LDPC 解码器的数据, 则节省了 64.1% 的功耗.

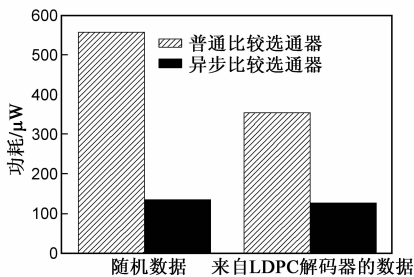


图8 两种比较选通器的功耗对比

## 4 LDPC 解码器运算通路的仿真与分析

本文在 0.18 $\mu\text{m}$  CMOS 工艺下实现了 LDPC 解码器的异步运算通路, 同时也实现了同步运算通路和基于门控时钟的运算通路作为对比. 其中, 整个 LDPC 解码器(包括存储器和运算通路)的版图面积是 15.6mm<sup>2</sup>. 使用 Synopsys 的 Nanosim 软件进行仿真和测量功耗和延时, 三者均在 1.8V 的电源电压和 25 $^{\circ}\text{C}$  的条件下使用 500000 个随机向量, 输入频率为 100MHz.

图 9 是三种 LDPC 解码器运算通路功耗和延时对比. 为了正确模拟实际的情况, 对于同步设计和门控时钟设计, 分别增加了 20% 的时钟网络产生的功耗. 图中深色部分是时钟网络(对应于同步和门控时钟设计)或流水线(对应于异步设计)的功耗, 浅色部分是除去时钟网络或者流水线的功耗; 对于前者, 主要包括功能块和寄存器的功耗; 对于异步设计, 则主要是功能块和锁存器的功耗. 分析可得, 异步设计的总功耗只有 4663 $\mu\text{W}$ , 分别比同步设计(8038 $\mu\text{W}$ )和门控时钟设计(6921 $\mu\text{W}$ )减少了 42.0% 和 32.6% 的功耗. 其中异步流水线的功耗是 741 $\mu\text{W}$ , 占了总功耗的 15.9%. 功耗的减少主要来自以下原因: 一是设计的低功耗运算单元有效地减少毛刺和冗余运算, 不仅体现在功能块与功能块之间, 还体现在每一级功能块内部; 二是引入了异步流水线, 除去了时钟网络, 虽然这样会带来由于异步流

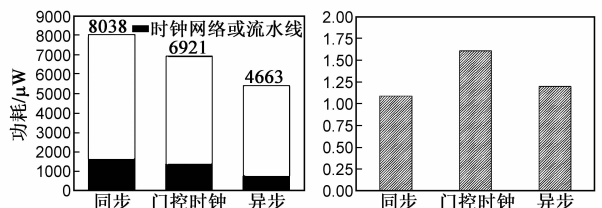


图9 三种LDPC解码器运算通路的功耗和延时比较

水线握手元件的电路运算而增加的功耗,但是这部分的功耗与同步设计中时钟网络的功耗相比,明显要小。

异步设计由于增加了一些控制电路和延时单元,在性能上付出了一定的代价,但仍然优于比门控时钟设计。这里定义延时是完成一次运算,直到数据稳定所需的时间。根据测量结果,同步设计的延时是 1.09ns,基于门控时钟的设计延时是 1.61ns,而异步设计则是 1.20ns。异步设计的延时时比同步设计的延时稍微增加了,这是由于异步设计的控制通路部分需要匹配延时。

## 5 总结

本文给出了一个低功耗的异步的用于高吞吐率 LDPC 解码器(如 802.11n)运算通路设计,减少了信号到达时间不一致引起的毛刺和时钟树的功耗。利用输入数据的统计特性和运算特点设计了运算通路中的主要运算单元。本文设计的异步运算通路和同步设计和基于门控时钟的设计相比,功耗分别节省了 42.0% 和 32.6%,但是只需要付出很小的性能和面积代价。

本文提出的运算通路可以使用在其他 LDPC 解码器上。且随着 LDPC 解码器的吞吐率增加,效果会更好。另外,本文提出的运算单元可以应用在其它数字系统中,例如内容存储器以及处理器。运算通路的异步设计,也将对异步设计方法提供新的思路。目前异步设计方法趋向于全局异步,局部同步的方法。但从我们的设计来看,在运算通路部分采用异步设计,可以节省大量的功耗。所以,以后的 SOC 设计采用全局异步,局部同步,运算通路异步的方法,可以获得更好的效果。

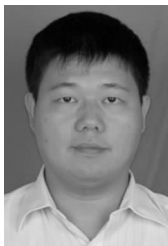
## 参考文献

- [1] Gallager R G. Low-density parity-check codes[J]. IRE Transaction on Information Theory, 1962, 8(1): 21 - 28.
- [2] 姜小波, 聂正华. 用于 CMMB 的低运算复杂度 LDPC 解码器算法[J]. 电子学报, 2010, 38(7): 1612 - 1615.  
JIANG Xiao-bo, NIE Zheng-hua. Low computational complexity algorithms of LDPC decoder for CMMB[J]. Acta Electronica Sinica, 2010, 38(7): 1612 - 1615. (in Chinese).
- [3] 朱琦, 叶芳, 刘钧雷, 酆广增. LDPC 码在 802.16a OFDM 系统衰落信道中的性能分析[J]. 电子学报, 2005, 33(4): 624 - 628.  
ZHU Qi, YE Fang, LIU Jun-lei, FENG Guang-zeng. Performance analysis of LDPC codes for IEEE 802.16a OFDM system in multipath fading channel[J]. Acta Electronica Sinica, 2005, 33(4): 624 - 628. (in Chinese).
- [4] S J Lee, J Y Park, K S Chung. Memory efficient multi-rate regular LDPC decoder for CMMB[J]. IEEE Transactions on Consumer Electronics, 2009, 55(4): 1866 - 1874.
- [5] Matthew Weiner, Borivoje Nikolic, et al. LDPC decoder archi-

ture for high-data rate personal-area networks [A]. 2011 IEEE International Symposium on Circuits and Systems [C]. Rio de Janeiro: IEEE, 2011. 1784 - 1787.

- [6] Li Rui. Design and implementation of QC-LDPC partially parallel decoder. [D]. Chengdu, Sichuan: University of Electronics Science & Technology of China, 2007.
- [7] 石伟, 陈芳园. 基于 TTA 的异步微处理器设计及其 VLSI 实现[J]. 电子学报, 2011, 39(2): 395 - 401.  
SHI Wei, CHEN Fang-yuan. Design and VLSI implementation of an asynchronous microprocessor based on transport triggered architecture [J]. Acta Electronica Sinica, 2011, 39(2): 395 - 401. (in Chinese).
- [8] 刘祥远, 陈书明. 一种高性能的异步 FIFO 结构[J]. 电子学报, 2007, 35(11): 2098 - 2104.  
LIU Xiang-yuan, CHEN Shu-ming. A high-performance asynchronous FIFO architecture [J]. Acta Electronica Sinica, 2007, 35(11): 2098 - 2104. (in Chinese).
- [9] van Gageldonk H, van Berkel K, Peeters A. An asynchronous low-power 80C51 microcontroller [A]. Proceedings of 4th Symposium of Advanced Research in Asynchronous Circuits and Systems [C]. San Deigo, CA: ASYNC, 1998. 96 - 107.
- [10] Woods J V, Day P, Furber S B, Garside J D, Paver N C, Temple S. AMULET1: an asynchronous ARM microprocessor [J]. IEEE Transactions on Computers, 1997, 46(4): 385 - 398.
- [11] J Y Kim, H J Yoo. Bitwise competition logic for compact digital comparator [A]. 2007 IEEE Solid-State Circuits Conference [C]. Jeju: IEEE, 2007. 59 - 62.

## 作者简介



姜小波 男, 1972 年 11 月生于浙江。2004 年中科院微电子所获得博士学位。目前在华南理工大学电子信息学院任副教授。主要研究差错控制编码设计、低功耗集成电路设计、通信基带芯片设计。

E-mail: xbjiang@gmail.com



叶德盛 男, 1988 年 1 月生于广东广州。2010 年毕业于中山大学理工学院微电子学专业。2010 年进入华南理工大学电子与信息学院, 就读研究生。主要从事异步 LDPC 解码器的设计等方向的研究。

E-mail: ydsbanban@163.com

吴文涛 男, 1988 年 4 月生于广东。2011 年毕业于山东大学物理学专业。2011 年进入华南理工大学电子与信息学院, 就读研究生。主要从事低功耗 LDPC 解码器的设计等方向的研究。

E-mail: eindleon@gmail.com