

考虑时间因素的不同基本门故障概率计算

肖 杰, 江建慧

(同济大学软件学院, 上海 201804)

摘 要: 在门级电路的可靠性概率评估方法中,基本门的故障概率 p 一般人为设定或以常数形式出现.考虑到不同基本门的故障概率具有随时间变化的特性并结合其输入导线,本文构建了考虑输入负载的随时间变化的不同基本门的故障概率模型.理论分析与实验结果表明,基于弱链接模型的双峰对数正态分布更适合用来表示输入导线故障概率的时间分布.用本文方法、美国军用标准 MIL-HDBK-217 及 Monte Carlo 方法计算了 ISCAS85 基准电路的可靠度并进行了比较,还通过了行业标准的检验,结果验证了本文所构建模型的合理性.

关键词: 时间因素; 输入负载; 输入导线; CMOS 器件; 不同基本门的故障概率

中图分类号: TP331 **文献标识码:** A **文章编号:** 0372-2112 (2013) 04-0666-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2013.04.007

The Calculation of Fault Probability of Different Elementary Gates Considering Time Factor

XIAO Jie, JIANG Jian-hui

(School of Software Engineering, Tongji University, Shanghai 201804, China)

Abstract: The fault probability of the elementary gate p for the reliability estimation of gate-level circuits had been given based on expert experience or as a constant generally. Considering the time change of properties of fault probability and the input-interconnects of different elementary gates, a fault probability model considering input loads and time factor is constructed. Theoretical analysis and experimental results show that the bimodal lognormal distribution based on weak link model is more suitable to describe the time distribution of the input-interconnect fault probability. The reliability values of ISCAS 85 benchmark circuits are calculated and compared by the iterative probability transfer matrix based on the proposed model, the reliability calculation method recommended by MIL-HDBK-217 standard and the reliability simulation method adopted by Monte Carlo. The industrial standard is also used to further test. It shows that the proposed model is reasonable.

Key words: time factor; input load; input-interconnect; CMOS device; the fault probability of different elementary gates

1 引言

兼顾到 VLSI 电路评估的准确性与可操作性,在门级对电路进行可靠性分析得到了高度的重视^[1~3].贴近实际的基本门故障发生概率 p 模型对准确评估门级电路的可靠性至关重要,文中的故障指器件发生的硬故障.

文献[4]尝试结合版图级因素来计算 p ,但其假设条件过于苛刻且分析简单, p 的估计值与工业数据差距较大;结合版图结构信息,并考虑了故障的形成机理和作用模式,以及缺陷的粒径分布,文献[5]提出了一个较为合理的 p 模型.

上述工作均认为所有基本门的故障发生概率相同,且与时间和输入负载无关.事实上,不同基本门的故障发生概率并不相同,因为构成不同基本门的 CMOS 器件的数量并不相同,且拓扑结构也各有所异^[6].从美军标 MIL-HDBK-344A^[7]关于电子元器件的指数失效率模型可知,不同基本门的故障发生概率是时间的函数.

为了进一步完善基本门故障概率模型,本文对输入导线的几种主要时间分布模型进行了比较,并选取基于弱链接模型的双峰对数正态分布 (Bimodal Lognormal Model, BLM) 来表示基本门输入导线故障概率的时间分布;考虑 CMOS 器件的故障概率分布,构建了结合输入负载的各基本门随时间变化的故障概率解析模型.通

过对 ISCAS85 基准电路的可靠度计算,验证了新模型的合理性.

2 相关工作

2.1 输入导线故障概率的时间分布

应力迁移是指在一定的温度条件下,导电材料在应力梯度的作用下产生的物质扩散现象.在深亚微米及纳米工艺等小尺寸工艺下,它是引起输入导线故障的主要因素.

在应力迁移作用下,文献[8]给出了互连导线故障概率的时间分布模型,它认为导线的故障概率随着时间的变化在统计上满足二参数的对数正态分布(Two-parameter Lognormal Model, TLM),其概率密度分布函数见式(1).

$$f(t, t_{50}, \sigma) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(\ln t - \ln t_{50})^2}{2\sigma^2}\right) \quad (1)$$

在导线有足够数量的冗余通孔情况下,该模型能较好地满足导线的故障概率分布.而事实上,随着工艺尺寸的缩小,在电路设计过程中,由于版图和成本的限制,导线很难做到有充足的通孔冗余,甚至根本没有冗余,这使得导线故障概率的 TLM 分布与真实数据间的一致性较差.于是文献[9]提出了导线故障概率的三参数对数正态分布模型(THree-parameter Lognormal Model, THLM),其概率密度分布函数见式(2).

$$f(t, t_{50}, \sigma, X_0) = \frac{1}{(t - X_0)\sqrt{\pi\sigma^2}} \exp\left(-\frac{\{\ln[(t - X_0)/(t_{50} - X_0)]\}^2}{2\sigma^2}\right) \quad (2)$$

其中, $t_{50} = (wT_m/cj^n)e^{E_a/kT}$, c 是与导线的几何形状及膜的结晶结构有关的常量; n 的取值主要取决于电流自焦耳热效应的大小和局部温度梯度的大小,通常在 1~3 之间变化; j 为电流密度; w 为导线宽度; T_m 为导线厚度; E_a 为扩散激活能; k 为玻耳兹曼常数; T 为绝对温度; δ 为标准差; X_0 通常被认为是导线故障的临界时间.

对实验获取的导线故障统计数据进行分析表明,相比 TLM 分布,THLM 分布更真实地反映了导线故障概率与时间的关系[9].

随着电路特征尺寸的缩小,导线的失效机制也由之前的单一机制主导变为如今的多类机制共同主导.从这一角度出发,文献[10]提出了导线故障概率的 BLM,它由两个 TLM 分布构成.其累积概率分布函数见式(3).

$$F(t) = F_{A+B}(t) = F_A(t) + F_B(t) - F_{AB}(t) \quad (3)$$

其中, A 与 B 分别指向不同类型的失效机制, $A+B$ 表示 A 或 B 单独作用, AB 表示 A 与 B 同时作用; $F_X(t)$ 表示在失效机制 X ($X \in \{A, B, A+B, AB\}$) 作用下导线在 t 时前的累积故障概率.通常,弱链接模型(Weak Link

Model, WLM)或权重叠加模型(Super Position Model, SPM)被用于对式(3)进行简化,简化后的式子分别见式(4)(5).

$$f^{\text{WLM}}(t) = f_A(t)(1 - F_B(t)) + f_B(t)(1 - F_A(t)) \quad (4)$$

$$f^{\text{SPM}}(t) = p(A)f_A(t) + (1 - p(A))f_B(t) \quad (5)$$

其中, $f_X(t)$ 表示失效机制 X ($X \in \{A, B\}$) 作用下导线在 t 时刻的故障概率; $P(X)$ 表示失效机制是由 X 主导的概率. BLM 反映的是在两类主要失效机制的共同主导下导线故障概率的时间分布.相比 TLM 分布, BLM 对导线故障概率的分布拟合效果更符合实际. WLM 假设两失效机制 A 与 B 相互独立,且同时作用于导线; SPM 从概率的角度构建了失效机制 A 与 B 分别作用于导线的概率,但 A 与 B 是排它性的,即在同一时段导线仅受某一类失效机制的主导.事实上,导线的故障往往是由主要的两类不同失效机制的同时作用所引起,故 WLM 模型能更好地刻画导线的故障情况.

导线故障概率的时间分布也可能满足 Weibull 分布[8],但它不适合用于构建主要是由电迁移本征失效机制所引起的导线故障概率的时间分布,而是常被用于与时间有关的电介质击穿建模.

综上所述, THLM 与 BLM 都要比 TLM 更适合用来表示导线故障概率的时间分布. THLM 分布通过位置参数 X_0 来反映导线的早期失效,此时导线不仅受电迁移本征失效机制的作用,还受与表面缺陷相关的失效机制的影响;在早期失效期之后,该模型认为导线的故障主要由本征失效机制所引起,而事实上,导线在磨损期的失效机制与早期失效期类似. BLM 分布考虑了引起导线故障的两类主要不同失效机制,且通过 WLM 模型构建了包含这两类失效机制共同作用于导线的关系表达式.因此,基于 WLM 的 BLM 分布要比 THLM 分布更适合用于描绘导线故障概率的时间分布.

2.2 CMOS 器件故障概率的时间分布

在深亚微米及纳米工艺技术节点下,栅氧化层击穿被广泛认为是影响 CMOS 器件可靠性的关键因素.随着 CMOS 器件沟道长度的不断缩小,栅氧化层厚度也必须按比例缩小,而器件的工作电压却没有同比例减小,这导致加在氧化层中的电场强度急剧增加,使得栅泄漏电流增强,从而导致晶体管可靠性下降.

近年来,已有大量有关栅氧化层击穿机理与模型等研究成果被报道,主要有空穴诱导击穿模型、增强电场热化学击穿模型及幂指数模型等[11,12].各模型中栅氧化层击穿的物理机理各不相同,并都有各自所对应的适用范围.

大量业界的实验研究发现,CMOS 晶体管栅氧化层经时击穿(Time Dependent Dielectric Breakdown, TDDB)的

实验统计数据服从 Weibull 分布^[13]. 对于面积为 a 的器件, 其故障概率的时间分布表达式见式(6).

$$F(t) = 1 - \exp\left(-\left(\frac{t}{\eta}\right)^\beta a\right) \quad (6)$$

该模型适用于 PMOS 管和 NMOS 管与 TDDDB 相关的故障概率分布的拟合^[6]. 式中 $F(t)$ 表示 t 时前器件的累积故障概率; η 为特征寿命, 近似为 63.2% 的栅氧化层击穿时间; β 为 Weibull 形状参数, 通常表示为 $\beta = (T_{\text{INT}} + T_{\text{OX}})/D_{\text{OX}}$, 其中 T_{INT} 为界面等效厚度, T_{OX} 为氧化层厚度, D_{OX} 为缺陷粒径.

综上所述, 从失效机理出发构建的与栅氧化层 TDDB 相关的器件故障概率的时间分布模型因有各自所确定的适用范围, 故通用性不够; 通过对器件失效实验数据的分析所建立的模型因其具有一定的普适性而被选作为本文的研究对象.

3 不同基本门故障概率的时间分布模型

3.1 基本门的构成

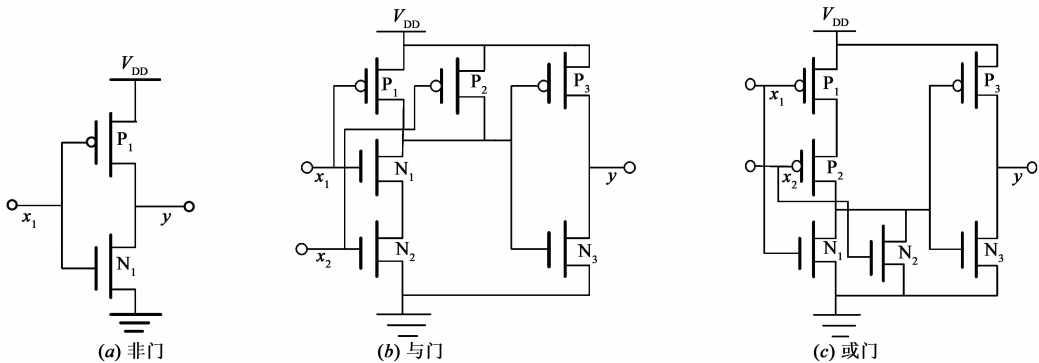


图1 CMOS传统基本门的内部结构示意图

不难看出, PMOS 管或 NMOS 管的故障未必会立即引起基本门故障. 首先, 不同的输入负载导致基本门故障的概率往往也不相同, 以图 1(b) 为例, 当 $x_1 = 0, x_2 = 0$ 时, P_1, P_2 对故障的敏感性较 $x_1 = 1, x_2 = 1$ 时要弱. 而在图 1(c) 中, 在 $x_1 = 1, x_2 = 1$ 时, P_1 故障不会引起基本门的故障, 而在 $x_1 = 0, x_2 = 0$ 时则导致其故障. 其次, 不同物理位置的 MOS 管的故障导致基本门故障的概率也是存有差异的, 如在图 1(b) 中, 当 $x_1 = 0, x_2 = 1$ 时, P_1 故障可导致与门出错; 而 P_2 故障时与门的输出是正常的.

不失一般性, 假设有 m 个输入的基本门 C 是由 n_p 个 PMOS 管和 n_n 个 NMOS 管构成, 其传统基本门用 C 表示. 再假设第 i 个 PMOS 管和第 j 个 NMOS 管在 t 时前的独立故障概率分别为 $P_i^P(t)$ 和 $P_j^N(t)$. 在输入负载为 $x_1 x_2 \cdots x_m$ 时, C 在 t 时前的故障概率为 $P_{x_1 x_2 \cdots x_m}^C(t)$. 有如下定理.

定理 1 设 $x_k \in \{0, 1\}, k = 1, 2, \dots, m; y \in \{0, 1\}; x_1 x_2 \cdots x_m \rightarrow y$ 表示在输入负载为 $x_1 x_2 \cdots x_m$ 时, 传统基本

传统的基本门一般指的是与门、或门和非门等门电路, 一个门级电路可看成是由一组传统基本门及其互连导线所组成的. 本文将传统基本门和互连导线均看成是基本门. 它被分成三种类型, 第一类基本门由传统基本门及其输入导线所构成, 第二类基本门是由扇出分枝所构成, 而第三类基本门是由单根原始输出导线所构成.

输入导线故障或传统基本门故障都将可能引起第一类基本门故障, 而输入导线故障将可能会造成另外两类基本门故障. 考虑到多故障情形, 对基本门故障概率的研究有必要同时考虑输入导线与传统基本门的故障概率.

3.2 结合输入负载的传统基本门故障概率计算

以图 1 所示的 CMOS 与门、或门和非门结构为例, P_i 表示第 i 个 PMOS 管, N_j 表示第 j 个 NMOS 管, x_k 表示第 k 个输入, y 表示输出.

门的正确输出本应为 y , 但由于故障原因而没有输出 $y; 1 - P_i^H(t)$ 表示第 i 个晶体管 H 在 t 时前的可靠度, $H \in \{P, N\}; (\{P_i^H(t)\} \parallel \{1 - P_i^H(t)\})$ 表示第 i 个 H 的 $P_i^H(t)$ 和 $1 - P_i^H(t)$ 不能同时存在于一个乘法项中.

$P_{x_1 x_2 \cdots x_m}^C(t)$ 可表示为:

$$P_{x_1 x_2 \cdots x_m}^C(t) = \sum_{x_1 x_2 \cdots x_m \rightarrow y} [(\{P_1^P(t)\} \parallel \{1 - P_1^P(t)\}) \times \cdots \times (\{P_{n_p}^P(t)\} \parallel \{1 - P_{n_p}^P(t)\}) \times (\{P_1^N(t)\} \parallel \{1 - P_1^N(t)\}) \times \cdots \times (\{P_{n_n}^N(t)\} \parallel \{1 - P_{n_n}^N(t)\})] \quad (7)$$

定理 1 表明, 不同拓扑结构的传统基本门应有不同的故障概率. 对图 1 所示的传统基本门, 由于输入负载、拓扑结构与 MOS 管数量的不同使其有不同的故障概率, 不同输入负载下的传统基本门故障概率也不相同.

表 1 给出了在不同的输入负载下, 典型的 3 种传统

基本门在 t 时前的转移概率矩阵 (Probabilistic Transfer Matrix, PTM). 为了方便, 假设所有 PMOS 管和 NMOS 管在 t 时前的独立故障概率相同, 分别记为 $P^P(t)$ 和 $P^N(t)$.

表 1 传统基本门所对应的 PTM

传统基本门	传统基本门的 PTM		
2 输入与门	$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} 1 - Z_{100}(t), & Z_{100}(t) \\ 1 - Z_{101}(t), & Z_{101}(t) \\ 1 - Z_{110}(t), & Z_{110}(t) \\ 1 - Z_{111}(t), & Z_{111}(t) \end{bmatrix} \end{matrix}$		
	2 输入或门	$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} 1 - Z_{200}(t), & Z_{200}(t) \\ 1 - Z_{201}(t), & Z_{201}(t) \\ 1 - Z_{210}(t), & Z_{210}(t) \\ 1 - Z_{211}(t), & Z_{211}(t) \end{bmatrix} \end{matrix}$	
		非门	$\begin{matrix} & 0 & 1 \\ 0 & \begin{bmatrix} 1 - Z_{30}(t), & Z_{30}(t) \\ 1 - Z_{31}(t), & Z_{31}(t) \end{bmatrix} \\ 1 & \begin{bmatrix} 1 - Z_{30}(t), & Z_{30}(t) \\ 1 - Z_{31}(t), & Z_{31}(t) \end{bmatrix} \end{matrix}$

其中,

$$Z_{100}(t) = ((P^P(t))^2 + (P^N(t))^2 - (P^P(t))^2(P^N(t))^2)(1 - P^P(t) - P^N(t)) + P^P(t)P^N(t),$$

$$Z_{101}(t) = (P^P(t)(1 - P^P(t)) + P^N(t)(1 - P^N(t)) - P^P(t)P^N(t)) \cdot (1 - P^P(t))(1 - P^N(t))(1 - P^P(t) - P^N(t)) + P^P(t)P^N(t),$$

$$Z_{110}(t) = Z_{101}(t),$$

$$Z_{111}(t) = ((1 - P^P(t))^2 + (1 - P^N(t))^2 - (1 - P^P(t))^2(1 - P^N(t))^2)(1 - P^P(t) - P^N(t)) + P^P(t)P^N(t);$$

$$Z_{200}(t) = (1 - P^P(t))(1 - P^N(t)) - (1 - P^P(t))^2(1 - P^N(t))^2(1 - P^P(t) - P^N(t)),$$

$$Z_{201}(t) = (P^P(t))^2(P^N(t))^2(1 - P^P(t))(1 - P^N(t)) + (1 - P^P(t))(1 - P^N(t)) - P^P(t)P^N(t)(1 - P^P(t))2(1 - P^N(t))^2),$$

$$Z_{210}(t) = Z_{201}(t),$$

$$Z_{211}(t) = (1 - P^P(t))(1 - P^N(t))(1 - (P^P(t))^2(P^N(t))^2) + (P^P(t))^3(P^N(t))^3;$$

$$Z_{30}(t) = 1 - P^N(t) - P^P(t) + P^P(t)P^N(t),$$

$$Z_{31}(t) = P^P(t)P^N(t).$$

3.3 基本门的故障概率模型

设 $p_i^k(t)$ ($k = 1, 2, \dots, m$) 表示基本门的第 k 根输入导线在 t 时前的独立故障概率, 其传统基本门 C 对应的 PTM 记为 $M_p^C(t)$. 对图 2 的基本门, 定理 2 给出了其在 t 时前的 PTM 的计算方法, 该方法考虑了输入负

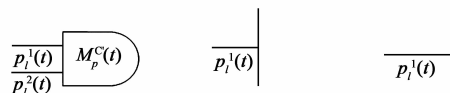


图 2 三类基本门的结构

载及输入导线的故障概率.

定理 2 对于基本门 C , 若第一类基本门的 $M_p^C(t)$ 可通过定理 1 计算得到, 对于有 h 个扇出分枝的第二类基本门有 $M_p^C(t) = [1, 0, \dots, 0; 0, 0, \dots, 1]_{2 \times 2^h}$, 第三类基本门的 $M_p^C(t) = [1, 0; 0, 1]_{2 \times 2}$, $M_{p_i^k}(t) = [1 - p_i^k(t), p_i^k(t); p_i^k(t), 1 - p_i^k(t)]$, $k = 1, 2, \dots, m$; 二元运算符 \otimes 表示张量积运算, 那么 C 在 t 时前的 PTM 可表示为:

$$M_p^C(t) = (M_{p_i^1}(t) \otimes M_{p_i^2}(t) \otimes \dots \otimes M_{p_i^m}(t)) \times M_p^C(t) \quad (8)$$

据定理 1 和 2 可知, 对于由 n_p 个 PMOS 管和 n_n 个 NMOS 管所构成的基本门, 若它含有 m 根输入导线, 则针对任意的输入负载, 它的平均计算复杂度为 $O((n_p + n_n)2^{n_p + n_n + m - 1})$. 事实上, 基本门故障概率的计算开销并不大, 因为在实际电路中, 构成基本门的晶体管数与输入导线数通常都非常小.

通过分析比较, 本文选取了 (1) 准确性更好的基于 WLM 的 BLM 分布以表示导线故障概率的时间分布; (2) 通用性更强的 Weibull 分布以描绘 CMOS 器件故障概率的时间分布. 利用定理 2 所构建的表达式可用于估计包含输入导线的各类基本门在任意输入负载下其故障概率与时间的关系. 再结合门级电路可靠性评估方法^[2], 即可更加准确地评估考虑了结构、工艺、应力、所用材料等因素的电路的可靠性.

4 实验与分析

分析了文献[9]采集到的铜导线的失效实验数据, 并验证了基于 WLM 模型的 BLM 分布作为输入导线故障概率时间分布模型的合理性. 利用 Monte Carlo 方法、美国军用标准 MIL-HDBK - 217^[5]及本文方法计算了 IS-CAS85 基准电路的可靠度, 并对结果进行了比较, 还利用相关行业标准对本文方法的计算结果进行了检验. 最后分析了工艺尺寸、负载等因素对基本门故障概率的影响及电路对基本门故障的敏感性.

为了便于计算, 假设文中各基本门的所有输入导线、MOS 管的故障机理分别相同, 且在 t 时前的故障发生概率也分别相同. 若没有特殊说明, 文中参数取值为: $w = 0.5 \times 10^{-4}$ cm, $T_m = 0.5 \times 10^{-4}$ cm, $j = 4 \times 10^{-3}$ A/cm², $T = 345.15$ k, $E_{ox} = 3$ mv/cm, $V = 1.2$ v, $a = 5 \times 10^{-4}$ cm², $T_{ox} = 11$ nm.

4.1 输入导线故障模型的选择

分别运用 THLM 分布与基于 SPM 和 WLM 的 BLM 分布对采集到的输入导线的实验失效数据进行拟合的效果见图 3.

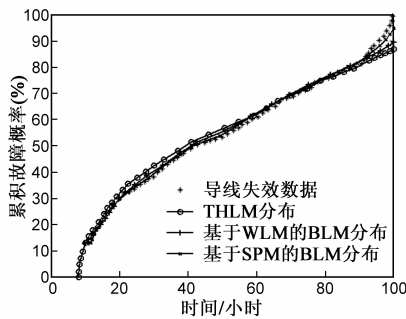


图3 输入导线故障概率时间分布模型的比较

从图3可知, THLM分布的位置参数 x_0 要小于但接近于导线的首次故障时间, 故在早期失效期, THLM分布的拟合曲线比实际值延伸的更长, 且与横坐标相交, 而在稳定期, 曲线与实际数据符合得较好. 基于SPM和WLM的BLM分布拟合曲线在导线的早期失效期和稳定期均与实际数据符合得较好. 在磨损期, BLM分布的拟合效果要优于THLM分布, 而WLM的拟合效果又要优于SPM, 它们都反映了导线在不同失效期的故障趋势. 表2给出了上述三种方法的拟合优度. 其中, SPM与WLM的误差平方和(SSE)与标准差(RMSE)要小于THLM分布, 且WLM的SSE与RMSE又要小于SPM; 而确定系数(R-square)和校正后的确定系数(Adjusted R-square)要大于THLM分布, 且WLM的R-square与Adjusted R-square又要大于SPM. 因此, 导线故障概率的BLM分布要优于THLM分布, 且基于WLM的BLM分布拟合效果又要优于SPM. 故本文选择基于WLM的BLM分布作为输入导线故障概率的时间分布.

表2 三种不同方法的曲线拟合优度

名称	SSE	R-square	Adjusted R-square	RMSE
THLM分布	0.7648	0.9536	0.9536	0.07002
基于WLM的BLM分布	0.4613	0.972	0.9717	0.05473
基于SPM的BLM分布	0.5992	0.9637	0.963	0.06258

4.2 方法的比较

本文选取了部分覆盖各类主要基本门电路的IS-CAS85基准电路, 采用前述三种方法的计算结果进行了比较.

针对Monte Carlo方法, 由于基本门的故障概率与其类型有关, 因此不同基本门的故障注入概率应由其所对应的PTM决定. 其中假定所有基本门的输入服从均匀分布.

本文选用了ISCAS85的C432、C499、C880、C1355、C1908、C2670等6个电路为对象, 在芯片的“失效偶发期”(一些书上指明是5年~25年)内, 选取了三个时间

点 $t=10$ 年、 $t=15$ 年和 $t=20$ 年, 且在各对应时间点下的 $(\pi_L, \pi_Q, \pi_P, \pi_T, \pi_E)$ 分别取值为 $(1.3, 0.1, 0.2)$ 、 $(2, 0.1, 0.2)$ 、 $(3.5, 0.1, 0.2)$, 其中, $\pi_L, \pi_Q, \pi_T, \pi_E, \pi_P$ 分别为学习、质量、温度、环境、引脚因子. 输入导线WLM模型的两激活能参数分别取值为 $E_a^A=1.2$, $E_a^B=0.9$, 标准差 $\delta_A=0.9$, $\delta_B=0.2$ ^[14]. 通过定理2的方法获得了各基本门在上述三个时间点所对应的PTM, 再分别利用迭代PTM方法^[2]、美军标MIL-HDBK-217和Monte Carlo方法, 在DELL PC (CPU为Core 2 @ 3.0GHz, 内存为1.98GB)上计算了上述6个电路的可靠度, 结果见图4, 并对计算结果进行了比较.

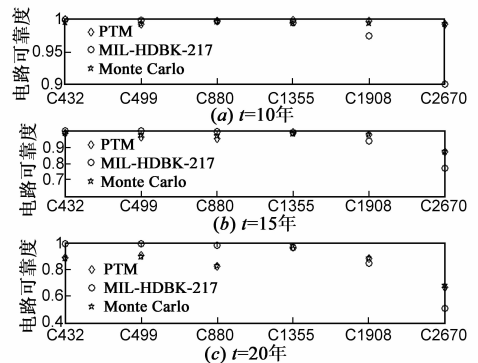


图4 不同方法计算的电路可靠度比较

由于上述6个电路的可靠度随时间变化的趋势相似, 故图5只选取了C432、C1355和C1908等3个电路作为代表, 利用本文方法计算了电路随时间变化的故障概率.

为了进一步验证本文方法的有效性, 在置信度水平分别为0.2、0.1、0.05、0.02、0.01时, 选用了工业上通行的电子产品失效的Weibull分布拟合了图5所示电路的计算结果, 并进行了Kolmogorov检验, 结果表明本文方法的计算结果服从Weibull分布.

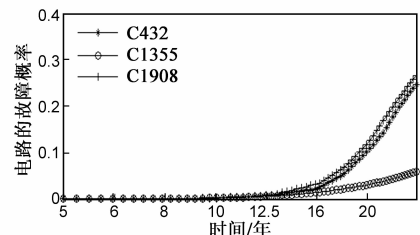


图5 三个代表性电路随时间变化的故障概率

从图4可知, 迭代PTM方法的计算结果与Monte Carlo模拟的电路可靠度非常接近. 而随着时间与电路规模的增加, 美军标方法与本文方法的结果的差异则在不断扩大, 这主要是因为(1)随着时间的增加, 电路的故障概率在增大, 而美军标方法随时间变化的可靠度计算指标过于单一; (2)美军标方法计算结果的复杂

性因子仅与基本门的数量相关联,这使得可靠度的计算结果随电路规模的增大而减小.事实上,电路的可靠度不仅与门数相关,还与其拓扑结构、工艺、应力等因素有关.注意到在 C1355 上,本文方法与美军标方法计算的结果非常接近,这主要是由于 C1355 的结构较为稳定,其可靠度受其它因素的影响较小,在 4.4 节中的实验结果也证实了这一点.

4.3 基本门的故障概率分析

本文以与非门、或非门等基本门为对象,根据定理 2 的解析式,分析了在不同输入负载下,基本门随时间变化的故障概率,结果见图 6. 还讨论在不同输入负载下,工艺尺寸对基本门故障概率的影响,以与非门为例,分别分析了导线横截面积、电容器面积对其故障概率的影响,结果见图 7,8;分析了在不同的栅氧化层厚度下,CMOS 器件的故障概率随时间变化的趋势,结果见图 9.

从图 6 可知,在相同的输入负载下,不同基本门对应的故障概率通常并不相同,由于在实验中假设 MOS 管在 t 时前的故障概率相同,而标准与非门和或非门在结构上又是对称的,因此,在输入为 01 与 10 时,它们的故障概率相同;在不同的输入负载下,各基本门对应的故障概率往往也不相同.总之,基本门的拓扑结构是导致上述差异的主要原因.

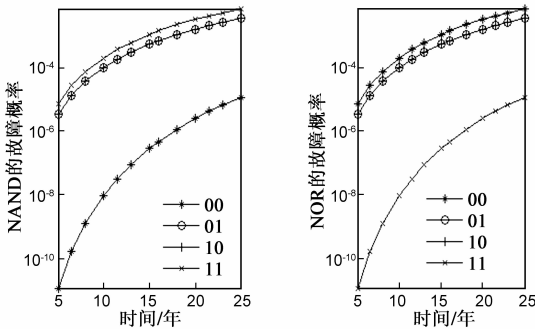


图6 不同负载下基本门随时间变化的故障概率

图 7 表明,随着导线横截面积的增大,不同负载下的基本门故障概率在减小.因为横截面积的增大,使得导线的寿命得以延长;而与非门在输入为 00 时,对这种

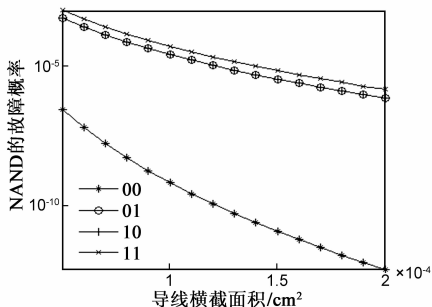


图7 随横截面积变化的与非门故障概率($t=15$ 年)

改变的灵敏性尤为明显,这主要是因为与非门在该负载下对故障的容错能力更强.

从图 8 可知,与非门随着电容器面积的增加,输入为 00、01、10 时的故障概率与输入满足均匀分布的情况下获得的故障概率期望都呈增大趋势,而在输入为 11 时,故障概率却呈现出减小趋势.这是因为随着电容器面积的增加,介质层针孔和金属平板上的金属尖刺出现的机率也随之增大,从而导致与非门在上述的几种输入负载下故障概率及其故障概率期望的增大;但在输入为 11 时,介质层的缺陷吸附电子能力反而减弱,从而使得与非门的故障概率有减小趋势.

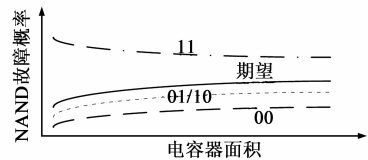


图8 随电容器面积变化的与非门故障概率效果图($t=25$ 年)

图 9 表明,随着栅氧化层厚度的减小,CMOS 器件的故障概率在增大.这是因为随着栅氧化层厚度的不断变薄,在强电场作用下其更易于被击穿,且 CMOS 器件的主要故障机理也在相应改变.

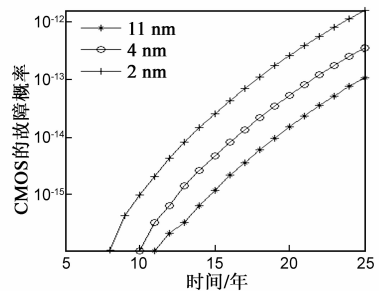


图9 不同栅氧化层厚度下的 CMOS 器件故障概率

4.4 电路对基本门故障概率的敏感性分析

为了进一步分析基本门与电路可靠性之间的关系,比较了不同电路对故障的敏感性,及电路受不同基本门的影响程度.为了消除由于规模效应而导致的电路可靠度累积作用的影响,本文比较的是单位数量的基本门影响下的电路可靠度的改变量 ΔR .

不同电路所含基本门的数量通常并不相同,选取并分析了 C432、C1355、C6288 等电路对故障的敏感性,其中 t 的取值分别为 10 年、20 年, $\Delta t = 0.5$ 年,结果见图 10.

为了比较不同基本门对电路可靠性的影响程度,选用了典型的与门、与非门、非门等分析了 C432、C1355 等两个电路在 $t = 20$ 年, $\Delta t = 0.5$ 年时, ΔR 的变化.其中若某基本门故障,令其它基本门均处于理想状态,结果见图 11.

从图 10 可知,在 t 分别取 10 与 20 时, ΔR 从大到小依次为 C432、C6288、C1355,因此可说, C432 对故障的敏感性最强,其次为 C6288 和 C1355 最稳定,这主要是由电路的拓扑结构所决定.在 t 取不同值时,同一电路的 ΔR 并不相同,时间越长, ΔR 越大,这是因为电路故障概率的大小受使用时间的影响.

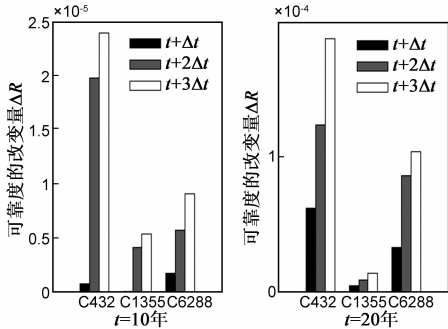


图10 不同基准电路对故障的敏感性比较

图 11 的结果表明,同一基本门对不同电路的敏感性是有差异的,如与门、与非门、非门各自对 C432 的 ΔR 都要大于 C1355,这也进一步验证了图 4 的结论.电路对不同基本门的敏感性通常也不相同,如 C432 和 C1355,它们对与门的敏感性最强,其次为与非门和非门最小,尤其是 C1355,在 $t = 20$ 时对非门的敏感性较弱.

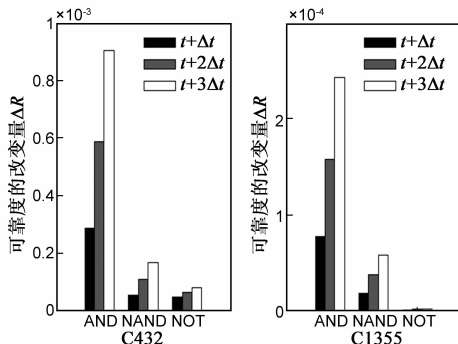


图11 电路对不同基本门的敏感性比较

5 结论

本文分析比较了几种典型的导线故障概率的时间分布模型,选择了更为合理的基于 WLM 模型的 BLM 分布来表示基本门输入导线的故障概率分布;结合 CMOS 器件故障概率的时间分布模型,构建了考虑输入负载和时间等因素的基本门的故障概率解析模型.该模型不仅反映了不同基本门故障概率之间的差异,还体现了其故障概率在各种输入负载下随时间的变化关系.通过美国军用标准 MIL-HDBK-217 方法计算的和 Monte Carlo 方法模拟的 ISCAS85 基准电路的可靠性与本文方法计算结果的比较,及工业上应用的电子产品的失效时间分布模型的检验,验证了本文所构建模型

的合理性.还分析了基本门的故障概率受有关设计参数的影响及其与电路可靠性之间的关系.

参考文献

- [1] 王真,江建慧.基于概率转移矩阵的串行电路可靠度计算方法[J].电子学报,2009,37(2):241-247.
WANG Zhen,JIANG Jian-hui. A serial method of circuit reliability calculation based on probabilistic transfer matrix [J]. Acta Electronica Sinica,2009,37(2):241-247. (in Chinese)
- [2] J Xiao,J-H Jiang,X-G Zhu. A method of gate-level circuit reliability estimation based on iterative PTM model[A]. Proceeding of IEEE 17th Pacific Rim International Symposium on Dependable Computing[C]. Los Alamitos: IEEE Computer Society,2011. 276-277.
- [3] Han J,Hao C,Erin B. Reliability evaluation of logic circuits using probabilistic gate models [J]. Microelectron Reliability, 2011,51(2):468-476.
- [4] 王真,江建慧.考虑版图级因素的 PTM 中故障感染率的计算[J].哈尔滨工业大学学报,2009,41(S):124-129.
Wang Zhen, Jiang Jian-hui. The calculation of fault infection probability in PTM considering factors of layout[J]. Journal of Harbin Institute of Technology, 2009, 41(S): 124-129. (in Chinese)
- [5] 肖杰,江建慧.结合版图结构信息的基本门电路故障概率估计[J].电子学报,2012,40(2):235-240.
Xiao Jie, Jiang Jian-hui. The estimation of fault probability of elementary gates based on the layout structure information[J]. Acta Electronica Sinica,2012,40(2):235-240. (in Chinese)
- [6] J-X Fang, S S Sapatnekar. Scalable methods for the analysis and optimization of gate oxide breakdown[A]. Proceeding of IEEE 11th International Symposium on Quality Electronic Design[C]. Los Alamitos: IEEE Computer Society,2010. 638-645.
- [7] MIL-HDBK-344A. Military handbook: Environmental stress screening of electronic equipment[S].
- [8] Liew B K,Fang P,Hu C M. Circuit reliability simulator for interconnect, via, and contact electromigration[J]. IEEE Transactions on Electronic Devices, 1992,39(11):2472-2479.
- [9] Li B Z,Christiansen C,Gill J, et al. Threshold electromigration failure time and its statistics for Cu interconnects[J]. Journal of Applied Physics,2006,100(114516):1-10.
- [10] Fischer A H, Abel A, Lepper M, et al. Modeling bimodal electromigration failure distributions[J]. Microelectronics Reliability, 2001,41(3):445-453.
- [11] 辛维平,庄奕琪,李小明.片上栅氧化经时击穿失效监测电路与方法[J].电子学报,2012,40(11):2188-2193.
Xin Wei-ping, Zhuang Yi-qi, Li Xiao-ming. An on-chip circuit for monitoring failure due to TDDB[J]. Acta Electronica Sini-

ca, 2012, 40(11): 2188 – 2193. (in Chinese)

- [12] Wu E Y, Sune J. Power law voltage acceleration: a key element for ultra-thin gate oxide reliability [J]. *Microelectronic Reliability*, 2005, 45(12): 1809 – 1834.
- [13] Wu E Y, Nowak W J, Vayshenker A, et al. CMOS scaling beyond the 100-nm node with silicon-dioxide-based gate di-

electrics [J]. *IBM Journal of Research and Development*, 2002, 46(2/3): 287 – 298.

- [14] Jong H P, Byung T A. Electromigration model for the prediction of lifetime based on the failure unit statistics in aluminum metallization [J]. *Journal of Applied Physics*, 2003, 93(2): 883 – 892.

作者简介



肖 杰 男, 1984 年生, 江西吉安人. 同济大学计算机系统结构专业博士研究生. 从事可信计算, 网络可靠性等方面的研究.

E-mail: xiaojiexqj@gmail.com



江建慧 男, 1964 年生, 浙江淳安人. 博士、教授、博士生导师, 从事可信系统与网络、软件可靠性工程、VLSI 测试与容错等方面的研究.

E-mail: jhjiang@tongji.edu.cn