

# 基于三维芯片热驱动的扫描测试策略

神克乐<sup>1</sup>, 向东<sup>2</sup>

(1. 清华大学计算机系, 北京 100084; 清华大学软件学院, 北京 100084)

**摘要:** 本文针对三维芯片测试, 首先提出了一种扫描结构, 这种结构考虑了硅通孔(through silicon vias)互连的代价, 在有效的降低测试时间的同时, 还可以压缩测试激励数据和测试响应; 另外在降低温度方面, 扫描树结构也有很好的表现. 在三维芯片中的热点(hotspot)经常会影响性能和可靠性. 接着, 本文提出了一种测试向量排序策略, 从而避免测试向量可能会导致温度分布不均, 有效的降低了三维芯片的温度. 实验结果表明, 本文提出的扫描树结构要比传统的扫描链结构在峰值温度方面降低了 15%. 如果在扫描树结构上应用测试排序策略, 芯片上峰值温度可以降低超过 25%.

**关键词:** 热驱动测试策略; 扫描树; 三维芯片; 测试排序

**中图分类号:** TP391.76; TN407

**文献标识码:** A

**文章编号:** 0372-2112 (2013) 06-1202-05

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2013.06.025

## Three Dimensional ICs Thermal-Driven Test Application Scheme

SHEN Ke-le<sup>1</sup>, XIANG Dong<sup>2</sup>

(1. Department of Computer Science, Tsinghua University, Beijing 100084, China; 2. School of Software, Tsinghua University, Beijing 100084, China)

**Abstract:** In order to continue the Moore's law, three dimensional integrated circuit(3D IC) provides an efficient solution. Although 3D IC has a lot of advantages, it faces a set of challenges. Thermal dissipation is one of the most serious problems. In this paper, we proposed a scan architecture for 3D IC testing. Moreover, we develop a test ordering scheme in order to prevent hotspot in the 3D IC from getting higher. Experiment results present that the peak temperature can be reduced by 15%. When combined with test ordering scheme, the three dimensional scan tree can even reduce peak temperature by more than 25%.

**Key words:** thermal driven; scan tree; 3D IC(three dimensional integrated circuit); test ordering

## 1 引言

随着集成电路的复杂度越来越高, 芯片上的互连成了阻碍性能提高的一个瓶颈<sup>[1]</sup>. 三维封装技术便是延续摩尔定律的一个解决方案. 三维封装技术, 是指在封装尺寸不变的情况下, 在同一个封装体内于垂直方向叠放两片以上芯片的封装技术<sup>[2]</sup>. 三维封装技术包含以下几个优点: 首先, 通过利用硅通孔(through silicon vias)技术<sup>[16~18]</sup>将芯片的每一层连接起来, 连线长度会缩短很多, 连线长度的缩短会使性能提高; 其次, 三维技术可以将不同技术的芯片集成在一个三维芯片上, 不同的技术应用包括微电子机械系统、图像传感器等等; 最后, 由于连线长度的减少, 芯片的能耗也很相应降低<sup>[13]</sup>.

三维芯片有着复杂的设计和制造流程. 其中, 测试方法和热问题是最大的两个问题<sup>[19,20]</sup>. 针对热问题, 由

于在二维芯片这一问题就已经存在, 三维芯片更是以其高互连密度使内热问题日趋严重. 随着 COMS 技术的发展<sup>[3,4]</sup>, 微电子设计中的功率密度不断增加, 这会进一步导致芯片温度的增加, 芯片上的热点(hotspot)温度比其他地方要高出许多, 这样会导致可靠性急剧下降, 制造成本也显著上升.

近年来, 国内外有很多针对三维芯片测试问题的研究工作. Wu<sup>[5]</sup>设计了一种降低连线开销和 TSV 数目的三维芯片技术, Noia<sup>[6]</sup>最近提出了一种基于三维芯片的测试结构优化方法. 这种方法可以最大化的缩小测试时间. 在文<sup>[15]</sup>中, Goplen 和 Sapatnekar 提出了一种在三维芯片上均衡分配热区域的方法. Zhou<sup>[9]</sup>和 Liu<sup>[10]</sup>介绍了一种基于三维微处理器的改善温度环境的测试方法. 然而之前的工作, 都没有针对三维芯片, 给出有效的降低热点温度并压缩数据的方法. 在测试向量压缩方面, 文

章[21]提出了一种应用于多扫描链的数据压缩方法.也有学者<sup>[22]</sup>提出了一种基于游程编码的测试数据压缩方法.同时,在芯片的扫描测试方面,文章[7,8,14,23]也提出了很好的扫描测试策略.

本文提出一种新颖的热驱动测试策略从而降低高温的热点.主要贡献在:(1)提出了一种基于三维芯片的绑定前扫描树结构,这种结构可以降低连接开销和硅通孔的数目,同时,利用测试仪的并行测试特性,基于三维芯片绑定前的扫描树也可以有效地降低测试时间,压缩测试数据.(2)提出一种测试向量排序,可以用来防止热点温度继续升高,从而提高三维芯片的可靠性.

## 2 热驱动测试策略的基本流程

基于三维芯片的热驱动扫描测试流程.首先,利用电路分割工具<sup>[11]</sup>,将一个大电路分割成多个子电路,每个子电路作为三维芯片的一层.任意一对子电路之间的连接数目最小化会导致硅通孔数目的最小化.三维芯片在测试的时候分为绑定前(prebond)和绑定后测试,本文针对绑定前的三维芯片进行测试,新的扫描结构是用来降低硅通孔的数目的.当新的扫描结构,即扫描树建立好以后,就可以得到初始温度.

基于三维芯片的扫描测试过程分为多个周期,每个周期都会在一层芯片上选取测试向量的一个子集.子集被选的依据是不会使三维芯片上的热点温度继续升高上去,每一个测试周期之后电路的温度信息都会更新,同时另外一组也会按同样的选择依据被选择.当所有向量都被选择之后,整个测试过程就结束了.我们使用已有的温度分析工具 ISAC2<sup>[12]</sup>来估算三维芯片的温度.在布局完电路之后,三维扫描树就会被建立起来.

接下来我们采用提出的测试排序策略,首先会生成测试集,并且根据最不会使热点温度升高的标准选择测试集,然后迭代作为电路的激励,最后得到的温度是最大化规避热点再次升高的电路温度.

## 3 基于三维芯片的绑定前扫描结构

由于芯片测试的开销很大,而测试开销是由测试时间和测试数据量决定的.因此,我们提出一种三维芯片的扫描树结构,这个结构可以有效地降低测试时间.同时可以压缩测试激励数据和测试响应,在降低温度方面,扫描树结构也有很好的表现.

扫描树的分组原则是如果两个扫描触发器没有相同的组合后继,就将它们分进一组中.一个扫描输入端不能直接驱动一棵扫描树中的所有扫描链,这是为了防止路由开销过大.通常采用的方式是利用多级分配

来降低路由开销.

扫描树的具体实现方法如下,首先令  $C, D$  和  $T$  分别为扫描输入端口,扫描森林的深度和扫描树的个数.为了便于阐述,假设扫描输入端口直接驱动所有的扫描链.当一组中的扫描触发器个数很大的时候,就可以将这些扫描触发器建立一棵扫描树.令  $C = C_1 \cdot C_2$ .扫描输入端口驱动扫描触发器  $C_1$ ,每个扫描触发器  $C_1$  又在第三级驱动扫描触发器  $C_2$ ,最后每个第三级的扫描触发器再驱动一条扫描链.这个策略可以有效地降低路由开销.不失一般性,假设每个扫描输入端口都直接驱动扫描链.

扫描树策略是按照距离扫描输入端口最小的距离选取扫描触发器  $f_{1,1}, f_{1,2}, \dots, f_{1,c}$ .扫描触发器  $f_{1,1}, f_{1,2}, \dots, f_{1,c}$  在电路的组合模块中应当没有共同的后继.扫描触发器  $f_{1,1}, f_{1,2}, \dots, f_{1,c}$  既可以被放置在三维芯片当中相同的层又可以被放置在不同的层.而第一次选取的这些触发器作为第一级,基于这种方法,本文可以选取扫描触发器  $f_{2,1}, f_{2,2}, \dots, f_{2,c}$ ,这些触发器和扫描触发器  $f_{1,1}, f_{1,2}, \dots, f_{1,c}$  分别相连.这样选取的依据是使得扫描触发器对  $(f_{1,1}, f_{2,2}), (f_{1,2}, f_{2,2}), \dots, (f_{1,c}, f_{2,c})$  加起来的长度最小.当  $D$  深度的扫描树建立之后,这个过程就结束了.

同样的策略可以应用到剩下的  $T-1$  棵树的建立上.硅通孔的长度可以设为是通常一对扫描触发器长度的数倍,以便降低扫描树种硅通孔的个数.被同一个扫描输入端驱动的扫描链个数  $C$  是一个重要的参数,它可以通过初试扫描触发器的组数来决定.组的大小可以通过扫描触发器的总数和扫描触发器的组数决定.通过以上步骤,这种基于三维芯片的扫描树结构可以有效的降低测试时间,同时压缩测试激励数据.

图1展示的是扫描树的测试结构.基于三维芯片的绑定前测试结构中包含了  $k$  棵扫描树.测试响应压缩

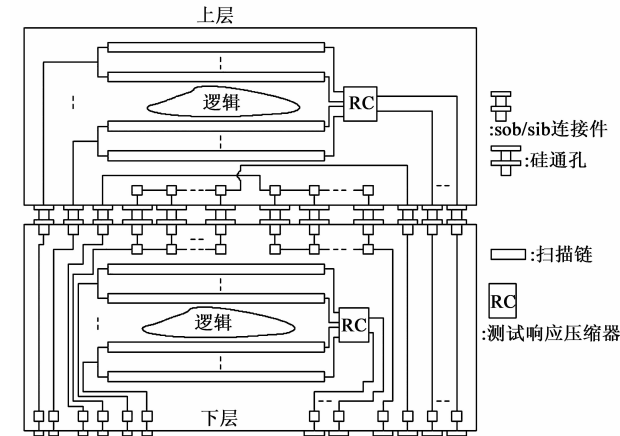


图1 三维芯片扫描树的绑定前测试结构

(RC)用来最后压缩测试数据.测试响应压缩器也是针对结构分析和不可测的错误而建立的.

#### 4 热驱动的绑定前测试排序策略

热驱动绑定前测试策略包含两种技术:(1)扫描树结构,(2)测试排序策略.上述两种技术都可以在测试过程中降低温度.令  $P'_{in}(i)$ ,  $P'_{out}(i)$  和  $P'_{ca}(i)$  分别为扫描输入,扫描输出和捕获周的能量功耗.

$$P(i) = P'_{in}(i) + P'_{out}(i) + P'_{ca}(i) \cdot 10 \quad (1)$$

式(1)中的常量 10 是由扫描触发器周期和捕获周期的频率不同而可以变化的.

测试过程会被划分为几个阶段,每一个阶段中测试向量的一个子集都会作为电路的激励.被选取的依据就是在所有备选的子集中最不能引起热点温度升高.因此,所有的子集都进入电路之后,热点的温度会升高的最少.

- 1 首先在每一层都生成测试集,但是令  $T_m$  为每一层测试集的上限.  $T_i$  为第  $i$  层的测试集.
- 2 针对第  $i$  层,生成电路的测试集  $T_i$ ,通过运行温度分析器来得到电路的初始温度.设排序策略的周期为  $k$ .初始被选测试集  $V$  为空集.
- 3 如果  $T_i$  不为空,则执行步骤(4)~(8);否则结束整个过程.
- 4 根据式(7),同时在测试按照最不能使电路上的热点温度升高的标准选取  $1/T_m$  的  $k$ .
- 5 如果没有测试向量子集达到步骤(4)所说的超过了所给的阈值,就将被选中的测试向量添加进被选测试集  $V$  中.
- 6 将被选测试集  $V$  应用到扫描树电路中.
- 7 再次运行温度分析器得到最新的热点分布.
- 8 重新回到步骤(3)进行判定

图 2 基于三维芯片的绑定前测试向量排序策略

在扫描树结构中,令被同一个扫描输入端驱动的扫描链个数为  $g$ ,  $g$  能左右测试激励数据压缩的性能.测试时间 TAP 可以根据式(2)算出:

$$TAP = (d_1 + 1) \cdot \text{vec} + (d_1 - 1) \quad (2)$$

$d_1$  是扫描树的深度,vec 是测试向量的数目,  $d_1 - 1$

代表完全溢出测试响应的周期数.每个测试向量需要一个捕获周期.

测试开销应该由测试仪(ATE)时间决定而不是时钟周期数决定.通常,设  $f, f_1$  为两个测试频率.  $f$  为捕获周期的频率,  $f_1$  为移位周期的频率. ATE 时间可以根据以下公式估算:

$$TA = \text{vec} \cdot (1/f + d_1/f_1) + (d_1 - 1)/f_1 \quad (3)$$

$$TA_1 = \text{vec}' \cdot (1/f + d/f_1) + (d - 1)/f_1 \quad (4)$$

在式(3)和(4)中,多扫描树的测试向量数目为 vec,多扫描链的测试向量数为 vec',  $d$  和  $d_1$  分别为扫描链和扫描树的深度.

#### 5 实验结果与分析

本文实现了热驱动绑定前测试策略同时建立了三维扫描树结构.我们选取标准点路 ITC99 和一些 I-WLS2005 的基准电路.表 1 给出了我们的方法与传统的多扫描链方法在测试时间降低、连线长度 CO( $\mu\text{m}$ )和测试时间 TA(s)方面的性能对比.

可以从表 1 看出扫描树方法在测试激励数据和测试响应数据方面都比多扫描链的方法压缩了很多.其中激励数据和测试响应数据均可以被压缩到原来的 16% 以下.测试时间 TA 也比多扫描链方法降低了很多.

如图 3 图 4 所示,横坐标是测试的进程,纵坐标是电路最高区域的温度. sc 表示采用多扫描链测试策略的电路峰值温度变化趋势, st 代表采用扫描树测试策略但不进行测试向量排序的峰值温度变化趋势, st1 表示同时采用扫描树策略和测试向量排序之后的峰值温度变化趋势.我们可以看到,采用了绑定前扫描树测试策略之后,峰值温度比多扫描链策略降了 15% 左右,而如果同时采用多扫描链测试策略和向量排序之后,峰值温度比多扫描链策略可以降低 25% 左右.可以认为之所以多扫描链结构会导致热点的温度比扫描树结构的高,是因为扫描树结构可以有效地降低测试数据量,从而降低温度.

表 1 基于三维芯片热驱动测试策略的性能分析

电路	触发器	本文提出的方法				多扫描链方法			
		TDV	CO	TA	TRV	TDV	TA	CO	TRV
ethernet	10544	1476654	1886108	1.23	1452002	9087949	15.7	1716828	9125437
usb	1746	25329	200709	0.06	13015	275913	0.34	197004	279265
pci_bridge32	3360	41678	427258	0.26	56158	874494	1.63	401030	957193
b19	6642	364279	2339293	0.48	417493	5931306	8.7	2197964	7110066
vga_lcd	17079	843462	3205044	0.36	900882	44576190	16.8	2986437	44860680
des_perf	8808	4346	1000966	0.05	5025	1039344	9.52	925707	1046896

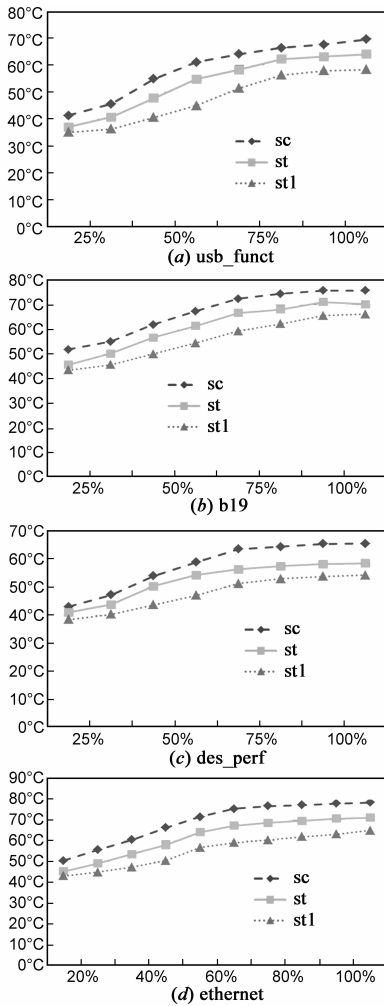


图3 热驱动测试策略在电路usb\_func, b19, des\_perf和ethernet上的性能评估

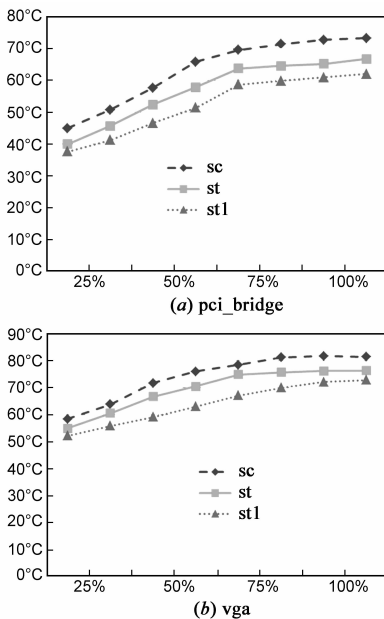


图4 热驱动测试策略在电路pci\_bridge和vga上的性能评估

## 6 结论

本文提出的基于三维芯片的测试结构,可以降低电路额外的连线开销和硅通孔(TSVs)的数目.由于三维芯片较普通的芯片更容易引起局部过热的问题,因此,我们提出了一种测试向量排序策略用来改善温度不均的问题.

本文提出的三维绑定前扫描树结构可以有效地降低芯片热点的温度.实验结果表明,基于这种结构,芯片热点的温度可以降低超过15%.当结合了扫描树和测试排序策略之后,热点的温度可以降低超过25%.另外,与传统的扫描链测试相比,本文提出的测试方法可以将测试激励数据压缩到原来的0.5%左右,测试响应数据可以被压缩到原来的0.5%左右.

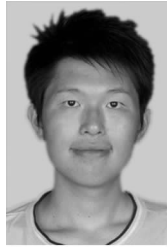
热问题是未来三维芯片一定要解决的一大问题,下一步工作的重点就是能提出更好的测试策略,从而更有效地降低三维芯片的温度.

## 参考文献

- [1] XIE Yuan, et al. Design space exploration for 3D integrated circuits[J]. ACM Journal on Emerging Technologies in Computing Systems, 2006, 2(2): 65 – 103.
- [2] WU Cheng-wen, et al. KWAI. On-chip TSV testing for three dimension integrated circuits before bonding using sense amplification[A]. Asian Test Symposium [C]. Washington, DC, USA: IEEE Computer Society, 2009. 450 – 455.
- [3] Wei Huang, et al. Compact thermal modeling for temperature-aware design [A]. DAC [C]. Washington, DC, USA: IEEE Computer Society, 2004. 878 – 883.
- [4] CHAKRABARTY K. Test challenges for three dimension integrated circuits[J]. Design & Test of Computers, 2009, 26(5): 26 – 35.
- [5] WU Xiao-xiao, et al. Scan-chain design and optimization for three-dimensional integrated circuits[J]. ACM Journal on Emerging Technologies in Computing Systems, 2009, 5(2): 9: 1 – 9; 26.
- [6] B NOIA, et al. Optimization methods for post-bond die-internal/external testing in three dimension stacked ICs[A]. IEEE International Test Conference[C]. Washington, DC, USA: IEEE Computer Society, 2010. 1 – 9.
- [7] D Xiang, et al. Low-power scan testing for test data compression using a routing-driven scan architecture[J]. IEEE Trans on Computer-Aided Design, 2009, 28(2): 1101 – 1105.
- [8] D Xiang, et al. Partial scan design based on valid state information and functional information[J]. IEEE Trans on Computers, 2004, 53(3): 276 – 287.
- [9] X Zhou, et al. Thermal-aware task scheduling for 3-D multicore processors[J]. IEEE Trans on Parallel and Distributed Systems,

- 2010, 21(1): 60 – 71.
- [10] C Liu, et al. Thermal-aware test scheduling and hot spot temperature minimization for core-based systems [A]. Defect and Fault Tolerance in VLSI Systems [C]. Washington, DC, USA: IEEE Computer Society, 2005. 552 – 560.
- [11] G KARYOIS, et al. Multilevel hypergraph partitioning: Applications in VLSI domain [J]. IEEE Trans on VLSI Systems, 1999, 7(1): 69 – 79.
- [12] Y Yang, et al. ISAC: Integrated space and time adaptive chip-package thermal analysis [J]. IEEE Trans on Computer-Aided Design, 2007, 26(1): 86 – 99.
- [13] Li Jiang, et al. Test architecture design and optimization for three-dimensional SOCs [A]. DATE' 09 [C]. Washington, DC, USA: IEEE Computer Society, 2009. 220 – 225.
- [14] D Xiang, et al. Improving the effectiveness of scan-based BIST using scan chain partitioning [J]. IEEE Trans on Computer-Aided Design, 2005, 24(6): 916 – 927.
- [15] B GOPLIN, et al. Placement of thermal vias in 3-D ICs using various thermal objectives [J]. IEEE Trans on Computer-Aided Design, 2007, 25(4): 692 – 709.
- [16] PATTI RS, et al. Three-dimensional integrated circuits and the future of system-on-chip designs [J]. Proceedings of the IEEE, 2006, 94(6): 1214 – 1224.
- [17] ERIC BEYNE, et al. 3D system integration technologies [A]. IEEE International Conference on Integrated Circuit Design and Technology [C]. Washington, DC, USA: IEEE Computer Society, 2007. 1 – 3.
- [18] PHILIP GARROU, et al. Handbook of 3D Integration-technology and Applications of 3D Integrated Circuits [M]. Weinheim: Wiley-VCH, 2008, 5 – 8.
- [19] B NOIA, et al. Test-architecture optimization for TSV-based 3D stacked ICs [A]. IEEE European Test Symposium [C]. Washington, DC, USA: IEEE Computer Society, 2010. 24 – 29.
- [20] Lee H, et al. Test challenges for 3D integrated circuits [J]. IEEE Design & Test of Computers, 2009, (99). 26 – 35.
- [21] 刘杰, 梁国华, 等. 动态向量调整的多扫描链测试数据压缩 [J]. 电子学报, 2012, 40(2): 287 – 292.  
LIU Jie, LIANG Guo-hua, et al. Test data compression for multiple scan chains with dynamic vector adjustment [J]. Acta Electronica Sinica, 2012, 40(2): 287-292. (in Chinese)
- [22] 方建平, 郝跃, 等. 应用混合游程编码的 SOC 测试数据压缩方法 [J]. 电子学报, 2005, 22(11): 1973 – 1977.  
FANG Jian-ping, HAO Yue, et al. A hybrid run-length coding for soc test data compression [J]. Acta Electronica Sinica, 2005, 22(11): 1973 – 1977. (in Chinese)
- [23] 李兆麟, 叶以正, 等. 全扫描设计中多扫描链的构造 [J]. 电子学报, 2000, 28(2): 90 – 93.  
LI Zhao-lin, YE Yi-zheng, et al. Configuration of multiple scan chains in full scan design [J]. Acta Electronica Sinica, 2000, 28(2): 90 – 93. (in Chinese)

#### 作者简介



神克乐 男, 1988 年 1 月出生于江苏省南京市. 现为清华大学计算机系博士生. 主要研究方向是三维集成电路测试.

E-mail: sk110@mails.tsinghua.edu.cn



向东 男, 1966 年出生于重庆市. 现为清华大学软件学院教授, 博士生导师, 杰出青年. 主要研究方向为集成电路测试, 分布式计算, 容错计算.

E-mail: dxiang@tsinghua.edu.cn