

用于 CMOS 图像传感器的 12 位低功耗单斜坡模数转换器设计

唐 枋, 唐建国

(重庆三峡学院电子与信息工程学院, 重庆 404000)

摘 要: 本文提出了一种应用于 CMOS 图像传感器中的高精度低功耗单斜坡模数转换器(single slope analog-to-digital converter)设计方案. 该 ADC 方案由可变增益放大器、前置预放大器和动态锁存比较器组成. 相比现有的设计方案, 本文提出的电路在不牺牲噪声性能的前提下, 具有更低的功耗和更小的芯片面积. 通过集成列并行的单斜坡模数转换器在最新设计的高精度高速 CMOS 图像传感器设计中, 实验结果证明了设计的有效性.

关键词: 单斜坡模数转换器; CMOS 图像传感器; 低噪声; 低功耗

中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112 (2013) 02-0352-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2013.02.023

12Bit Low Power Single Slope ADC Design for CMOS Image Sensor

TANG Fang, TANG Jian-guo

(College of Electronic and Information Engineering, Chong Qing Three Gorges University, Chongqing 404000, China)

Abstract: A high quantization resolution and low power consumption single slope ADC scheme, for CMOS image sensor applications is proposed. The proposed scheme is composed of the variable gain amplifier, preamplifier and the dynamic latch comparator. Compared to the prior art structure, the proposed circuit can achieve a reasonable noise performance, consume less power and occupy smaller chip area. This proposed ADC is implemented as a column-parallel ADC array inside a fabricated CMOS image sensor chip. The experimental results verify the conception proposed in this paper.

Key words: single slope ADC; CMOS image sensor; low noise; low power

1 引言

图像传感器作为混合集成电路领域的重要分支, 最近几年迅速地从基于 CCD 的半导体工艺转向到基于 CMOS 工艺. CMOS 集成电路能极大地提高传感器的工作速度, 增加片上数字处理功能, 而价格却能低于现有的 CCD 图像传感器. 当前 CMOS 图像传感器的发展趋势是面向低功耗^[1], 高动态^[2,3], 高精度^[4]、高速^[5,6]和更高的像素分辨率. 而为了达到这些更高性能, 集成电路设计者主要依靠提出更加合理模数转换器(analog-to-digital converter, ADC)设计方案. 相比单独的 ADC 设计, 应用于高速高精度 CMOS 图像传感器的 ADC 通常需具有更低的功耗和更小的芯片面积. 拥有这些特性的 ADC 能够集成为列并行的 ADC 阵列, 使图像传感器芯片在不增加系统时钟的情况下, 达到极高的模数转换速率.

当前应用于 CMOS 图像传感器的列并行 ADC 架构主要有 cyclic ADC^[7]、SAR ADC^[4]、 $\Delta\Sigma$ ADC 和 single slope ADC^[8]. Cyclic ADC 是 pipeline ADC 的简化版, 在每一位

量化之后将余数放大两倍. Cyclic ADC 的问题是其应用到高精度的时候, 其两倍增益放大器必须要做校正(calibration). 由于列并行 ADC 的数量往往上千, 其校正的难度会非常大. SAR ADC 通过电容阵列产生模拟信号, 该模拟信号与输入信号相比较最后产生量化结果. SAR ADC 的量化精度主要由电容阵列的电容量值匹配决定. 为了满足高精度量化的匹配要求, SAR ADC 的芯片面积往往会比主动电路(active circuit)大得多. 这种现象在高于 10bit 的 SAR ADC 中非常明显. $\Delta\Sigma$ ADC 作为一种高效的 ADC 架构最近在 CMOS 图像传感器的应用上获得了突破^[9], 但其问题是根据该技术实现的案例还非常少, 具体的设计可靠性还没有得到完全确认. Single slope ADC 是在工业界 CMOS 图像传感器上应用最广的一种 ADC 架构, 其具有设计简单有效的特点. 但 single slope ADC 的主要问题是速度非常慢. 与 cyclic ADC 和 SAR ADC 的线性增长关系不同, single slope ADC 的转换速度与量化精度成指数关系. 以 12 位 ADC 量化精度为例, single slope ADC 需要将输入信号和参考信号比较

2^{12} 次.在项目中,我们提出了将 4bit single slope ADC 和 8bit SAR ADC 混合组成 12 位 ADC 的方案.该方案具有 single slope ADC 的设计简单、线性度好的特点.同时把 SAR ADC 精度要求降到只有 8 位,以此避免了大电容阵列的需求.本论文主要分析 single slope ADC 的一些新的设计.跟现有的 single slope ADC 相比,具有更低的功耗和更小的芯片面积.

2 问题的提出

通常应用到 CMOS 图像传感器上的 single slope ADC 由三部分组成:(1)可变增益放大器(variable gain amplifier, VGA),其作用是将输入的模拟信号放大的同时,对像素中的系统偏差(offset)进行消除;(2)前置放大器(preamplifier),其作用是将可变增益放大器的输出电压与参考电压的电压差放大,以便更加精确地进行比较;(3)动态锁存比较器(dynamic latch comparator).该级的作用是将第二级输出的电压差锁存比较.图 1 中给出了典型的具有可变增益和自动归零(auto-zero)的 single slope ADC 电路图.

图 1 中的电路实现有几个缺陷.第一个缺陷是在可变增益放大器设计上.通过电容反馈,该放大器的闭环增益为 $C1/C2$.当增益控制信号 $D = 000$ 时,总的增益等于单位增益 1.此时接点 A 的总电容值为 $C1 + C2 = 2C1$.为了满足 KT/C 噪声需求,节点 N 总电容值须 $\geq C_{min}$,因此 $C1 \geq C_{min}/2$, KT/C 噪声需求与节点电容最小值 C_{min} 的对应关系见表 1.

表 1 KT/C 噪声与电容对应关系

噪声 (RMS)	电容
20 μ V	10pF
40 μ V	2.5pF
80 μ V	625fF
160 μ V	156fF

对于 12 位量化精度,当考虑到 2~4 倍噪声裕量,节点总电容 $C1 + C2$ 在实践中通常需要在 1pF 级别.为了实现最高 8 倍增益,图 1 中可变增益放大器的节点电容 $C2 \leq C1 + C2 \leq 8C2$.为了满足 $\min\{C1 + C2\} > 1pF$,

可得 $C1 = C2 = 0.5pF$.当 $C1/C2 = 8$,由于 $C2$ 已固定为 0.5pF,因而节点 N 的总电容 $C1 + C2 = 9C2 = 4.5pF$.每个 ADC 都需要 4.5pF 对于基于 MiM 电容的集成电路工艺来说,将花费列并行 ADC 架构所不能承受的芯片面积.总的来说,降低可变增益放大器上的电容是首要的工作.图 1 电路的第二个缺陷是在第二级的前置放大器设计上.为了消除第三级的 offset,第二级前置放大器需要数十至上百的增益,同时前置放大器的 offset 需要小于 12 位量化误差以下.对于 2V 电压的输入信号摆幅,前置放大器的 offset 需要小于 500 μ V.前置放大器为了消除 offset 需要使用自动归零技术.在比较之前首先将放大器自身的 offset 存储于电容 $C3$ 、 $C4$ 上.问题又回到噪声上面了.为了实现 12 位的低噪需求, $C3$ 和 $C4$ 的电容需要达到 pF 以上.图 1 电路的第三个缺陷是在动态锁存比较器的输入端上.由于动态锁存在输入端 A 和 B 有明显的 kick-back 噪声^[10],该噪声的差分值即使对于对称性极好的差分设计来说也有数十毫伏.第一个解决办法是增大前置放大器的增益,代价是增加功耗.第二个方案是在输入端并联电容以吸收 kick-back 噪声,代价也是增加功耗.

本文主要基于上面分析的三点考虑,提出了新的 single slope ADC 的设计方案.跟现有的设计相比,本文提出的方案将可变增益放大器和前置放大器的总电容值缩小到只有以前的接近五分之一.该方案还在不增加前置放大器功耗的前提下,将 Kick-back 绝对噪声限制在 70mV,差分噪声限制在 15mV.在 100 倍前置放大器增益的前提下,该设计完全满足 12 位量化精度的要求.

3 提出的单斜坡模数转换器设计

为了克服现有的 single slope ADC 的不足,以便将其集成为列并行 12 位量化精度的 CMOS 图像传感器量化器,本文提出了新的 single slope ADC 电路实现.图 2 中的电路跟现有的 single slope ADC 一样分为三级.但不同之处有两点,第一个改进在可变增益放大器,第二个改进在前置放大器设计上.

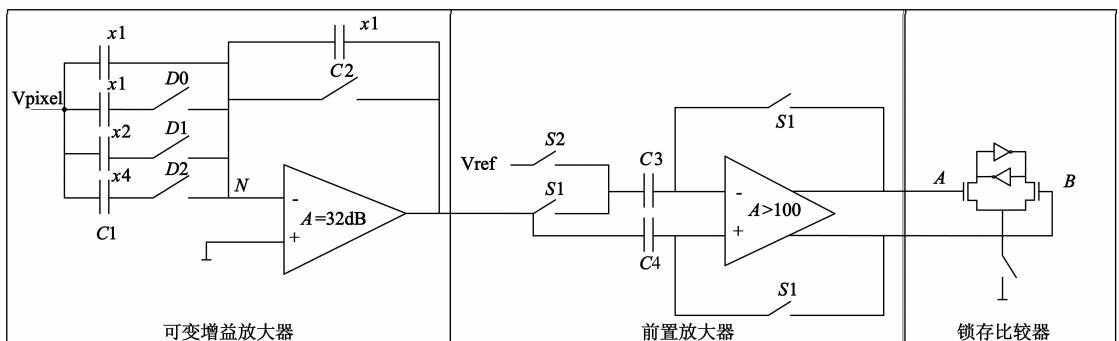


图 1 CMOS 图像传感器中的 single slope ADC 电路^[4]

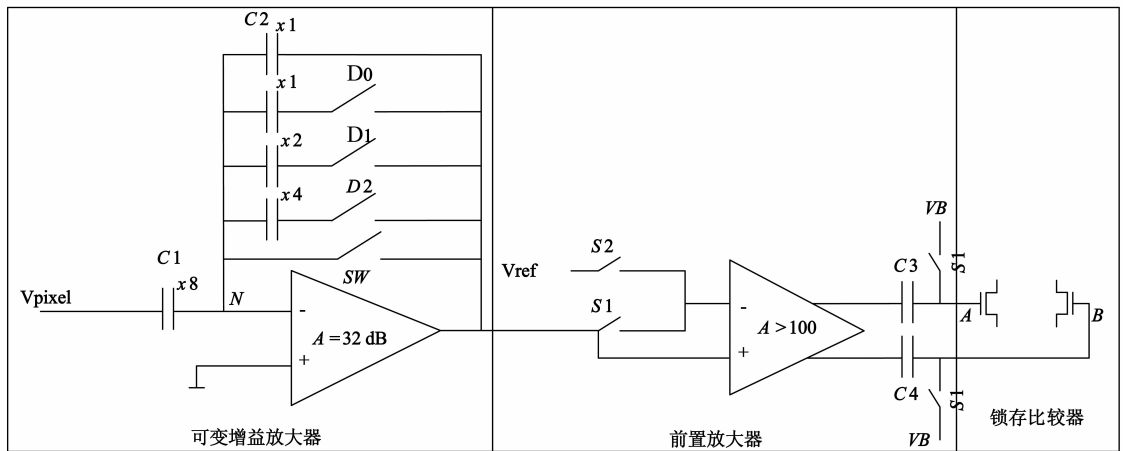


图2 本文提出的CMOS图像传感器中的single slope ADC电路

在可变增益放大器中,我们在提出的方案里将可调电容阵列放到了反馈回路中.当增益控制信号为 $D = '000'$ 时,增益为最大值 8.而当 $D = '111'$ 时,增益为最小值 1.由于闭环增益 $C1/C2 = 8$ 时,节点 N 的总电容值为最小值 $9C2$, $C1$ 需要 1pF 左右.当 $C1/C2 = 1$ 时,总电容值为最大值 2pF .容易看出本文提出的方案只有现有设计的二分之一电容值需求.因此系统的功耗和芯片面积得到了明显的减小.

需要指出的是可变增益放大器的开环增益的确定.公式 1 给出了闭环增益 G 与开环增益 A_v 之间的关系.

$$G = \frac{A_v}{1 + \frac{A_v}{D}} = D - \frac{D^2}{A_v + D} \Rightarrow \frac{\partial G}{\partial A_v} = \left(\frac{D}{A_v + D}\right)^2 \quad (1)$$

其中 $D = C1/C2$.由于 A_v 远远大于 D , $\frac{\partial G}{\partial A_v} \approx \left(\frac{D}{A_v}\right)^2$.由此可知,当 $D = 8$ 时,开环增益 A_v 产生的变差导致的闭环增益偏差最大.当 $D = 8$ 时, $\frac{\partial G}{\partial A_v} \approx 64A_v^{-2}$.由于集成电路工艺的偏差,在同一块芯片中不同位置的 A_v 值会有 1% 以内的偏差(放大器中使用的晶体管尺寸足够大).为了使 G 能满足小于 0.2% 的误差(对应于 fixed-pattern 噪声性能),最终 $A_v > 40$ (约 32dB).可以看出可变增益放大器的开环增益不大,在具体实现的时候只需要使用单级差分放大器即可.单级和低增益可以保证放大器在不需要做稳定性补偿的情况下也具有 50 度以上的相位裕度.同时,低增益的另外一个好处就是可以减小节点 N 的寄生电容值,我们在噪声分析中会进一步讨论.

第二个改进是在前置放大器设计中,我们将保存自动归零的电容放到了放大器的输出端.多年前该自动归零电路在^[11]中曾经介绍过,但是没有文献表明该电路被应用到 single slope ADC 的设计中.将电容串联到输出端的设计相比现有放到前端的设计有三个优点.

(1)在做自动归零时整个放大器始终处于开环状态.相对于现有的前置放大器必须通过反馈进行自动归零,本文中前置放大器在复位的时候,其等效输入 offset 被存储在 $C3$ 和 $C4$ 电容中从而达到自动归零的目的.没有反馈环路将极大地简化放大器的设计,也不需要零极点补偿考虑,因此功耗得到最优化;(2)由于该电容在输出端,此电容上的 KT/C 噪声将被放大器抑制.当前置放大器的增益为 100 时,等效到放大器输入端的 KT/C 噪声只有一百分之一.因此,电容 $C4$ 和 $C5$ 的电容值只需要数十 fF;(3)在第三级动态锁存比较器做比较的时候,其 kick-back 噪声被 $C4$ 和 $C5$ 所吸收,由于 $C4$ 、 $C5$ 的电容值远远高于晶体管的寄生电容值,且 $C4$ 与 $C5$ 的匹配也远远高于晶体管的扩散区(diffusion region),不论 kick-back 噪声的绝对值还是相对值都远远低于现有的设计.结果表明动态锁存比较器的等效输入 offset 和 kick-back 噪声得到了最小化.

4 噪声分析

图 2 中三级级联系统的总噪声主要由第一级决定.第一级的工作可以分为三步:(1)开关 SW 导通,放大器处于单位增益配置模式,此时产生的噪声主要由放大器自身的热噪声(闪烁噪声通过增大晶体管的尺寸减小到可以忽略的程度);(2)为开关 SW 由导通到断开的瞬间.此时的噪声由开关的 KT/C 噪声组成;(3)为开关 SW 断开之后,放大器配置为放大 D 倍模式.由此总的噪声功率公式可写为公式(2).

$$\overline{S_{\text{total}}^2} = \overline{v_n^2} A_v(f)^2 + \overline{S_{\text{out}}^2} \quad (2)$$

其中, $\overline{v_n^2}$ 为第一步和第二步完成之后节点 N 上的噪声功率谱密度. $A_v(f)$ 为放大器的开环电压增益频率响应, $\overline{S_{\text{out}}^2}$ 为第三步中,放大器在输入端为理想电压情况下晶体管自身所产生的噪声功率.在高频区,由于 A_v 的值以每 10 倍频率 20dB 的速度衰减, $\overline{v_n^2}$ 传递到输出端

的噪声也将减少. 在满足足够的阶跃响应速度的情况下, 放大器带宽越小噪声性能越好.

影响 $\overline{v_n^2}$ 的因素有两个, 第一个是节点 N 的等效电容 $C1 + C2$. 该电容的大小直接决定了采样过程中产生的 KT/C 噪声. 上一节中已经分析了该电容的设计问题. 另一个决定 $\overline{v_n^2}$ 的因素是输入端 PMOS 管 $M1$ 和 $M2$ 的尺寸. 晶体管太小, 会造成放大器响应速度不够快. 增大晶体管会使 VIN -端的寄生电容增加, 额外的噪声会从该寄生电容耦合到 $\overline{v_n^2}$ 中. 更加严重的问题是耦合噪声同时也会同已有的 $\overline{v_n^2}$ 一起被 $A_v(f)$ 所放大. 为了抵消该耦合噪声, 节点 N 的电容 $C1 + C2$ 需要足够大. 这种抵消的效应可以理解为, 如果减少了晶体管寄生电容, $C1 + C2$ 的值也可以相应地得到减少.

总之, 为了减少总的输出噪声需要注意的是: 在满足放大器阶跃响应速度和不显著增加放大器输入对管噪声的情况下, 适当减小放大器的带宽以及减小输入端晶体管的尺寸和增加节点 N 的总电容值. 本文在第四节中将给出详细的噪声仿真结果.

5 实验结果和比较

本文提出的 single slope ADC 被应用到了最新设计的 CMOS 图像传感器上. 图 3 为芯片的显微照片. 该芯片由 1200×800 像素组成, 拥有 1200 个列并行 ADC 通道. 图 4 给出了可变增益放大器的噪声的时域仿真结果.

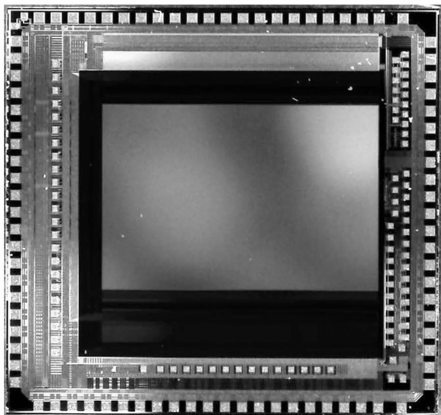


图 3 芯片的显微照片

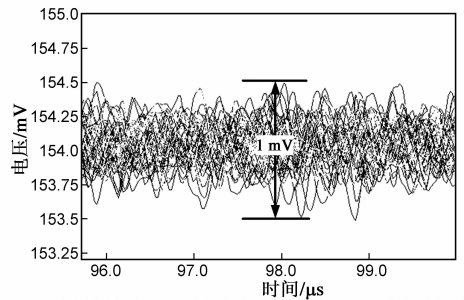


图 4 可变增益放大器的总输出噪声时间域版图后仿真结果

果. 噪声频率为 1Hz 到 10MHz, 仿真次数 100. 1mV 的输出噪声峰峰值被观察到, 等效为 0.15mV 噪声有效值. 图 5 给出了噪声的仿真测试结果与节点 N 的总电容值之间的关系, 仿真和测试结果基本吻合.

图 6 和图 7 给出了动态锁存比较器的噪声测试结果. 输入端 kick-back 噪声的绝对值和差分值都满足第三节中所给出的 12 位量化精度指标. 表 2 总结了本文提出的设计与现有设计的各项参数比较. 可以看出, 本文提出的设计方案不仅在功耗好有明显的优势, 在电容面积也优于参考的设计方案.

表 2 本文提出的设计与现有设计的各项参数比较 (基于 TSMC 0.18μm CIS 工艺)

	功耗	节点 N 的总电容 $C1 + C2$			
现有的可变增益放大器 ^[4]	20μW	4.5pF			
本文的可变增益放大器	8μW*	2pF			

	功耗	反馈	频率补偿	电容 $C3 + C4$	Kick-back
现有的前置放大器 ^[12]	20μW	有	有	2pF	200mV
本文的前置放大器	7.3μW*	无	无	120fF	40mV

* 测试条件为 3.3V 供电电压, 采样频率为 50k samples/s

在 CMOS 图像传感器应用中, ADC 的最主要的参数是非线性. 图 8 中给出了本芯片中的 single slope ADC 的积分非线性 (Integrated Non-linearity, INL) 和差分非线性 (Differential non-linearity, DNL) 测试结果. DNL 结果表明, 本文提出的 ADC 设计方案不存在码丢失 (Missing code) 的现象, 符合图像传感器应用的要求.

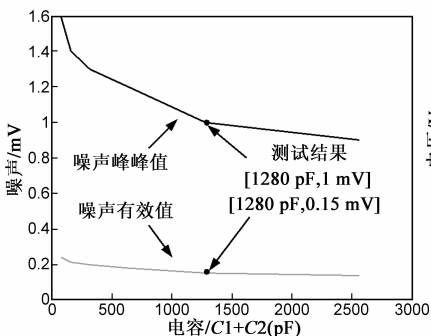


图 5 可变增益放大器的总输出噪声与节点 N 的总电容值之间的关系图

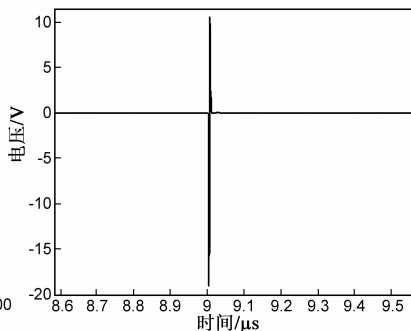


图 6 Kick-back 噪声的绝对值 (节点 A 或节点 B)

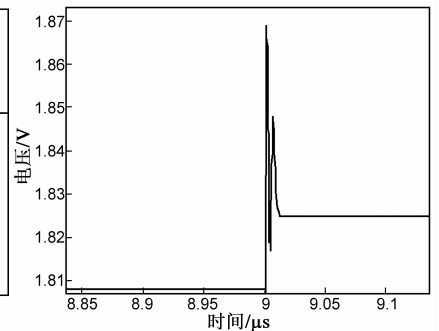


图 7 Kick-back 噪声的差分值 (节点 A-节点 B)

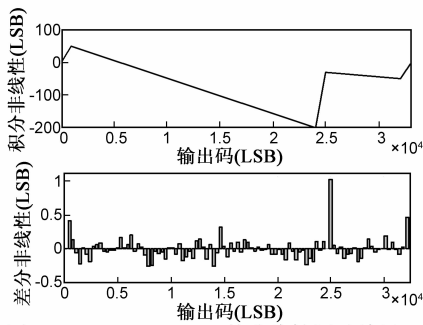


图8 Single Slope ADC的非线性测试结果

6 结论

本文在现有的 single slope ADC 架构基础上通过改进可变增益放大器的电容配置,改进前置放大器的自动归零方式,在满足 12 位量化噪声的前提下将整个 ADC 系统的电容降到五分之一以下,同时功耗也得到降低.通过使用电容吸收的方式,动态锁存比较器的等效输入 offset 和 kick-back 噪声得到了改善.同时本文对可变增益放大器的噪声优化进行了详细的讨论.最后,本文通过仿真和实验结果验证了本文的观点.

参考文献

- [1] Keiichiro Kagawa, et al. A 3.6pW/frame·pixel 1.35V PWM CMOS image with dynamic pixel readout and no static bias current[A]. International Solid-State Circuits Conference[C]. USA, 2008. 54 – 595.
- [2] 隋晓红,等.用于视觉假体的新型高动态范围图像传感器像素单元电路设计[J].电子学报,2011,39(8):1800 – 1804.
Sui Xiao-hong, et al. Circuit design of high-dynamic-range image sensor pixel for visual prostheses[J]. Acta Electronica Sinica, 2011, 39(8): 1800 – 1804. (in Chinese)
- [3] 周鑫,朱大中.新型集成阵列四象限 CMOS 光电传感器的研制[J].电子学报,2005,33(5):928 – 930.
ZHOU Xin, ZHU Da-zhong. Research of a new integrated arrayed 4 quadrants CMOS photo-electric sensor[J]. Acta Electronica Sinica, 2005, 33(5): 928 – 930. (in Chinese)
- [4] Shinichiro Matsuo, et al. 8.9-megapixel video image sensor with 14-b column-parallel SA-ADC[J]. IEEE Transactions on Electron Devices, 2009, 56(11): 2380 – 2389.
- [5] Jérôme Duboi, Dominique Ginhac. Michel paindavoine, Barthélémy Heyrm. A 10 000 fps CMOS sensor with massively parallel image processing[J]. IEEE Journal of Solid-State Circuits, 2008, 43(3): 706 – 717.
- [6] 陈敏思,姚素英,赵毅强,张生才,李树荣,徐江涛,王天

盛.高帧频大动态范围 CMOS 图像传感器时序控制电路的设计与实现[J].电子学报,2004,32(11):1922 – 1925.

Chen Min-si, Yao Su-ying, Zhao Yi-qiang, Zhang Sheng-cai, et al. Timing control methods for new CMOS image sensor with high frame rate and wide dynamic range[J]. Acta Electronica Sinica, 2004, 32(11): 1922 – 1925. (in Chinese)

- [7] Masanori Furuta, et al. A high-speed, high-sensitivity digital CMOS image sensor with a global shutter and 12-bit column-parallel cyclic A/D Converters[J]. IEEE Journal of Solid-State Circuits, 2007, 42(4): 766 – 774.
- [8] Satoshi Yoshihara, Yoshikazu Nitta, Tetsuo Nomoto. A 1/1.8-inch 6.4 MPixel 60 frames/s CMOS image sensor with seamless mode change[J]. IEEE Journal of Solid-State Circuits, 2006, 41(12): 2998 – 3006.
- [9] Youngcheol Chae, Jimin Cheon, Seunghyun Lim, Minho Kwon, Kwisung Yoo, Wunki Jung, Dong-Hun Lee, Seogheon Ham, Gunhee Han. A 2.1 M pixels, 120 frame/s CMOS image sensor with column-parallel $\Delta\Sigma$ ADC architecture[J]. IEEE Journal of Solid-State Circuits, 2011, 46(1): 236 – 247.
- [10] Pedro Figueiredo, et al. Kick-back noise reduction techniques for CMOS latched comparators[J]. IEEE Transactions on Circuits and Systems-II; Express Briefs, 2006, 53(7): 541 – 545.
- [11] Behzad Razavi, Bruce Wooley. Design techniques for high-speed, high-resolution comparators[J]. IEEE Journal of Solid-State Circuits, 1992, 27(12): 1916 – 1926.
- [12] Seunghyun Lim, et al. A high-speed CMOS image sensor with column-parallel two-step single-slope ADCs[J]. IEEE Transactions on Electron Devices, 2009, 56(3): 393 – 398.

作者简介



唐 枋 男,1983 年 10 月生于重庆.2006 年获得北京交通大学工科学士学位.现于香港科技大学工学院攻读博士学位.现任重庆三峡学院客座教授.

E-mail: icdetf@ust.hk



唐建国(通讯作者) 男,1954 年 2 月出生于重庆.1982 年获得浙江大学工科学士学位,1991 年研究生毕业于四川大学自动控制系,并取得硕士学位.现任重庆三峡学院党委副书记,教授,兼任四川理工学院硕士生导师.

E-mail: sxxytjg@x263.net