

# CMOS 图像传感器的硬复位电路研究

晋孝峰,岳素格,刘丽艳,陈 森,赵 岳,王春芳

(北京微电子技术研究所,北京 100076)

**摘 要:** 像素复位电路是 CMOS 图像传感器的重要组成部分,其特性直接影响着图像的质量.本文对 CMOS APS 图像传感器的动态范围、抗饱和能力、图像滞后以及非线性等性能进行了分析,并讨论了通过复位电路改善 CMOS 图像传感器性能的方法.在本文中,设计了两种带有抗饱和电路的硬复位电路,一种是采用传统的交叉耦合结构实现电压转换,另一种是基于改进的锁存器结构并增加阈值补偿管来实现,两种方案各具特点,分别适用不同的应用要求.仿真结果表明,两种电路方案均能够使动态范围提高 2~3dB,增强像素抗饱和能力,同时消除了图像滞后与弱光下的非线性.

**关键词:** CMOS 图像传感器;硬复位电路;动态范围;抗饱和;图像滞后;非线性

**中图分类号:** TN43 **文献标识码:** A **文章编号:** 0372-2112 (2014)01-0182-05

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2014.01.029

## Research on CMOS Image Sensor Hard Reset Circuit

JIN Xiao-feng, YUE Su-ge, LIU Li-yan, CHEN Miao, ZHAO Yue, WANG Chun-fang

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

**Abstract:** Pixel reset circuit is an important component of CMOS image sensor, whose characteristics affect the image quality directly. The performances of CMOS image sensor, such as dynamic range, anti-blooming, image lag and non-linearity, are analyzed. This paper also discusses the methods to improve performance through reset circuit. In this paper, two kinds of hard reset circuit with anti-blooming circuit are designed, one is the use of conventional cross-coupled configuration to implement reset level shift, the other is based on improved latch configuration with adding compensation transistor of threshold value, both schemes with different advantages and disadvantages adapt for different applications. The simulations reveal that both circuits implement can enhance dynamic range by 2dB ~ 3dB, increase the ability of anti-blooming, and remove image lag and non-linearity at low-light level.

**Key words:** CMOS image sensor; hard reset; dynamic range; anti-blooming; image lag; non-linearity

## 1 引言

CMOS 图像传感器采用标准的 CIS(CMOS Image Sensor)工艺制造,相比于 CCD 器件,其具有低功耗、低成本、易于片上集成、驱动电路简单以及固有的抗辐射特性等特点,在许多应用中逐渐取代 CCD,成为图像传感器技术领域的主流<sup>[1~3]</sup>.在 CMOS APS(Active Pixel Sensor)图像传感器中,动态范围是重要的性能指标,它对图像质量有很大的影响,提高动态范围可以有效地提高图像的对比度和分辨率<sup>[4]</sup>.同时,在高速运动和明暗变化明显场景等应用环境中,图像滞后与抗饱和能力对 CMOS 图像传感器的应用也十分重要<sup>[5]</sup>.

在 CMOS APS 图像传感器电路中,像素复位电路的特性直接影响图像传感器的图像质量.在文献[6]中,分

析了像素的软复位与硬复位方式对 CMOS 图像传感器性能的影响,并提出软硬复位结合的复位方式,实现了低复位噪声,而不会牺牲非线性与引入图像滞后.设计一种像素有源复位电路,具有更低的复位噪声而不引入图像滞后<sup>[7]</sup>.提高复位信号电压的硬复位方式可以实现输出摆幅与动态范围的增加,在硬复位电路中电荷泵技术与电平转换电路被广泛采用.在文献[8~10]中给出了通过电荷泵技术增大像素的复位电压实现硬复位的方法,但电荷泵技术往往需要时钟信号与大的电容器件,会带来面积与功耗的增加.

本文在分析 CMOS APS 图像传感器动态范围、图像饱和、图像滞后以及非线性等性能的基础上,提出了两种结构的硬复位电路设计方案,一种是采用传统的交叉

耦合 PMOS 管结构, 该结构复位电路结构简单, 电路功耗较小, 需要高电压工艺的晶体管或厚栅氧工艺的晶体管. 另一种是基于锁存器结构的硬复位电路, 增加了阈值补偿管, 仅需采用一种电压工艺的晶体管. 在复位电路中, 增加抗饱和电路部分来抑制强光照条件下像素阵列的饱和现象, 一种有效的提高抗饱和能力的方法是增大像素单元复位管栅极的复位信号低电位的电压值.

## 2 CMOS APS 图像传感器软复位方式分析

3 管结构的光电二极管型 CMOS 有源像素电路如图 1 所示. 在传统的软复位方式中, 复位信号 RST 的高电平电压  $V_{RST}$  等于像素电源电压  $V_{DD}$ , 低电平电压为电源地. 当复位信号 RST 有效时, 复位管 Mrst 工作在饱和区, 在复位管源端的光电二极管阴极节点电压将快速上升到  $V_{RST} - V_{TH}$ , 此时复位管进入亚阈值区, 至慢慢关断.

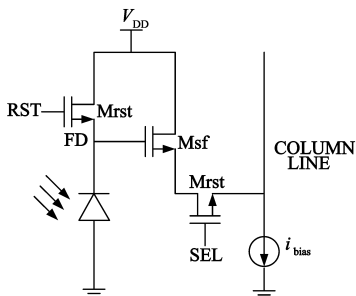


图 1 3 管结构的光电二极管型 CMOS 有源像素电路

对于 3 管结构的光电二极管型有源像素, 光电二极管的电压摆幅和噪声水平对动态范围有直接影响. 对于传统的软复位方式, 光电二极管阴极的最大电压等于电源电压减去复位管的阈值电压, 而最小电压等于至少一个源极跟随器的阈值电压, 其电压摆幅等于  $V_{DD} - 2V_{TH}$ . 传统的软复位方式减小了像素输出摆幅, 降低了 CMOS 图像传感器的动态范围.

由于传统的软复位方式会导致像素的不完全复位, 使像素的最终复位电压受光电二极管电容的初始电荷的影响, 导致前一帧图像的残影带入到新采集的帧中. 在不同初始电压和复位信号脉宽条件下的光电二极管复位电压变化如图 2 所示, 像素的最终复位电压由光电二极管初始电压与复位信号脉宽决定. 因此, 不同的曝光条件对图像滞后的影响程度不同, 在弱曝光条件下或由弱曝光帧向强曝光帧转变时, 会产生明显的图像滞后现象.

软复位方式的像素也表现出非线性响应<sup>[4]</sup>. 图 3 为 3 管结构像素的双采样时序,  $t_1$  与  $t_2$  分别是光信号采样时刻和复位信号采样时刻, 在弱曝光环境下, 实际的

测试输出信号  $V_{rst2} - V_{sig}$  中的  $V_{rst2}$  不固定, 其由最终光积分信号  $V_{sig}$  决定, 因此, 表现出明显的非线性.

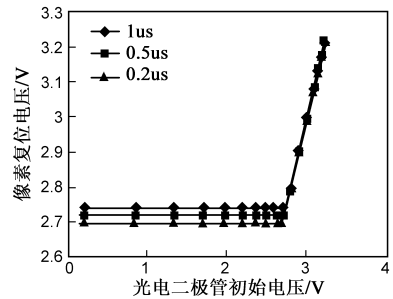


图 2 三种复位信号脉宽下, 软复位的像素复位电压与光电二极管初始电压的关系

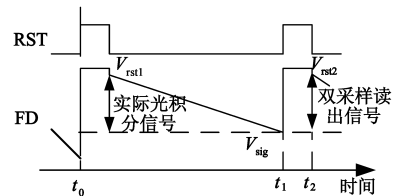


图 3 3 管结构的像素的双采样时序图

## 3 CMOS APS 图像传感器中的图像光晕

在 CMOS 图像传感器中, 采用有源像素结构, 由于不存在 CCD 中的电荷扩散与电荷传输机制, 因此, 其具有固有的抗光晕特性. 但是, 在强光照条件下, 过量的电荷注入到像素单元中, 会导致像素中的势阱出现饱和, 从而丢失部分图像信息<sup>[5]</sup>. 缩短积分时间是一种抑制像素饱和的有效方法. 但是, 当积分时间缩短时, 像素单元的灵敏度也降低了.

一种简单的抗饱和电路实现方法: 在像素积分期间, 设置复位管栅端的电压在  $0 \sim V_{DD}$  之间. 图 4 为抗饱和电路实现原理图, 抗饱和电路工作原理如下:

正常曝光条件下: 积分周期结束后, 光电二极管阴极节点电压变为  $1.8V$ , 对于复位管 Mrst:  $V_{GS} = 1 - 1.8 < V_{TH} = 0.7$ , 复位管截至.

强曝光条件下: 积分周期结束后, 光电二极管阴极节点电压变为  $0.3V$ , 对于复位管 Mrst:  $V_{GS} = 1 - 0.3 \geq V_{TH} = 0.7$ , 复位管导通, 强曝光产生的过剩电荷被泄露掉, 抑制了像素的饱和.

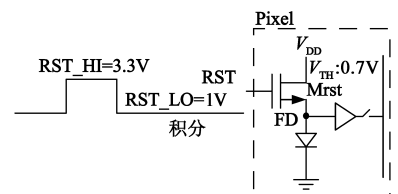


图 4 抗饱和电路实现原理图

## 4 硬复位电路设计

通过采用硬复位方式可以有效改善传统软复位带来的动态范围低、图像滞后、非线性等问题.在复位电路中嵌入抗饱和电路,提供像素积分期间复位管的低电平偏置信号,增强像素抗饱和能力.

在硬复位电路中,实现复位控制信号电压的升高,以提供高电压的复位管栅端复位信号.对于低电压工艺的像素来说,较高的栅压将影响像素单元中晶体管的可靠性,所以在硬复位电路中,输出的复位信号上升沿要缓慢,以便使光电二极管阴极电压能及时跟随栅压的变化,避免复位管的栅源电压差较大,造成晶体管的损坏.

传统的硬复位电路是基于交叉耦合 PMOS 管构成的电平转换电路,电路结构简单、功耗低,对像素阵列负载依赖性不高.但是,该电路需要采用厚栅压或两种电压工艺的 MOS 管,以保证在高电压下 MOS 管工作的稳定性<sup>[11,12]</sup>.在本设计中,选择像素的复位信号电压为 4.5V,即硬复位电路实现 3.3V 的复位控制信号转换为 4.5V 的像素复位信号.

### 4.1 采用交叉耦合结构的硬复位电路

如图 5 所示为采用交叉耦合结构的硬复位电路结构图,该复位电路包括电平转换电路、不交叠信号产生电路以及嵌入抗饱和结构的负载驱动电路.不交叠信号产生电路采用 3.3V 工艺 MOS 管,电平转换电路与驱动电路采用 5V 工艺 MOS 管.

电平转换电路采用传统的交叉耦合结构,实现输入 3.3V 电平的控制信号,输出 4.5V 电平的像素复位信号.在电路中,两个 NMOS 管由一对低电平反向信号控制,两个交叉耦合的 PMOS 管差分放大产生高电平信号.在该电路中,在  $V_{\text{RESET}}$  与地之间不存在漏电流通路,下拉 NMOS 管与同一边的上拉 PMOS 管存在竞争过程.在设计时,两个 NMOS 管的尺寸应大于两个 PMOS 管的尺寸.为了减弱 NMOS 管与 PMOS 管的竞争强度,减少电路功耗,输入控制信号  $O_1$  与  $O_2$  采用互不交叠信号.

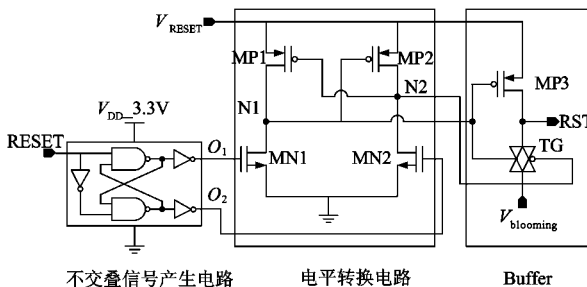


图5 交叉耦合结构的硬复位电路

在该复位电路中,增加抗饱和结构,即采用 1V 取代 0V 作为复位信号的低电平电压,以增强像素的抗饱和能力.在电路设计中,采用了一个传输门代替反相器

中 NMOS 管,以避免 RST 输出信号的负斜率过分的依赖于  $V_{\text{blooming}}$  电压幅度.

### 4.2 基于改进的锁存器结构的硬复位电路

图 6 为采用锁存器结构的硬复位电路.为了保证低电压工艺 MOS 管在高电压工作下的可靠性,增加了阈值补偿管 MN1、MN2 与 MN3,使驱动 PMOS 管的栅端的低电平为  $V_{\text{ref}}$ ,驱动 NMOS 管的栅端的高电平为 3.3V.在该电路中,仅前端反相器 I1 与 PMOS 管 MP1、NMOS 管 MN1 工作在 3.3V 电源,其他 MOS 管工作在复位电压  $V_{\text{RESET}}$ ,其中 NMOS 管的源极连接参考低电平电压  $V_{\text{ref}}$ .电路的工作原理如下:

当 RESET 信号为高电平时, MN2 管导通将节点 N3 拉至  $V_{\text{ref}}$  参考低电平, MN3 管关断,使 MP3 管导通, N4 节点上升到  $V_{\text{RESET}}$  电平.最后,使 MP4 管导通,输出端 RST 产生  $V_{\text{RESET}}$  高电平信号.

当 RESET 信号为低电平时, MN3 管导通, N4 节点放电至  $V_{\text{ref}}$  参考低电平,使 MP3、MP4 管关断. MN4 管导通,输出端 RST 开始放电,最终使输出端 RST 产生  $V_{\text{blooming}}$  低电平信号,可以用于提高像素抗饱和能力.

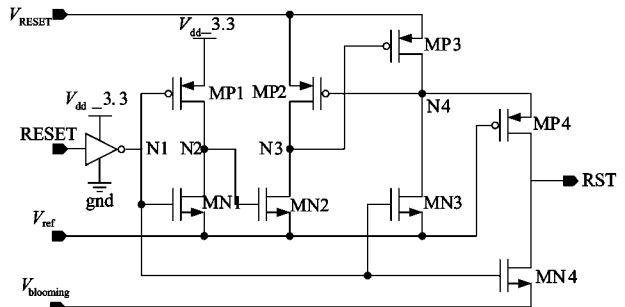


图6 采用锁存器结构的硬复位电路

有工作原理可知,在该结构的硬复位电路中,连接电源的 PMOS 管 MP2、MP3、MP4 管栅端电平范围为  $V_{\text{ref}}$  ~  $V_{\text{RESET}}$ ,源端与漏端的电平范围为  $V_{\text{ref}}$  ~  $V_{\text{RESET}}$ .由于 MOS 管的栅源、漏源的电压均小于最大工作电压,所以可以保证 MOS 管不会由于高电压导致击穿等损害的发生.因此,该结构的硬复位电路仅需要采用一种 MOS 工艺,例如本设计中 0.18 $\mu\text{m}$  工艺 3.3V 的 MOS 管设计完成.

图 7 为复位脉宽 100ns 时的该电路的瞬态仿真波形.仿真时,在 RST 输出端增加等效负载电容与电阻:

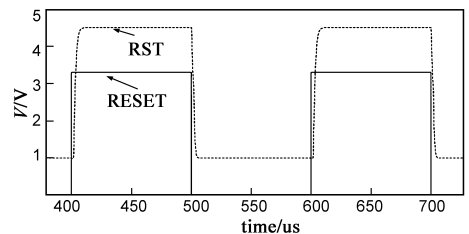


图7 基于改进锁存器结构的硬复位电路瞬态仿真波形

$R = 200\Omega$ ,  $C = 2\text{pF}$ . 由图可知, 复位电路信号延迟为  $3\text{ns}$ , 复位信号 RST 上升沿为  $5\text{ns}$ , 下降沿为  $3.5\text{ns}$ .

## 5 CMOS APS 性能仿真

针对两种方案, 基于  $0.18\mu\text{m}$  CMOS 工艺完成硬复位电路的设计, 采用 Spectre 对电路的性能进行仿真, 仿真电路模型如图 8 所示. 其中, 电流源  $I_{\text{pd}}$  代表注入的光电流, 电容  $C_{\text{pd}}$  代表光电二极管电容与节点寄生电容之和.

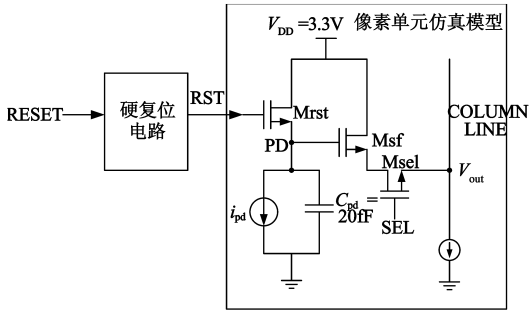


图8 仿真电路模型

### 5.1 测试动态范围的瞬态仿真分析

两种方案的硬复位电路均能使像素中光电二极管的阴极电压复位到固定电压  $3.3\text{V}$ , 图 9 为 CMOS APS 硬复位像素输出电压与时间的关系, 在复位信号 RST 有效期间, 复位信号电压为  $4.5\text{V}$ , 积分节点的复位电压为  $3.3\text{V}$ , 像素输出节点电压为  $2.3\text{V}$ , 可知硬复位时像素的输出摆幅为  $2.3\text{V}$ . 而同样条件下, 软复位像素输出电压与时间的关系如图 10 所示, 可知软复位时像素的输出摆幅为  $1.8\text{V}$ . 从而相比传统软复位方式可提高动态范围  $2 \sim 3\text{dB}$ .

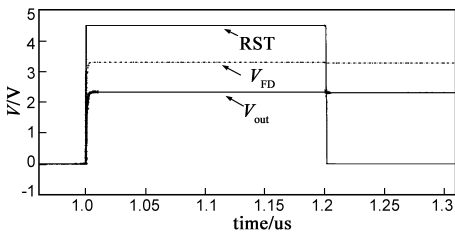


图9 CMOS APS硬复位像素输出电压仿真波形

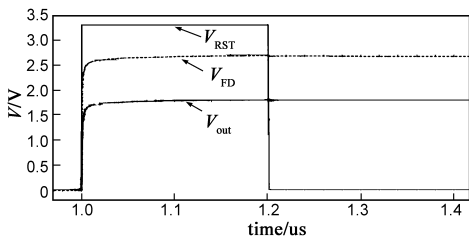


图10 CMOS APS软复位像素输出电压仿真波形

### 5.2 图像滞后

两种硬复位电路设计方案均可实现消除图像滞

后. 如图 11 所示, 硬复位实现像素的复位控制信号高电平为  $4.5\text{V}$ , 在不同的光电流下, 硬复位电路均使像素复位到固定的  $3.3\text{V}$  复位电压, 复位电压的最大差异为  $40\mu\text{V}$ , 像素被完全复位. 如图 12 所示, 软复位实现像素的复位控制信号高电平为  $3.3\text{V}$ , 在不同的光电流下, 软复位电路均使像素复位到固定的  $3.3\text{V}$  复位电压, 复位电压的最大差异为  $80\text{mV}$ , 硬复位有效消除了图像滞后.

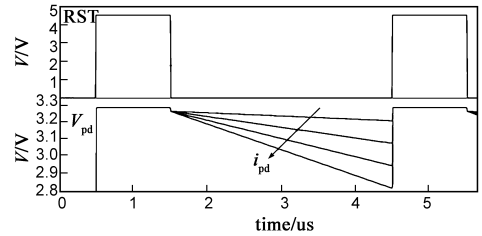


图11 硬复位方式中不同光电流的光电二极管复位电压波形

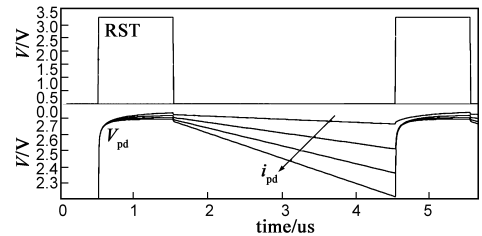


图12 软复位方式中不同光电流的光电二极管复位电压波形

### 5.3 像素输出信号的非线性响应

如图 13 所示, 在较低光电流下, 软复位时的像素输出表现出非线性. 图中软复位与硬复位的输出响应曲线的对比表明, 硬复位克服了传统软复位在弱曝光条件下的非线性响应.

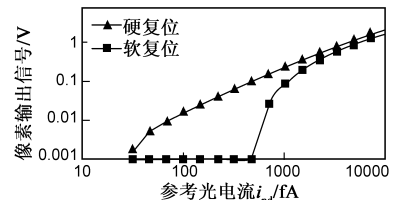


图13 不同复位方式的像素输出信号非线性响应

## 6 结束语

本文针对不同的应用需求, 设计了采用交叉耦合结构的硬复位电路与基于改进的锁存器结构的硬复位电路, 并且在复位电路中嵌入了抗饱和电路. 基于互锁存器结构的硬复位电路, 在电路中增加了阈值补偿管, 保证了低电压工艺 MOS 管在高电压工作下的可靠性, 克服了传统的交叉耦合结构复位电路需要采用厚栅氧或两种电压工艺的 MOS 管问题.

两种方案的硬复位电路均能实现像素最大输出摆幅提高, 同时消除了图像滞后与弱光条件下的非线性

响应,增强了抗饱和能力.但是,硬复位增大了像素复位噪声.因此,需根据应用需求选择像素的复位方式.

## 参考文献

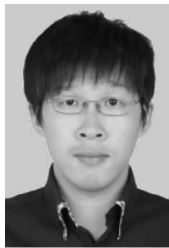
- [1] Bigas M, Cabruja E, Forest J, et al. Review of CMOS image sensors[J]. *Microelectronics Journal*, 2006, 37(5): 433 – 451.
- [2] 李琰, Yavuz De erli, 纪震. 基于 CMOS 集成有源传感器的新型高能物理粒子轨迹追踪器[J]. *电子学报*, 2009, 37(7): 1393 – 1399.  
LI Yan, Yavuz De erli, JI Zhen. CMOS active pixel sensors based detector for high-energy particle tracking[J]. *Acta Electronica Sinica*, 2009, 37(7): 1393 – 1399. (in Chinese)
- [3] 陈远, 徐之海, 冯华君. 一种新型两层垂直层叠结构的 CMOS 彩色传感器[J]. *电子学报*, 2009, 37(5): 970 – 974.  
CHEN Yuan, XU Zhi-hai, FENG Hua-jun. A vertical integrated diode for CMOS color image sensor[J]. *Acta Electronica Sinica*, 2009, 37(5): 970 – 974. (in Chinese)
- [4] Yang D, Gamal El A. Comparative analysis of SNR for image sensors with enhanced dynamic range[A]. *Proceedings of SPIE [C]*. San Jose, CA, 1999, 3649: 197 – 211.
- [5] Bulgheroni A, Bianda M, Caccia M, et al. Characterization of a thinned back illuminated MIMOSA V sensor as a visible light camera[J]. *Nuclear Instruments and Methods in Physics Research Section A*, 2006, 565(1): 221 – 226.
- [6] Pain B, et al. Analysis and enhancement of low-light-level performance of photodiode type CMOS active pixel imagers operated with sub-threshold reset[A]. *IEEE Workshop on CCDs and AIS[C]*. Japan: Nagano, 1999. R13. 1 – R13. 4.
- [7] Tian H. *Noise Analysis in CMOS Image Sensors [D]*. USA: Stanford University, 2000.
- [8] Fowler B A, Godfrey M, Balicki J, et al. Low-noise readout using active reset for CMOS APS[A]. *Proceedings of SPIE[C]*. San Jose, CA, 2000, 3965: 126 – 135.

- [9] 刘宇, 王国裕. APS CMOS 图像传感器复位电路的设计研究[A]. *半导体光电*, 2005, 26(B03): 22 – 25.

LIU Yu, WANG Guo-yu. Design and research of APS CMOS image sensor reset circuit[J]. *Semiconductor optoelectronics*, 2005, 26(B03): 22 – 25. (in Chinese)

- [10] Sandor L Barna, Pasadena. Reset Voltage Generation Circuit for CMOS Imagers[S]. US20040036787A1(P). 2004-02-06.
- [11] Joe K, David Hass, Cox F. Level shifting interfaces for low voltage logic[A]. *Proceedings of the 9th NASA Symposium on VLSI Design[C]*. USA: Albuquerque New Mexico, 2000. 3.1.1 – 3.1.7.
- [12] Rajput A, Kaur H. A low to high voltage tolerant level shifter for power minimization[J]. *IJECT*, 2011, 2(3): 65 – 67.

## 作者简介



晋孝峰 男, 1986 年 7 月出生, 安徽亳州市人. 2013 年毕业于中国航天科技集团第一研究院, 获硕士学位. 现在北京微电子技术研究所工作, 主要研究方向为大规模数模混合集成电路设计.  
E-mail: jinxfmx@163.com



岳素格 女, 1969 年 5 月出生, 北京市人. 1994 年获电子科技大学硕士学位. 现为北京微电子技术研究所副总工程师、研究员, 硕士生导师, 主要研究方向为超大规模集成电路设计与抗辐射加固电路设计.