

NoC 架构下异构 IP 核的并行测试方法

欧阳一鸣¹, 贺超¹, 梁华国^{1,2}, 黄正峰², 谢涛^{1,3}

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009;
3. Department of Computer Science, San Diego State University, San Diego, CA 92182, USA)

摘要: NoC(Network-on-Chip)中的异构 IP 核互连架构导致其测试应用时间过长, 并行测试技术成为解决这个问题的最佳方案. 本文提出了基于 NoC 架构的异构 IP 核并行测试方案, 实现了异构 IP 核的高效并行测试. 首先利用折叠分区方法将网络分区, 提高测试传输并行性, 然后通过顺序移位匹配算法将各异构 IP 核的测试集进行合并, 实现测试集的精简和同构化, 最后以多播方式将测试数据注入到网络中, 实现测试应用的并行. 实验结果显示, 相比于文献 [13, 14], 本文方法的测试时间减少了 17.6% - 40.47%, 且实现简单.

关键词: 片上网络; 并行测试; 同构化; 折叠分区; 测试应用时间

中图分类号: TP302 **文献标识码:** A **文章编号:** 0372-2112 (2013) 12-2391-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2013.12.011

Concurrent Testing for Heterogeneous-Cores in Network-on-Chips

OUYANG Yi-ming¹, HE Chao¹, LIANG Hua-guo^{1,2}, HUANG Zheng-feng², XIE Tao^{1,3}

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China; 2. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China; 3. Department of Computer Science, San Diego State University, San Diego, CA 92182, USA)

Abstract: The test application time becomes too long due to the heterogeneous-core interconnection in Network-on-Chips. The concurrent test technology is the optimal scheme to solve the problem. A novel test project for NoC is proposed in this article, and efficient concurrent test can be achieved in core-based NoC. Firstly, the folding partition method is used to change the network partition, and then it can improve the parallelism of test transmission. Secondly, the test sets are merged through the sequential shift matching algorithm to make them simple and isomorphic. Finally, the test sets are injected into the NoC by multicasting. The experimental results show that the test application time is reduced by 17.6% - 40.47% compared with those in the reference [13] and [14], and our method is implemented easily.

Key words: network-on-chips; concurrent test; isomorphic; folding partition; test application time

1 引言

随着集成电路制造工艺和集成技术的不断发展, 电子元件的特征尺寸步入了纳米时代, 单个芯片上会出现数十甚至数百个处理器联合工作的超复杂电路系统^[1]. 基于共享总线互连机制的传统片上系统 SoC (Systems-on-Chip) 的体系结构将遇到无法逾越的障碍, 而采用网格结构的片上网络 NoC 因其通信效率高, 可扩展性强, 成为突破 SoC 性能瓶颈的可靠解决方案.

然而目前 NoC 的测试也面临着一些问题, 首先是 NoC 的测试效率问题, 随着 NoC 中集成的异构知识产权 (Intellectual Property, IP) 核越来越多, 若采用传统的串行

测试, 则会导致其测试应用时间 TAT (Test Application Time) 过长, 测试效率低下; 其次, 异构 IP 核的增多导致芯片的测试数据量随之激增, 给自动测试设备 (Auto Test Equipment, ATE) 的存储容量、工作频率以及带宽等带来了严峻的挑战; 此外 NoC 内嵌核的低访问性, 也是 NoC 测试所面临的一个巨大的挑战.

针对后两个问题, 可以分别通过测试数据压缩及测试访问机制的设计, 得到有效解决. 文献 [2~4] 给出了针对单核的高效压缩测试数据的方案, 能够极大的减少测试数据量和测试时间; 文献 [5] 通过设计测试访问机制 (Test Access Mechanism, TAM) 进行测试数据传输, 来实现对内嵌核的访问; 此外文献 [6] 给出了一种于 IEEE

Std. 1500 标准兼容的适用于 NoC 的测试壳设计,通过 TAM 和测试壳的设计,能很好的解决内嵌核低访问性的问题.故在本文主要考虑如何提高测试效率的问题.

为了提高 NoC 的测试效率,一种有效的解决方法就是引入并行测试.并行测试的并行性体现在测试数据传输的并行性与测试应用的并行性两方面.文献[7, 8]给出了测试调度算法,通过测试调度,提高测试的并行性,但一个高效的测试数据传输进度的安排是非常复杂的;文献[9]中提出了几种合并测试集的方法,通过整合被测芯核的测试数据来实现测试传输的并行,但其实现复杂.文献[10]通过引入同构 IP 核的多播测试,实现了测试应用的并行,但对于异构 IP 核所组成的芯片,该方法的测试效率很低.

本文提出了基于 NoC 架构的异构 IP 核并行测试方案,协同优化并行测试的两个方面.首先利用折叠分区法,将网络分区,提高测试传输并行性,然后通过顺序移位匹配算法将异构 IP 核的测试集进行合并,实现测试集的精简和同构化,最后以多播的方式将测试数据注入到网络中,实现测试应用的并行.

2 折叠分区方法

为了提高测试的并行性,首先采用折叠分区(Folding Partition, FT)方法对片上网络进行分区,使每个分区的测试时间大致相同.同时每个分区都有一个独立的 ATE interface^[11]保证分区间测试相互独立,提高了测试传输的并行性,从而最大化的缩短了测试数据传输的时间.

折叠分区方法的过程如下:在一个 $m \times n$ 的 mesh 结构的网络中,令 $t_{(i)}$ 为测试 core_(i) 所需的时间,将 $t_{(i)}$ 按照降序排列形成 Array_[j],然后按照表 1 所示的折叠

分区法则,将网络分成 $\lceil \frac{m \times n}{m+n} \rceil$ 个分区.

表 1 折叠分区法则

分区编号	分区结果		
分区 1	Array[1]	Array[2n]	Array[2n+1]
分区 2	Array[2]	Array[2n-1]	Array[2n+2]
...	Array[...]	Array[...]	...
分区 n-1	Array[n-1]	Array[n+2]	...
分区 n	Array[n]	Array[n+1]	Array[2n+n]

以 d695 电路为例,其 3×4 的结构共分成两个区,如图 1 所示,测试时间降序排列为:

Array_[j] = { core6, core5, core4, core8, core10, core7, core3, core9, core2, core1 }, 则分区结果为:分区 1: core { 6, 8, 10, 9, 2 }, 分区 2: core { 5, 4, 7, 3, 1 }.

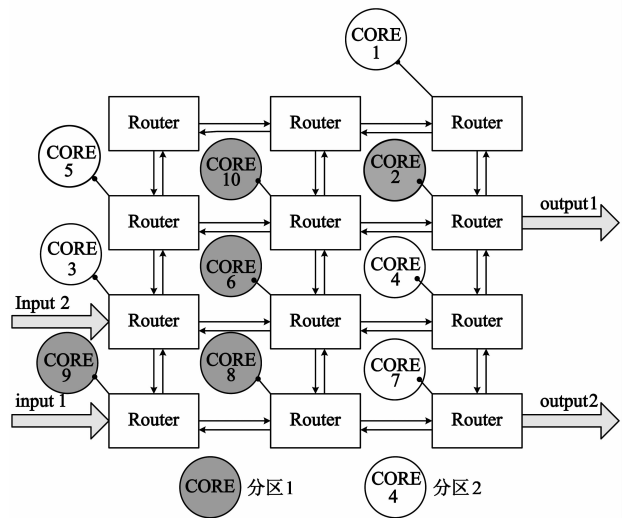


图 1 d695分区示例

3 异构 IP 核的测试集同构化

定义 1 两个测试向量相容是指两个测试向量中对应位完全相同或至少有一个为无关位,例如测试向量‘110X’与‘X100’相容,其中 X 代表无关位.

异构 IP 核的测试集不同,无法同时注入到网络中,本文通过顺序移位匹配算法实现测试集的同构化,使异构 IP 核能够共用一个合并测试集.该算法充分利用测试集中含有大量无关位的特性,通过进行相容性分析,将一个测试集嵌套在另一个测试集中,实现测试集的同构化,同时能够达到精简测试集的目的.

算法伪代码如图 2 所示,具体方法如下:令 A, B 分别为两个测试集,选取较大的测试集 A 作为母板,将较小的测试集 B 作为子测试集嵌入到母板中,在嵌套合并过程中,每次从 B 中顺序提取 K 位(例如取 $K=8$)测试数据(Test Data) TDB_(1~K),从 A 中提取 $K+2$ 位(10 位)测试向量 TDA_(1~K+2),将两个测试向量进行匹配,首先将 TDB 与 TDA 的前 8 位 TDA_(1~8)进行相容性分析,若相容则将 TDA 后加上‘00’(代表第一次相容),送入到合并后的测试集 C 中;若不相容,则将 TDB 与 TDA 中从第二位开始的 8 位 TDA_(2~9)进行相容性分析,若相容则在 TDA 后加上‘01’,送入到 C 中;若仍不相容,则将 TDB 与 TDA 中从第三位开始的 8 位 TDA_(3~10)进行相容性分析,若相容则在 TDA 后加上‘10’,送入到 C 中;若通过以上顺序移位匹配算法,还不能满足两个测试向量相容,则将 TDA 加上‘11’再加上 TDB 一起送入到 C 中.顺序移位匹配算法的示例如表 2 所示.

该方法的好处在于,顺序的移位匹配增加了两个测试向量 TDA 和 TDB 的相容机率,从而使同构化后的测试集更小;其次,若两个测试向量能够相容,附加的标示位(00,01,10)还可以作为共用测试集分离结构中,

移位单元的控制信号,准确的定位出 TDB 在 TDA 中的位置;此外,在 A 中提取的测试向量长度大于 B 中的测试向量长度,可以有效的利用 A 中比 B 多出来的那部分测试数据。经过顺序移位匹配算法,可以实现 AB 两个测试集的同构化,即 AB 共用一个精简后的测试集 C。

```

TDA[ k + 2 ], TDB[ k ], TDB, FLAG1 = 0, FLAG2 = 0
For( i = 0; i < i + + )
{ If TDA[ i ] and TDB[ i ] are compatible
continue;
Else
{ Flag1 = = 1;
Break; }
}
If FLAG1 = = 1
{ For( i = 0, i < = k, i + + )
{ If( TDA[ i + 1 ] and TDB[ i ] are compatible )
continue;
Else
{ FLAG2 = = 1;
Break; }
}
}
If( FLAG2 = = 1 )
{ for( i = 0; i < = k; i + + )
{ If( TDA[ i + 2 ] and TDB[ i ] are compatible )
continue;
Else
TDC = TDA + ; '11' + TDB;
}
}
Else
{ TDC = TDA + '10' ; }
Else
{ TDC = TDA + '01' ; }
{ TDC = TDA + '00' ; }

```

图 2 顺序移位匹配算法伪代码

表 2 顺序移位匹配算法示例

(1) TDB 与 TDA 的前 8 位(1~8 位)相容

TDA: 10XX10XX10	TDA + 00 送入到 C 中
TDB: 1X110XXX	

(2) TDB 与 TDA 中从第二位开始的 8 位(2~9 位)相容

TDA: 1 0XX10XX10	TDA + 01 送入到 C 中
TDB: 0101X1X1	

(3) TDB 与 TDA 中从第三位开始的 8 位(3~10 位)相容

TDA: 10 XX10XX10	TDA + 10 送入到 C 中
TDB: 10101010	

(4) 以上三种情况都不满足

TDA: 10XX10XX10	TDA + 11 + TDB 一起送入到 C 中
TDB: 01101011	

4 共用测试集的多播注入与接收

将经过同构化操作的共用测试集注入到网络中,使多个异构 IP 核能并行接收测试数据,同时进行测试,

是减少测试应用时间的关键.本文采用的多播注入方案,致力于提高测试应用的并行性,首先将共用测试集封装成多播数据包,然后将数据包沿着多播通道依次传输到同一分区的待测芯核上,进行测试.多播的好处在于,能够将串行测试转化成并行测试,即实现同一时刻,有多个异构 IP 核处于测试状态,同时提高了线路的利用率,大大降低了测试应用时间.

然而若所有异构 IP 核都完全接受共用测试集,则会由于接受了无用的测试集而造成资源的浪费,为了解决这个问题,本文通过在数据包头中添加接收标示位,以保证节点仅接收属于自己的测试数据.数据包格式如图 3 所示:

微片类型标示位				
头微片	00	源地址	目的地址	接收标示位
数据微片	01	有效数据		
尾微片	10	有效数据		

图 3 数据包格式

其中头微片中的接收标示位,表示当前节点是否接收数据,若对应标示位为‘1’,则当前路由器将数据包复制一份,发送给本地 IP 核,同时向下一级路由转发,若标示为‘0’则仅执行转发操作.

例如对 d695 电路进行测试,若分区一中的某个数据包的接收标示位为‘11000’,则表示分区一中的 core{6,8,10,9,2},仅 core6 和 core8 接收当前数据包,其他节点不接收,仅执行转发操作,大大减少了网络资源的浪费.

利用多播注入,分类接收的方法,结合折叠分区算法和同构化精简测试集,可以实现分区间测试并行,同时分区内异构 IP 核的测试也能同时进行,整个芯片的测试时间取决于各个分区测试时间的最大值,单个分区的测试时间又取决于该分区中所有 IP 核测试时间的最大值,这样整个芯片的测试时间就可以大幅下降.

5 共用测试集分离结构及原理

共用测试集的分离是一个逆同构化的过程,即在测试数据接收端,将当前 IP 核的测试集从接收到的共用测试集中分离出来,本文的分离结构如图 4 所示,主要有一个有限状态机 FSM,三个移位计数器,一个移位单元组成,有限状态机的状态转移图如图 5 所示.其中 dec 和 rst 分别为计数器开始计数以及结束计数的信号,一个计数器由 dec 信号启动,由 rst 信号结束.

具体分离过程如下:

(1) FSM 初始状态为 S_0 ,当数据从 data-in 到达 FSM 时,进入 S_1 状态,启动 dec1,计数 $K + 2$ 位数据,送到移位单元中.

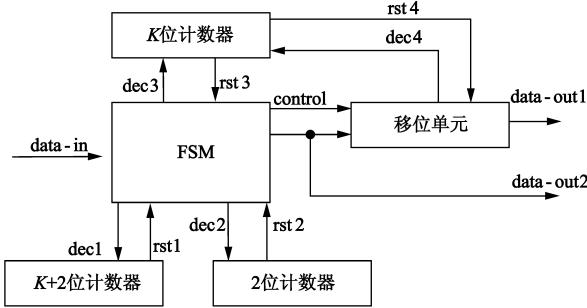


图4 共用测试集分离结构

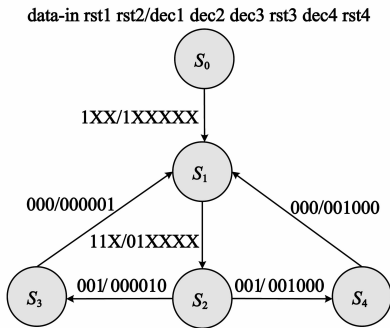


图5 有限状态机的状态转移图

(2)然后进入 S_2 状态,启动 dec2,计数两位附加标示位,若标示位不为‘11’,则将标示位通过 control 线送入移位单元,同时进入 S_3 状态,启动 dec4,进行移位操作,并将结果从 data-out1 输出。

(3)若附加标示位为‘11’,则进入 S_4 状态,启动 dec3,通过 K 位计数器,将 K 位数据提取出来,并从 data-out2 直接输出。

6 实验分析

6.1 合并位数 K 的取值分析

在本文实验中,测试集的大小是以其所包含的测试向量的个数来确定,即测试向量个数多的测试集为母板测试集,当母板测试集中测试向量的位数小于子测试集中测试向量的位数时,在母板测试向量中补无关位,来实现合并.在进行实验前,首先要确定 K 的取值,从而得到最大的精简效果.我们假设在测试集中,0、1、 X 位出现的概率分别为 P_0 、 P_1 、 P_X ,则在相容性分析中,一位数据不相容的概率为:

$$p_{\text{one}} = p_1 \cdot p_0 + p_0 \cdot p_1 \quad (1)$$

那么如果 K 位数据不相容,即这 K 位中至少有一位数据不相容,则可得 K 位数据不相容的概率为:

$$PK \text{ 位不相容} = \sum_{i=1}^K C_k^i (p_{\text{one}})^i \cdot (1-p_{\text{one}})^{K-i} \quad (2)$$

定义2 $AVG_{\text{合并}}$ 是经过合并操作后,一组测试数据的平均位数,其计算公式为 $AVG_{\text{合并}} = (K + 2 + 2) \cdot P_{K\text{位相容}} + (K + 2 + 2 + K) \cdot P_{K\text{位不相容}}$,整理后可得

$$AVG_{\text{合并}} = (1 + P_{K\text{位不相容}}) \cdot K + 4.$$

定义3 精简率等于通过合并操作减少的位数与原始位数的比值,表示为: $\text{精简率} = \frac{(2K + 2) - AVG_{\text{合并}}}{2K + 2}$.

通过分析 ITC02 电路,可以得知,在大部分电路的测试集中,无关位占 80%左右,故我们假定实验中: $P_0 = P_1 = 0.1$,通过计算得到 K 取不同值时,相应的 $AVG_{\text{合并}}$ 以及精简率的值如图 6 所示,通过观察可以看出, $AVG_{\text{合并}}$ 的曲线随着 K 的取值增加不断上升,精简率曲线在 K 取 8 时,达到最大值,故在本文中选取 $K = 8$.

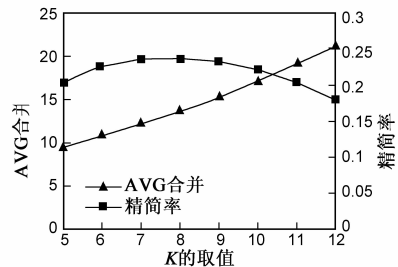


图6 $AVG_{\text{合并}}$ 的变化及精简率曲线

6.2 测试集的精简结果

为了说明同构化操作对测试集的精简效果,本文从 ITC02 测试基准集中的 d695 电路里选取几个 IP 核所使用的测试集,具体如下: core1 (所用测试集为 s9234), core2 (s13207), core3 (s15850), core4 (35932), core5 (38417), core6(38584),运用本文同构化方法,对异构 IP 核的测试集进行合并操作,得到测试集的精简结果如表 3 所示:

从表中可以看出,通过同构化操作,可以将几个测试集合并成一个共用测试集,且平均减少 31.08% 的测试数据量。

表 3 测试集的精简结果

测试集	同构化之前测试集的总前长度	同构化后总长度	精简率
Core1 + Core2 (S9234 + S13207)	39273 + 165200 = 204473	171842	15.96%
Core2 + Core4 (S13207 + S35932)	165200 + 28208 = 193408	153714	20.52%
Core5 + Core6 (S38417 + S38584)	164736 + 199104 = 363840	215744	40.70%
Core1 + Core3 + Core5 (S9234 + S15850 + S13207)	39273 + 76986 + 165200 = 281459	177695	36.87%
平均	1043180	718995	31.08%

6.3 测试应用时间的减少

并行测试的目的在于减少测试时间,本节分析本文方法测试应用时间的减少.为了突出本文方案的优势,将本文方案与文献[13,14]进行测试时间的比较,针对 ITC02 基准中的 d695、g1023、p22810、p93791 电路进行测试,实验采用两对 I/O 端口,32 位测试通道宽度,对相应电路进行测试,实验结果如图 7 所示:

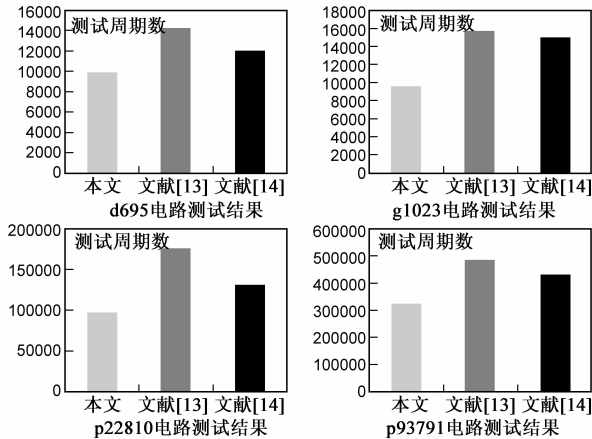


图7 测试时间的比较

由于本文方法从测试并行的两个方面进行协同改进,提升了测试传输以及测试应用的并行性,使得线路上传输的测试数据可以被多个 IP 核接收,而且同一时刻有更多的 IP 核处于测试状态,所以本文方法的测试时间较参考文献[13,14],减少了 17.6% - 40.47%.

6.4 面积开销分析

本文使用 Synopsys Design Compiler 在 65nm 工艺下对 NoC 中 5 端口路由器和本文添加的共用测试集分离结构进行面积仿真,其中 5 端口路由器采用虫孔交换机制,包含 4 个虚通道,每个虚通道深度为 8 个 flits,面积仿真结果如表 4 所示.从表 4 中可以看出,本文仅增加了 6.6% 的面积开销,在可以接受的范围之内.

表 4 测试集分离结构的面积开销分析

	传统 5 端口路由器	本文解压结构	面积增加
面积(μm^2)	51857	3398	+ 6.6%

7 总结

本文通过对并行测试的两个方面:测试数据传输的并行性与测试应用的并行性进行提升,将异构 IP 核的测试集进行合并和精简,以减少测试应用时间.通过折叠分区和同构化操作,使得同一分区里的异构 IP 核能共享一个精简测试集,然后采用多播方式将每个分区的共用测试集注入到网络中,实现同一时刻,有多个芯核处于测试状态.实验结果显示,本文方法提高了 NoC 测试的并行性和测试效率,且硬件开销较小,是一

种适用于 NoC 架构的高效多核并行测试方法.

参考文献

- [1] DeBenedictis E P. Will moore's law be sufficient[A]. Proceedings of the ACM/IEEE SC2004 Conference on Supercomputing [C]. Pittsburgh: ACM, 2005. 45 - 56.
- [2] C Anshuman, C Krishnendu. Test data compression and decompression based on internal scan chains and Golomb coding[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(6): 715 - 722.
- [3] 欧阳一鸣, 成丽丽, 梁华国. 一种基于变长数据块相关性统计的测试数据压缩和解压方法[J]. 电子学报, 2008, 36(2): 298 - 302.
Ouyang Yi-ming, Cheng Li-li, Lian Hua-guo. A new test data compression technique based on static relativity of variable length data block[J]. Acta Electronica Sinica, 2008, 36(2): 298 - 303. (in Chinese)
- [4] P T Gonciari, B Al-Hashimi, et al. Improving compression ratio, area overhead, and test application time for system-on-a-chip test data compression/decompression[A]. Proceedings of the Conference on Design, Automation and Test in Europe[C]. Paris: ACM, 2002. 604 - 611.
- [5] Erik Larsson, Klas Arvidsson, et al. Efficient test solutions for core-based designs[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23(5): 758 - 775.
- [6] 赵建武, 师奕兵, 等. 复用 NoC 测试 IP 芯核测试存取链优化配置[J]. 微电子学, 2009, 39(6): 874 - 878.
ZHAO Jian-wu, SHI Yi-bing, et al. Optimal test access chain configuration for reusing NoC to test IP cores[J]. Microelectronics, 2009, 39(6): 874 - 878. (in Chinese)
- [7] Krishnendu Chakrabarty. Test scheduling for core-based systems using mixed-integer linear programming[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2000, 19(10): 1163 - 1174.
- [8] Sandeep Korann. On test scheduling for core-based SoCs[A]. Proceedings of the 15th International Conference on VLSI Design[C]. Baugalore: ACM, 2002. 505 - 510.
- [9] Gang Zeng, Hideo Ito. Concurrent core test for test cost reduction using merged test set and scan tree[A]. Proceedings of the 2005 International Conference on Computer Design[C]. San Jose: IEEE, 2005. 143 - 146.
- [10] 方芳, 韩银和, 李晓维. 热量敏感的众核芯片多播并行测试方法[J]. 计算机辅助设计与图形学报, 2010, 22(5): 845 - 851.
FANG Fang, HAN Yin-he, LI Xiao-wei. A thermal-aware parallel multicast testing method based on many-core chips [J]. Journal of Computer-Aided Design & Computer Graphics, 2010, 22(5): 845 - 851. (in Chinese)

- [11] M Alexandre, Amory Frederico Ferlini, et al. DFT for the reuse of networks-on-chip as test access mechanism [A]. Proceedings of the 25th IEEE VLSI Test Symposium [C]. Berkeley: IEEE, 2007. 435 – 440.
- [12] Vikram Iyengar, Krishnendu Chakrabarty, et al. Test wrapper and test access mechanism co-optimization for system-on-chip [A]. Proceedings of International Test Conference [C]. Baltimore: ACM, 2001. 1023 – 1032.
- [13] C Liu, V Iyengar, J Shi, et al. Power-aware test scheduling in network-on-chip using variable-rate on-chip clocking [A]. Proceedings of IEEE VLSI Test Symposium [C]. Palm Springs: IEEE, 2005. 349 – 354.
- [14] Jia LI, Qiang XU, Yu HU, Xiaowei LI. Channel width utilization improvement in testing NoC-based systems for test time reduction [A]. Proceedings of 4th IEEE International Symposium on Electronic Design, Test and Applications [C]. Hong Kong: IEEE, 2008. 26 – 31.

作者简介



欧阳一鸣 男, 1963 年出生, 副教授, 硕士生导师, 中国计算机学会高级会员, 研究方向: 片上网络 (NoC), 嵌入式系统的综合与测试, 数字系统设计自动化。

E-mail: oyymbox@163.com



贺超 男, 1990 年出生, 硕士研究生, 研究方向: 片上网络 (NoC), 嵌入式系统的综合与测试。

E-mail: hechaohfut@163.com



梁华国 男, 1959 年出生, 教授, 博士生导师, 中国计算机学会容错计算专业委员会委员, 研究方向: 嵌入式系统综合与测试、数字系统设计自动化、ATPG0 算法与分布式控制等。

E-mail: huagulg@hfut.edu.cn