

# 一种 3D 堆叠集成电路中间绑定测试时间优化方案

常 郝<sup>1,3</sup>, 梁华国<sup>2</sup>, 蒋翠云<sup>4</sup>, 欧阳一鸣<sup>1</sup>, 徐 辉<sup>1</sup>

(1. 合肥工业大学计算机与信息学院, 安徽合肥, 230009; 2. 合肥工业大学电子科学与应用物理学院, 安徽合肥, 230009; 3. 安徽财经大学计算机科学与技术系, 安徽蚌埠, 233030; 4. 合肥工业大学数学学院, 安徽合肥, 230009)

**摘 要:** 中间绑定测试能够更早地检测出 3D 堆叠集成电路绑定过程引入的缺陷, 但导致测试时间和测试功耗剧增. 考虑测试 TSV、测试管脚和测试功耗等约束条件, 采用整数线性规划方法在不同的堆叠布局下优化中间绑定测试时间. 与仅考虑绑定后测试不同, 考虑中间绑定测试时, 菱形结构和倒金字塔结构比金字塔结构测试时间分别减少 4.39% 和 40.72%, 测试 TSV 增加 11.84% 和 52.24%, 测试管脚减少 10.87% 和 7.25%. 在测试功耗约束下, 金字塔结构的测试时间增加 10.07%, 而菱形结构和倒金字塔结构测试时间只增加 4.34% 和 2.65%. 实验结果表明, 菱形结构和倒金字塔结构比金字塔结构更具优势.

**关键词:** 三维堆叠集成电路; 中间绑定测试; 硅通孔; 测试访问机制; 整数线性规划

**中图分类号:** TP306.2 **文献标识码:** A **文章编号:** 0372-2112 (2015)02-0393-06

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2015.02.029

## Optimization Scheme for Mid-bond Test Time on 3D-Stacked ICs

CHANG Hao<sup>1,3</sup>, LIANG Hua-guo<sup>2</sup>, JIANG Cui-yun<sup>4</sup>, OUYANG Yi-ming<sup>1</sup>, XU Hui<sup>1</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China;

3. School of Management Science and Engineering, Anhui University of Finance and Economics, Bengbu, Anhui 233030, China;

4. School of Mathematics, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** Mid-bond test can detect the defects introduced in the bonding process earlier, which will also result in the significant growth of the test application time and test power consumption. Considering the test TSVs, test pins and power consumption, Integer Linear Programming was used to optimize the test application time under three stack structures. Different from the post bond test, compared with the Pyramid structure, the test application time decreases by 4.39% and 40.72%, the number of test TSV increases by 11.84% and 52.24%, the number of test pin reduces by 10.87% and 7.25% in the diamond structure and the inverted Pyramid structure respectively. Considering the test power consumption, the test application time increases by 10.07% in the Pyramid structure, while the diamond structure and the inverted Pyramid structure only increase by 4.34% and 2.65%. The experimental results show that the diamond structure and the inverted Pyramid structure have greater advantage over the Pyramid structure in the mid-bond test.

**Key words:** 3D stacked ICs; mid-bond test; through silicon via (TSV); test access mechanism (TAM); integer linear programming (ILP)

## 1 引言

未来三维堆叠集成电路(3D Stacked Integrated Circuits, 3D-SICs)将应用于航空、医疗、汽车等可靠性要求极高的领域, 故 3D-SICs 的测试十分重要. 目前 3D-SICs 正引起越来越多的关注, 同时也面临许多挑战, 主要体现在良率损失和测试困难上<sup>[1]</sup>. 原因在于三维堆叠集成电路垂直绑定多个晶片, 集成度远高于二维芯片, 但测试管脚

却与二维芯片基本相同, 因此分配给每个晶片(Die)的测试资源变少, 可控制性与可观察性均下降, 使得传统面向二维芯片的可测试性设计不足以测试 3D-SICs 中的故障. 3D 测试主要分为绑定前测试<sup>[2]</sup>(pre-bond test)、中间绑定测试(或部分堆叠测试, mid-bond test or partial stacking test)和绑定后测试<sup>[3]</sup>(post-bond test). 出于模型简化考虑, 本文将 TSV 和晶片看作一层, 将晶片和 TSV 的测试时间合并, 在后续的描述中统一使用晶片表述.

如表 1 所示,3D 中间绑定过程中涉及多种 2D IC 所没有的制造工艺,如晶圆减薄(thinning)、TSV 对齐(alignment)和绑定(bonding).一旦晶片或者 TSV 中引入缺陷,那么会导致堆叠中所有晶片和 TSV 失效,因为目前的绑定技术无法解除绑定,故需要增加中间绑定测试来提高良率<sup>[6]</sup>.然而,在 3D 测试流程中增加中间绑定测试会导致测试时间剧增. $M$  个晶片构成的 3D-SICs 在逐次堆叠过程中需要  $M-1$  次中间绑定测试,且随着层数增加,测试时间也越来越长,故需要对中间绑定测试时间进行优化.

表 1 3D-SICs 中间绑定过程中存在的缺陷

中间绑定	缺陷	原因
减薄	晶片裂纹	薄晶片受机械应力影响 <sup>[4]</sup>
对齐	TSV 误对齐	TSV 高度差异 <sup>[5]</sup>
绑定	绑定失效	铜锡热膨胀系数差异 <sup>[5]</sup>

在测试时间优化过程中需要综合考虑多种约束条件.Xu Qiang 提出一种基于模拟退火算法的 3D TAM (Test Access Mechanism, TAM) 优化方法<sup>[7]</sup>.作者假设 TAM 可以从任意层开始与结束,这与实际情况不符,因为测试管脚通常位于 3D 堆叠的最底层.考虑测试管脚、测试 TSV 约束,K. Chakrabarty 提出一种基于整数线性规划(Integer Linear Programming, ILP)的 3D-SICs 测试结构优化方案<sup>[8]</sup>,较好地解决了绑定后测试时间的最优化问题,但没有考虑中间绑定测试.向东提出一种热驱动的扫描测试策略,采用扫描树的方法来降低 3D-SICs 绑定前测试的功耗<sup>[9]</sup>.Chih-Yao Hsu 提出一种基于模拟退火算法的测试调度方案,在给定的温度约束下优化绑定后测试时间<sup>[10]</sup>.这种方案只考虑了温度约束,没有考虑测试管脚等约束.以前的研究工作只考虑了约束条件的某一方面,但是实际的 3D 测试流程通常需要考虑多种约束条件,更重要的是都忽视了中间绑定测试.

针对上述问题,本文提出考虑中间绑定测试的 3D 测试时间优化问题,在理论上将绑定后测试优化扩展至更一般的中间绑定测试优化问题.综合考虑测试 TSV、测试管脚以及测试功耗等多种约束条件,采用整数线性规划方法在不同的堆叠布局下最优化中间绑定测试时间.

## 2 问题定义

文献[8]提出一种绑定后测试时间优化方案.晶片的 2D TAM 测试结构固定,设计者只能决定 3D TAM 结构.在设计 3D TAM 时唯一可以决策的是在给定的测试管脚和测试 TSV 约束下,哪些晶片可以并行测试.如图 1 所示,假设:晶片 1、晶片 2 和晶片 3 的测试时间分别

为 800、600 和 300 时钟周期,TAM 宽度为 30、25 和 15 位.

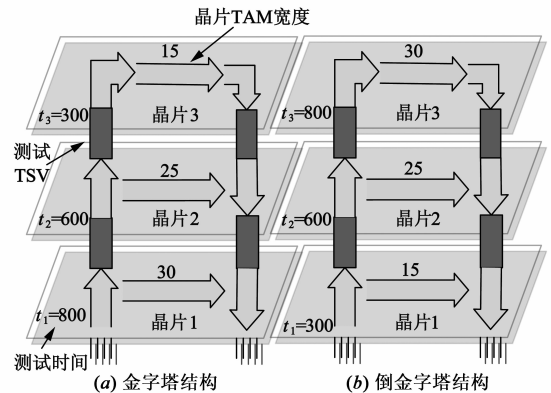


图 1 具有 3 个晶片的 3D-SICs

本文发现除了文献[8]指出需要考虑测试管脚和测试 TSV 等测试资源对绑定后绑定测试时间的影响之外,在中间绑定测试中,堆叠布局也会影响测试时间.假设测试管脚和测试 TSV 充足,各晶片可并行测试.图 1(a)是金字塔结构 3D 堆叠,测试时间从下至上依次降低.两次中间绑定的测试时间为  $\max\{800, 600\} = 800$  周期,  $\max\{800, 600, 300\} = 800$  周期,共 1600 周期.图 1(b)是倒金字塔结构 3D 堆叠,测试时间从下至上依次增大.两次中间绑定的测试时间为  $\max\{300, 600\} = 600$  周期,  $\max\{300, 600, 800\} = 800$  周期,共 1400 周期.可见堆叠布局的不同对测试时间也有影响.

另外,功耗问题在 3D-SICs 测试中尤为突出,故本文考虑了功耗约束.具体的形式化描述如下:给定  $M$  个晶片,测试管脚约束为  $W_{\max}$ ,晶片  $i-1$  和晶片  $i$  ( $1 < i \leq M$ ) 之间可用于 TAM 设计的最大 TSV 个数为  $2 * TSV_{\max}$ ,测试时允许的峰值功耗为  $P_{\max}$ .对于任意  $i \in M$ ,假设其在堆叠中的层号为  $l_i$ ,TAM 宽度为  $w_i$  ( $w_i < W_{\max}$ ),测试时间为  $t_i$ ,测试功耗为  $p_i$ .目标是在不超过  $W_{\max}$ 、 $TSV_{\max}$  和  $P_{\max}$  的条件下,确定最佳的 3D TAM 结构使得测试时间  $T$  (如中间绑定测试时间)最小.

## 3 ILP 模型实施方案

3D-SICs 测试结构优化的 ILP 模型需要定义一些变量和约束条件.二值变量  $x_{ijk}$  的含义是,部分堆叠中有  $k$  个晶片,若晶片  $i$  与晶片  $j$  并行测试,则等于 1,否则为 0,  $k$  的范围是  $[2, M]$ .  $x_{ijk}$  的约束定义为:

$$x_{iik} = 1, \forall k, i \leq k \quad (1)$$

$$x_{ijk} = x_{jik}, \forall k; i, j \leq k \quad (2)$$

$$1 - x_{ijk} \geq x_{iqk} - x_{jqk} \geq x_{jik} - 1, \forall k; i, j, q \leq k, i \neq j \neq q \quad (3)$$

式(1)表示晶片  $i$  总是与其自身并行测试.式(2)表示如

果晶片  $i$  与晶片  $j$  并行测试,那么晶片  $j$  与晶片  $i$  也是并行测试.式(3)表示如果晶片  $i$  与晶片  $j$  并行测试,晶片  $j$  与晶片  $q$  并行测试,那么晶片  $i$  与晶片  $q$  也是并行测试.二值变量  $y_{ik}$  的含义是,部分堆叠中有  $k$  个晶片,如果晶片  $i$  与其下层的某个晶片  $j(l_i > l_j)$  并行测试,则  $y_{ik}$  为 0,否则为 1.

中间绑定测试时间等于并行测试中最大测试时间与串行测试时间之和.使用二值变量  $x_{ijk}$  和  $y_{ik}$ ,中间绑定测试时间  $T$  定义为:

$$T = \sum_{k=2}^M \sum_{i=1}^k y_{ik} \cdot \max\{x_{ijk} \cdot t_j\} \quad (4)$$

等式(4)有两个非线性单元,即  $\max$  函数,  $y_{ik}$  与  $\max$  函数的乘积.通过引入新的变量可以将非线性单元线性化.变量  $c_{ik}$  的值取  $k$  个晶片堆叠中并行测试的最大测试时间,变量  $u_{ik}$  表示  $y_{ik}$  和  $c_{ik}$  的乘积  $y_{ik} \cdot c_{ik}$ .变量  $c_{ik}$  和  $u_{ik}$  使用标准的线性化技术定义.测试时间的线性化函数可修改为:

$$T = \sum_{k=2}^M \sum_{i=1}^k u_{ik} \quad (5)$$

测试管脚不应该超过  $W_{\max}$ ,对于  $k$  个晶片的部分堆叠,并行测试使用的管脚总数约束为:

$$\sum_{j=1}^k x_{ijk} \cdot w_j \leq W_{\max}, \quad \forall i \leq k \quad (6)$$

测试 TSV 不应该超过 TSV 约束.层  $i$  和层  $i-1$  的 TSV 数目是当前层  $i$ 、层  $i$  之上各层 TAM 宽度、层  $i$  和层  $i$  上面所有层并行测试集合所需测试 TSV 数目三者中的最大值.测试 TSV 约束定义为:

$$\max_{i \leq k \leq M} \{w_i, \sum_{j=i}^k w_j \cdot x_{jk}\} \leq TSV_{\max}, \quad \forall i \geq 2 \quad (7)$$

使用变量  $d_i$  表示  $\max$  函数将上述约束条件线性化.另外,与当前层  $i$  并行测试的测试功耗之和应该小于峰值功耗  $P_{\max}$ .测试功耗约束定义为:

$$\sum_{j=1}^k x_{ijk} \cdot p_j \leq P_{\max}, \quad \forall k, \{i, j\} \leq k \quad (8)$$

为完善 ILP 模型,需要定义二值变量  $y_{ik}$  和  $x_{ijk}$  之间的关系.定义一个小于且趋近于 1 的常数  $C$ .

$$y_{1k} = 1, \quad \forall k \quad (9)$$

$$y_{ik} \geq \frac{1}{1-i} \sum_{j=1}^{i-1} (x_{ijk} - 1) - C, \quad \forall k, i \leq k, i \neq 1 \quad (10)$$

式(9)表示最底层无法与任何更低的层并行测试.如果所有的  $y_{ik}$  为 0,那么目标函数值等于 0,这是绝对最小值,没有意义.式(10)考虑所有  $x_{ijk}$  之和的取值范围,将  $x_{ijk}$  的和规范化到  $[0,1]$  区间,依靠目标函数将不受约束的  $y_{ik}$  赋值为 0 或 1.完整的 ILP 模型如图 2 所示.

$$\text{Objective: Minimize } \sum_{k=2}^M \sum_{i=1}^k u_{ik}$$

Subject to:

$$t_{\max} = \max\{t_i\}, \quad i = 1 \cdots M$$

$$c_{ik} \geq x_{ijk} \cdot t_j, \quad \forall k, \{i, j\} \leq k$$

$$u_{ik} \geq 0, \quad \forall k, i \leq k$$

$$u_{ik} - t_{\max} \cdot y_{ik} \leq 0, \quad \forall k, i \leq k$$

$$u_{ik} - c_{ik} \leq 0, \quad \forall k, i \leq k$$

$$c_{ik} - u_{ik} + t_{\max} \cdot y_{ik} \leq t_{\max}, \quad \forall k, i \leq k$$

$$\sum_{j=1}^k x_{ijk} \cdot w_j \leq W_{\max}, \quad \forall k, i \leq k$$

$$d_i \leq TSV_{\max}, \quad \forall i \neq 1$$

$$d_i \geq \sum_{j=i}^k w_j \cdot x_{ijk}, \quad \forall i \neq 1, k \geq i$$

$$d_i \geq w_j, \quad \forall i \neq 1, j = i \cdots M$$

$$\sum_{j=1}^k x_{ijk} \cdot p_j \leq P_{\max}, \quad \forall k, \{i, j\} \leq k$$

$$x_{iik} = 1, \quad \forall k, i \leq k$$

$$x_{ijk} = x_{jik}, \quad \forall k, \{i, j\} \leq k$$

$$1 - x_{ijk} \geq x_{iqk} - x_{jqk} \geq x_{ijk} - 1, \quad \forall k, \{i, j, q\} \leq k, i \neq j \neq q$$

$$y_{1k} = 1, \quad \forall k$$

$$y_{ik} \geq \frac{1}{1-i} \sum_{j=1}^{i-1} (x_{ijk} - 1) - C, \quad \forall k, i \leq k, i \neq 1$$

图 2 考虑中间绑定的 3D-SICs 测试时间优化问题的 ILP 模型

## 4 实验结果与分析

使用 ITC'02 基准电路构造三个 3D-SICs.这里使用的 SoC 电路与文献[8]中的基准电路相同,分别是 d695, f2126, p22810, p34292 和 p93791.如图 3(a)、图 3(b)所示,3D-SIC1 中采用金字塔结构,3D-SIC2 是倒金字塔结构.3D-SIC3 的正视图像菱形,故称为菱形结构,如图 3(c).

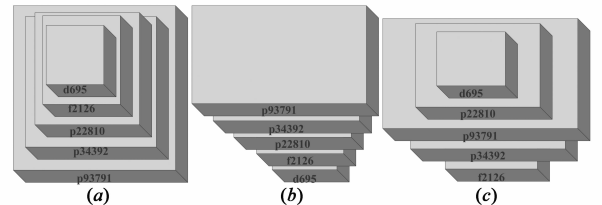


图 3 金字塔结构、倒金字塔结构和菱形结构 3D-SICs 基准电路

晶片的测试时间、TAM 宽度、面积以及测试功耗列于表 2.为便于比较,晶片的测试时间和 TAM 宽度与文献[8]一样. ITC'02 基准电路没有测试功耗信息,这里采用文献[10]中的方法估算测试功耗.具体方法为:计算输入管脚、输出管脚、双向管脚、扫描单元数目,将上述结果求和后乘以 TSMC180nm 工艺下的面积密度  $3.18 \times 10^{-4} (\text{mm}^2/\text{个})$ ,再乘以功耗密度  $1.4 (\text{mW}/\text{mm}^2)$ .在有

4GB 内存 3.10GHz 的 Intel i5 计算机上使用 XPRESS-MP (Student Version 7.5)<sup>[11]</sup> 运行 ILP 模型的 Mosel 程序时间小于 0.1 秒。

表 2 晶片参数

晶片	d695	f2126	p22810	p34392	p93791
测试时间(周期)	96297	669329	651281	1384949	1947063
TAM 宽度	15	20	25	25	30
面积(mm <sup>2</sup> )	2.62	4.96	9.22	7.32	30.82
测试功耗(mW)	3.66	6.94	12.91	10.24	43.15

#### 4.1 测试管脚、测试 TSV 对测试时间的影响

图 4 列出了 3D-SIC1、3D-SIC2 与 3D-SIC3 的测试时间  $T$  随  $TSV_{max}$ 、 $W_{max}$  增加而发生的变化。在图 4(a) 中, 以  $TSV_{max} = 55$  为例, 当  $W_{max} = 80$  时, 测试时间不再降低。原因在于当  $W_{max} > 80$  时, 测试时间主要受测试 TSV 个数制

约, 此时增加测试管脚约束无法降低测试时间。这对于测试资源分配有重要启示: 如果需要将测试时间降到一定程度, 测试管脚资源的分配只需要达到水平线中的第一个点。从图 4(a) 中还可以发现,  $TSV_{max} = 55$  与  $TSV_{max} = 65$  重叠,  $TSV_{max} = 75$  与  $TSV_{max} = 85$  重叠, 这是因为, 当  $TSV_{max} > 55$  时测试时间主要受测试管脚制约, 此时增加测试 TSV 也无法降低测试时间。这对于测试资源分配的启示是: 如果需要将测试时间降到一定程度, 测试 TSV 资源的分配只需要达到两条重叠线中  $TSV_{max}$  较小的配置。图 4(b)、图 4(c) 与图 4(a) 情况类似。因此可以得出结论:  $TSV_{max}$  和  $W_{max}$  共同够决定哪个晶片应该并行测试, 从而决定堆叠的总测试时间, 单独增加测试 TSV 约束或测试管脚约束均不能降低测试时间。

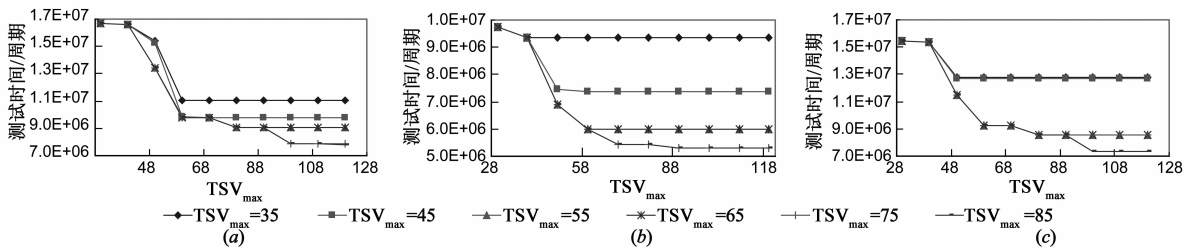


图 4 (a)3D-SIC1、(b)3D-SIC2和(c)3D-SIC3中  $TSV_{max}$  和  $W_{max}$  对测试时间的影响

#### 4.2 堆叠布局对测试时间的影响

表 3 给出了三个不同堆叠布局的 3D-SICs 中间绑定测试时间优化的实验结果。在该表中, 第 1 列是基准电路, 第 2 列是测试 TSV 约束, 第 3 列表示测试管脚约束  $W_{max}$ , 第 4 列表示中间绑定测试的总测试时间, 第 5 - 12 列分别给出了  $k = 2..5$  中间绑定的测试调度和测试时间, 其中符号“||”表示晶片并行测试, “,”表示串行测试。第 13 - 14 列分别是  $k = 5$  时所用到的测试 TSV 和测试管脚。由于中间绑定过程中  $k = 5$  时所需测试 TSV 和测试管脚最多, 此时测试 TSV 数目和测试管脚数目就是中间绑定测试过程所需的测试资源数目。

从表 3 可以看出, 使用相同的  $TSV_{max}$ 、 $W_{max}$  约束条件, 与 3D-SIC1 相比, 3D-SIC3 的测试时间平均减少 4.39%, 3D-SIC2 的测试时间平均减少 40.72%。这说明菱形结构和倒金字塔结构的测试时间比金字塔结构的测试时间更短。文献[8]只考虑绑定后测试时间的优化, 绑定后测试只有 1 次, 故测试时间与堆叠布局无关。然而, 本文的中间绑定测试时间优化方案中, 中间绑定测试共有  $M - 1$  次, 且堆叠下方的晶片会被测试多次。采用倒金字塔结构的堆叠方式, 将测试时间短的晶片放置于堆叠的下方, 中间绑定测试次数较多, 而测试时间长的晶片放置在堆叠的上方, 中间绑定测试次数较少。这样的堆叠布局能从整体上减少中间绑定测试时

间。在使用相同的  $TSV_{max}$  和  $W_{max}$  约束时, 3D-SIC2 比 3D-SIC1 测试时间更短, 3D-SIC3 介于两者之间。

另一方面, 由于测试管脚在最底层, 上层晶片的测试数据必须通过下层晶片传输。在倒金字塔结构中, 下层晶片需要较多的测试 TSV 为上层晶片传输测试数据, 所需的测试 TSV 数目要更多。与 3D-SIC1 相比, 3D-SIC3 的测试 TSV 增加 11.84%, 3D-SIC2 的测试 TSV 增加 52.24%。在测试管脚数目方面, 3D-SIC3 减少 10.87%, 3D-SIC2 减少 7.25%。

#### 4.3 功耗约束对测试时间的影响

从图 5 可以看出, 在相同的测试功耗约束下, 3D-SIC3、3D-SIC2 的测试时间仍然比 3D-SIC1 的测试时间要小很多, 这与 4.2 节结果相似。另一方面, 增加功耗约束

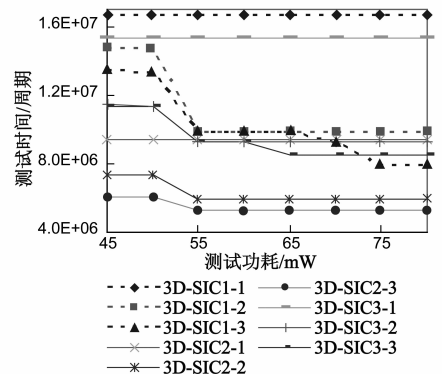


图 5 测试功耗约束对 3D-SICs 测试时间的影响

后测试时间一般会相应增大. 与图 4 相比, 增加测试功耗约束后, 3D-SIC1 的测试时间平均增加 10.04%, 3D-SIC3 的测试时间平均增加 4.34%, 而 3D-SIC2 的测试时间只增加 2.56%, 这说明测试功耗约束对倒金字塔结

构的 3D-SIC2 测试时间影响更小. 再一次的, 菱形结构测试功耗约束对测试时间的影响介于金字塔结构和倒金字塔结构之间.

表 3 3D-SICs 中间绑定测试时间、测试调度以及所需测试资源

3D-SICs	TSV <sub>max</sub>	W <sub>max</sub>	测试时间	中间绑定测试 1 部分堆叠 1-2	中间绑定测试 2 部分堆叠 1-2-3	中间绑定测试 3 部分堆叠 1-2-3-4	中间绑定测试 4 部分堆叠 1-2-3-4-5	测试 TSV	测试管脚						
3D-SIC1	75	30	1.67168E+07	1,2	3.33201E+06	1,2,3	3.98329E+06	1,2,3,4	4.65262E+06	1,2,3,4,5	4.74892E+06	85	30		
		40	1.66205E+07	1,2	3.33201E+06	1,2,3	3.98329E+06	1,2,3,4	4.65262E+06	1,2,3,4,5	4.65262E+06	100	40		
		50	1.34243E+07	1,2	3.33201E+06	1,2,3	3.33201E+06	1,4,2,3	3.33201E+06	1,1,4,2,3,5	3.42831E+06	110	50		
		60	9.77819E+06	1,2	1.94706E+06	1,2,3	2.59834E+06	1,2,3,4	2.61639E+06	1,1,2,3,4,5	2.61639E+06	120	60		
		70	9.77819E+06	1,2	1.94706E+06	1,2,3	2.59834E+06	1,2,3,4	2.61639E+06	1,1,2,3,4,5	2.61639E+06	120	60		
		80	9.09081E+06	1,2	1.94706E+06	1,2,3	1.94706E+06	1,2,3,4,3	2.59834E+06	1,1,2,3,4,5	2.59834E+06	120	75		
		90	9.09081E+06	1,2	1.94706E+06	1,2,3	1.94706E+06	1,2,3,4,3	2.59834E+06	1,1,2,3,4,5	2.59834E+06	120	75		
		100	7.88455E+06	1,2	1.94706E+06	1,2,3	1.94706E+06	1,2,3,4	1.94706E+06	1,1,2,3,4,5	2.04336E+06	150	100		
		110	7.88455E+06	1,2	1.94706E+06	1,2,3	1.94706E+06	1,2,3,4	1.94706E+06	1,1,2,3,4,5	2.04336E+06	150	100		
		120	7.88455E+06	1,2	1.94706E+06	1,2,3	1.94706E+06	1,2,3,4	1.94706E+06	1,1,2,3,4,5	2.04336E+06	150	100		
		3D-SIC2	75	30	9.73331E+06	1,2	7.65262E+05	1,2,3	1.41691E+06	1,2,3,4	2.80186E+06	1,2,3,4,5	4.74892E+06	120	30
				40	9.34812E+06	1,2	6.69329E+05	1,3,2	1.32061E+06	1,4,2,3	2.70556E+06	1,1,4,2,3,5	4.65262E+06	120	40
50	6.89949E+06			1,2	6.69329E+05	1,2,3	7.65262E+05	1,3,2,4	2.03623E+06	1,2,1,5,3,4	3.42831E+06	160	50		
60	5.99128E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,2,3,4,3	2.03623E+06	1,1,2,3,4,5	2.61639E+06	195	60		
70	5.43630E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,3,3,4	1.48125E+06	1,1,2,3,4,5	2.61639E+06	195	60		
80	5.99128E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,3,3,4	1.48125E+06	1,1,3,2,4,5	2.59834E+06	215	80		
90	5.32195E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,2,3,3,4	1.38495E+06	1,1,3,2,4,5	2.59834E+06	215	80		
100	5.32195E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,3,3,4	1.38495E+06	1,1,3,2,4,5	2.59834E+06	215	80		
110	5.32195E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,2,3,4	1.38495E+06	1,1,3,2,4,5	2.59834E+06	215	80		
120	5.32195E+06			1,2	6.69329E+05	1,2,3	6.69329E+05	1,2,2,3,4	1.38495E+06	1,1,3,2,4,5	2.59834E+06	215	80		
3D-SIC3	75			30	1.54572E+007	1,2	2.05428e+006	1,2,3	4.00134e+006	1,2,3,4	4.65262e+006	1,2,3,4,5	4.74892e+006	100	30
				40	1.53609e+007	1,2	2.05428e+006	1,2,3	4.00134e+006	1,2,3,4	4.65262e+006	1,1,5,2,3,4	4.65262e+006	100	40
		50	1.14773e+007	1,2	1.38495e+006	1,2,3	3.33201e+006	1,1,3,2,4	3.33201e+006	1,1,3,2,4,5	3.42831e+006	120	50		
		60	9.23413e+006	1,2	1.38495e+006	1,2,3	2.61639e+006	1,4,2,3	2.61639e+006	1,1,4,5,2,3	2.61639e+006	150	60		
		70	9.23413e+006	1,2	1.38495e+006	1,2,3	2.61639e+006	1,4,2,3	2.61639e+006	1,1,4,5,2,3	2.61639e+006	150	60		
		80	8.5287e+006	1,2	1.38495e+006	1,2,3	1.94706e+006	1,1,2,3,4	2.59834e+006	1,1,2,3,4,5	2.59834e+006	150	75		
		90	8.5287e+006	1,2	1.38495e+006	1,2,3	1.94706e+006	1,1,2,3,4	2.59834e+006	1,1,2,3,4,5	2.59834e+006	150	75		
		100	8.5287e+006	1,2	1.38495e+006	1,2,3	1.94706e+006	1,1,2,3,4	2.59834e+006	1,1,2,3,4,5	2.59834e+006	150	75		
		110	8.5287e+006	1,2	1.38495e+006	1,2,3	1.94706e+006	1,1,2,3,4	2.59834e+006	1,1,2,3,4,5	2.59834e+006	150	75		
		120	8.5287e+006	1,2	1.38495e+006	1,2,3	1.94706e+006	1,1,2,3,4	2.59834e+006	1,1,2,3,4,5	2.59834e+006	150	75		

## 5 结论

3D 堆叠集成电路绑定过程涉及诸多 2D 集成电路所没有的工艺步骤, 如晶圆减薄、TSV 对齐、绑定工艺等. 为了检测出中间绑定过程中引入的缺陷以提高良率, 需要引入中间绑定测试, 但这也加重了测试时间、测试功耗负担. 本文提出一种基于整数线性规划的 3D-SICs 中间绑定测试时间优化方案, 充分考虑测试 TSV、测试管脚以及测试功耗等约束条件, 在金字塔结构、菱形结构和倒金字塔结构三种堆叠布局下最小化测试时间. 研究结果可以帮助 3D 设计师和测试人员分析如何设计 3D 堆叠布局、如何分配测试资源. 从设计的角度来看, 不同的测试方案 (考虑绑定后测试还是中间绑定测试) 反过来也会影响 3D 堆叠的结构布局. 从测试的角度来看, 不同的测试资源分配和晶片堆叠布局会影响到测试时间的优化.

## 参考文献

[1] Cheng Yuanqing, Zhang Lei, Han Yinhe, et al. Wrapper chain

design for testing TSVs minimization in circuit-partitioned 3D SoC[A]. Proc of the 20th Asian Test Symposium (ATS)[C]. New Delhi, India, 2011. 181 – 186.

- [2] B Noia, K Chakrabarty. Pre-bond testing of die logic and TSVs in high performance 3D-SICs[A]. Proc of IEEE International 3D System Integration Conference[C]. Osaka, Japan, 2012. 1 – 5.
- [3] Huang Yu-Jen, Li Jin-Fu, Chen Ji-Jan, et al. A built-in self-test scheme for the post-bond test of TSVs in 3D ICs[A]. Proc of IEEE 29th VLSI Test Symposium (VTS)[C]. Dana Point, California, USA, 2011. 20 – 25.
- [4] H Lee, K Chakrabarty. Test challenges for 3D integrated circuits[J]. IEEE Design & Test of Computers, 2009, 26(5): 26 – 35.
- [5] E J Marinissen, Y Zorian. Testing 3D chips containing through-silicon vias[A]. Proc of International Test Conference[C]. Austin, Texas USA, 2009. 1 – 11.
- [6] Chang Hao, Liang Huaguo, Li Yang, et al. Optimized stacking order for 3D – stacked ICs considering the probability and cost of failed bonding[A]. Proc of International Symposium on VL-

- SI Design, Automation and Test (VLSI-DAT)[C]. Hsinchu, Taiwan, 2014. 283 – 286.
- [7] Jiang Li, Huang Lin, Xu Qiang. Test architecture design and optimization for three-dimensional SoCs[A]. Proc of Design, Automation & Test in Europe Conference & Exhibition[C]. Nice, France, 2009. 220 – 225.
- [8] B Noia, K Chakrabarty, S K Goel, et al. Test-architecture optimization and test scheduling for TSV-based 3-D stacked ICs [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2011, 30(11): 1705 – 1718.
- [9] 神克乐, 向东. 基于三维芯片热驱动的扫描测试策略[J]. 电子学报, 2013, 41(6): 1202 – 1206.  
Shen Kele, Xiang Dong. Three dimensional ICs thermal-driven test application scheme [J]. Acta Electronica Sinica, 2013, 41(6): 1202-1206. (in Chinese)
- [10] Hsu Chih-Yao, Kuo Chun-Yi, J. C. M. et al. 3D IC test scheduling using simulated annealing [A]. Proc of International Symposium on VLSI Design, Automation and Test (VLSI-DAT)[C]. Hsinchu, Taiwan, 2012. 1 – 4.
- [11] FICO. Xpress-Mp[EB/OL]. <http://www.fico.com/cn/solutions/dmtools/>, 2013-12-26.

### 作者简介



常 郝 男, 1983 年 9 月生于安徽寿县. 现为合肥工业大学计算机应用专业博士研究生, 安徽财经大学计算机系讲师, 主要研究方向为三维堆叠集成电路测试技术, 内建自测试 (BIST).

E-mail: 007changhao@163.com



梁华国 男, 1959 年生于安徽合肥, 教授, 博士生导师, 主要研究方向为内建自测试、数字系统设计自动化、ATPG 算法、分布式控制等.

E-mail: huagulg@hfut.edu.cn