

基于电阻电流镜的低压灵敏放大器设计

郭家荣, 冉 峰, 徐美华

(上海大学机电工程与自动化学院, 上海 200072)

摘 要: 提出一种适用于低压快闪存储器的电流模式的低压灵敏放大器. 该灵敏放大器在基准电流产生电路中使用电阻电流镜代替传统的晶体管电流镜, 使得基准电流产生电路的工作电压减少了一个阈值电压, 从而降低灵敏放大器的工作电压. 位线电压控制电路中运算放大器的使用减少了由于温度和工艺变化所引起的位线电压变化, 进而提高读取操作的精度. 采用中芯国际 90nm 工艺设计, 提出的灵敏放大器在 1.2V 电源电压时的读取时间是 14.7ns, 相对于传统的结构, 单个灵敏放大器的功耗被优化了 13%.

关键词: 灵敏放大器; 电流模式; 低压; 快闪存储器

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112 (2014)05-1030-04

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2014.05.032

A Low-Voltage Sense Amplifier Based on Resistor Mirror

GUO Jia-rong, RAN Feng, XU Mei-hua

(School of Mechatronic Engineering and Automation, Shanghai University, Shanghai, 200072, China)

Abstract: A new low-voltage and high speed sense amplifier based on very simple direct current-mode comparison is presented. It adopts low-voltage reference cell current generator implemented through using resistor mirror instead of traditional transistor mirror to avoid threshold voltage drop of the transistor mirror thus reducing voltage supply of sense amplifier. The use of operation amplifier in control circuit of bit-line voltage reduces voltage variation due to the variation of temperature and process corner, thus enhancing access precision. The proposed sense amplifier is designed in SMIC (Semiconductor Manufacturing International Corporation) 90nm process and the sense time is 14.7ns at power supply of 1.2V. Meanwhile, the current power of single sense amplifier is optimized by 13% over conventional structure.

Key words: sense amplifier; current-mode; low-voltage; flash memory

1 引言

快闪存储器 (flash memory) 由于具有非易失性, 抗震和低功耗的特点, 已经被广泛使用^[1]. 显然, 快速存取和低功耗是对快闪存储器的关键要求. 特别是随着便携式电子设备市场需求的不断增加, 例如掌上电脑, 手机等, 为了降低便携式设备功耗, 系统工作电压越来越低. 相应地, 作为快闪存储器的重要外围电路之一, 灵敏放大器 (Sense Amplifier) 也要满足低压和高速读取的需求.

当前, 根据基准电流 (reference current) 与存储单元电流 (memory cell current) 的比较方式, 灵敏放大器可粗略地被分成两类. 一类是电压模式的灵敏放大器^[2,3], 如图 1 所示, 该灵敏放大器由位线电压基准 (INV1、M1 和 INV2、M2)、电流电压转换器 (M3 和 M4) 和差分到单端转换器 (运算放大器 OP) 构成. 在读取操作中, 电压模式

的灵敏放大器的电流电压转换器把基准电流 I_{REF} 和存储单元电流 I_C 分别转换成电压 V_{MAX} 和 V_{REF} , 然后比较器比较这两个电压产生输出 V_{OUT} . 该电压模式的灵敏放大器由于存储单元分支上二极管连接的 PMOS 管的使用 (图 1 中的 M3) 使结点 MAT 电压摆幅受限, 进而限制读取时间. 另一类是电流模式的灵敏放大器^[4,5], 如图 2 所示, 这类灵敏放大器由电流镜 (M7 和 M8 构成) 抽取基准电流 I_{REF} 与存储单元电流 I_C 在结点 D 处直接比较, 电流差产生的电压信号 V_D 通过差分放大器与电压 V_{REF} 比较产生输出 S_{OUT} . 该灵敏放大器的结点 D 相比较图 1 的 MAT 结点有较大的电压摆幅, 因此使得输出级有较快的输出速度, 进而具有较快的读取时间. 当电源电压高于 1.5V 时, 两类灵敏放大器都能很好地工作. 但当电源电压低于 1.5V 时, 由于要保证充分的读取电流, 位线电压 V_{DR} 不能被缩减, 所以必须设计新的灵

敏放大器结构以适应低压的需求。

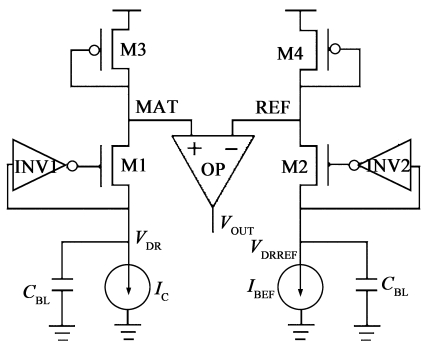


图1 传统的电压模式的灵敏放大器结构

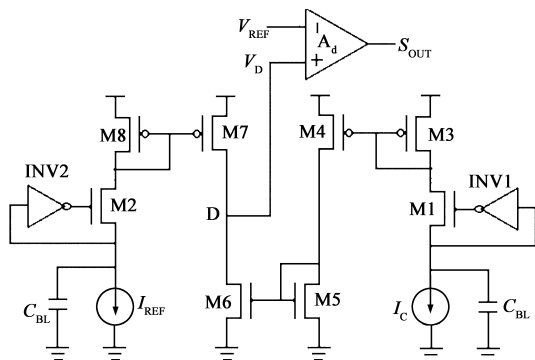


图2 典型的电流模式的灵敏放大器结构

文献[6~8]给出了低压的灵敏放大器方案,但是存在一些缺点.例如文献[6]中的结构存在两个缺点,一是位线电压预充依赖于电源电压(通常为电源电压的一半),而电源电压本身是不可控制的;二是用来隔离位线电容和感应结点电容的共栅晶体管限制了该灵敏放大器的低压操作.文献[7]中的结构不仅需要低压阈值晶体管,而且位线电压基准电路不适合低压操作.文献[8]中的结构由于采用位线基准电路,使电路有大的功耗.

针对现存灵敏放大器的上述不足,本文提出了一个能工作在低压的高速灵敏放大器设计.该灵敏放大器基于直接的电流比较模式,使用由电阻对和运算放大器构成的电流镜代替晶体管对的电流镜抽取基准电流,从而避免了基准电流产生器由于使用晶体管对电流镜所产生的阈值电压差,进而降低灵敏放大器的工作电压.位线电压控制电路使用运算放大器代替传统的反相器不仅可以降低需要的最低电源电压,而且缩减了由于温度和工艺变化而引起的位线电压变化,进而提高灵敏放大器的读取精度.比较传统的电流模式灵敏放大器,本文提出的灵敏放大器结构去除了抽取存储单元电流的电流镜的使用,从而减少了器件间的失配问题影响.

2 提出的低压灵敏放大器结构

提出的低压灵敏放大器结构及时序图如图3所示.以单位负反馈配置的运算放大器 OP1 级联源跟随器输出级 MN1 构成位线电压控制电路,运算放大器代替传统反相器的方法减少了由于温度和工艺变化所引起的位线电压变化,提高了位线电压精度.电阻对 R_1, R_2 和运算放大器 OP3 构成的电流镜完成基准电流抽取功能.在相同条件下,落在该电流镜上的电压比落在晶体管对电流镜上的电压少了一个阈值电压值,降低了基准电流产生电路需要的最低电源电压.基准电流 $I_{REFCELL}$ 与存储单元电流 I_{CELL} 在结点 SO 处比较,形成的电流差产生电压 V_{SO} .基准电压产生器负责产生一个基准电压 V_{GREF} .动态比较器 OP4 通过比较电压 V_{SO} 和 V_{GREF} 产生输出 V_{OUT} .基准电压 V_{GREF} 必须仔细设计以最佳化读取时间与读取精度之间的关系.很明显,结点 SO 电压 V_{SO} 的变化范围是 $[V_{BL}, V_{FB}]$,也就是 $[V_{REF}, V_{SREF}]$.因此电压 V_{GREF} 由基准电压产生电路设置为 $(V_{BL} + V_{FB})/2$.

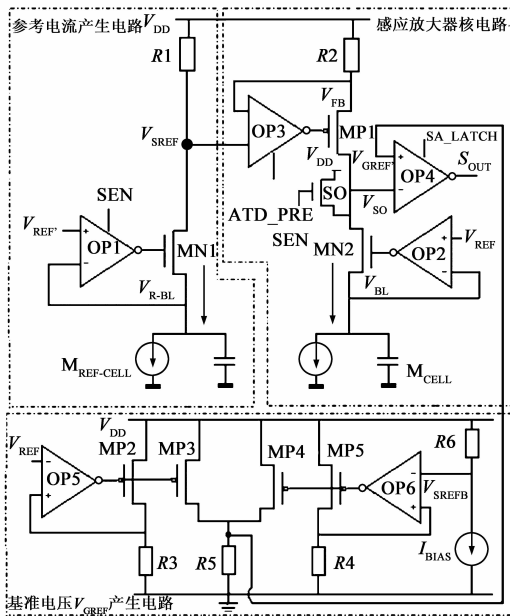


图3 提出的低压灵敏放大器电路图和时序图

在芯片制造中,通常大的电阻占用大的面积,进而增加成本.因此,在该灵敏放大器电路设计中必须考虑电阻电流镜中电阻值的大小及占用的面积的问题.下面详细描述了在电源电压最低为 1V 的情况下对电阻

R_1 和 R_2 的电阻值及占用面积进行相应的计算. 如果 $V_{R-BL} = 0.6V$, $V_{ds, MN2} = 50mV$, 在考虑一定设计裕度的情况下, 则在 $1V$ 电源电压下, 电阻 R_2 上的电压差为 $300mV$. 一个参考单元在读条件下的电流为 $20\mu A$, 感应核电路的基准电流, 也就是流过 R_2 的电流, 取为一个参考单元电流的 30% , 则为 $20 \times 0.3 = 6\mu A$, 得 R_2 的电阻值为 $300 \times 10^{-3}V / (6 \times 10^{-6}A) = 5k\Omega$. 采用 POLY 电阻, 在 $90nm$ 工艺下, $1\mu m^2$ 电阻值为 270Ω , 则 R_2 占用面积约为 $A_2 = 18.5\mu m^2$. 参考单元分支使用 8 个参考单元并联, 因此所流电流为 $20 \times 8 = 160\mu A$, 则 R_1 电阻值为 $6 \times R_2 / 160 = 187.5\Omega$, 相应面积为 $A_1 = 187.5 / 270 = 0.7\mu m^2$, 结果一个灵敏放大器中电阻电流镜的电阻 R_1 和 R_2 所占的面积为 $A = A_1 + A_2 = 19.2\mu m^2$. 这样, 从计算结果来看, 电阻值及相应的面积都是很小的.

3 一阶模型

为了进行模拟前的设计, 一阶模型分析是必要的. 低压和快速存取是该灵敏放大器要满足的两个主要性能指标.

3.1 需要的最低电源电压

下面分别讨论图 3 中三个子电路需要的最低电源电压来推出整个灵敏放大器的最低工作电压.

基准电流产生电路的最低工作电压由式(1)给出:

$$V_{DD \text{ ref, min}} = V_{R-BL} + V_{ds, MN1} + V_{R1} \quad (1)$$

如果 $V_{R-BL} = V_{REF} = 0.6V$, $V_{ds, MN1} = 50mV$ 和 $V_{R1} = 150mV$, 则需要的最低电源电压 $V_{DD \text{ ref, min}} = 0.8V$.

感应核电路可工作的最低电源电压由式(2)给出:

$$V_{DD \text{ cell, min}} = V_{BL} + V_{ds, MN2} + V_{ds, MP1} + V_{R2} \quad (2)$$

如果 $V_{BL} = V_{REF} = 0.6V$, $V_{ds, MN2} = 50mV$, $V_{ds, MP1} = 50mV$ 和 $V_{R2} = 150mV$, 则需要的最低电源电压 $V_{DD \text{ cell, min}} = 0.85V$.

基准电压 V_{GREF} 产生电路需要的最低工作电源电压由式(3)给出: $V_{DD \text{ gref, min}} = V_{REF} + V_{ds, MP2}$ (3)

设 $I_{BIAS} = I_{REFCELL}$, $R_6 = R_1$, $V_{ds, MP2} = 150mV$, 和 $V_{REF} = 0.6V$, 则需要的最低工作电源电压是 $V_{DD \text{ gref, min}} = 0.75V$.

因此, 综合上面对提出的灵敏放大器的三个子电路最低工作电压的分析, 能够推断出提出的灵敏放大器可以工作的最低电源电压约为 $0.85V$.

3.2 读取时间

从提出的低压灵敏放大器拓扑结构来看, 读延迟时间被分成三段 T_{BL} , T_{SO} 和 $T_{DYNAMIC}$. T_{BL} 是预充电电路对位线电容的充电时间, 由式(4)给出.

$$T_{BL} = (V_{BL} \cdot C_{BL}) / (I_{PRE-CHARGE}) \quad (4)$$

其中, $I_{PRE-CHARGE}$ 是由 NMOS 晶体管 MN1 提供给位线电容的充电电流. T_{SO} 是电流 I_{CELL} 和 $I_{REFCELL}$ 的差值对结点 SO 电容充电或放电的时间, 由式(5)给出.

$$T_{SO} = (\Delta V \cdot C_{SO}) / (I_{REFCELL} - I_{CELL}) \quad (5)$$

其中, $\Delta V = |V_{SO} - V_{GREF}|$, C_{SO} 是结点 SO 处总的电容, 包括 C_{MP1DG} , C_{MP1DB} , C_{MN2CD} , C_{MP1DB} 和 $C_{DYNAMIC}$ (动态比较器 OP4). 考虑到快速读取的需要, 这个电容必须被最小化. 最后 $T_{DYNAMIC}$ 是输出电路比较电压 V_{SO} 和 V_{GREF} 产生输出 V_{OUT} 需要的时间. 这个时间范围是 $2ns \sim 5ns$. 结果总的读取延迟时间可由式(6)给出.

$$T_{total-delay} = T_{BL} + T_{SO} + T_{DYNAMIC} \quad (6)$$

可见, 缩短整个灵敏放大器的读延迟时间可以从两个方面改进: (1) 是增大位线电容充电电流和结点 SO 处的充放电电流; (2) 减少各电路块的输入端电容. 当然如果单一增加某个性能, 会减少其它方面的性能, 设计过程中要最佳折中.

4 模拟结果和分析

为了验证提出的灵敏放大器的性能, 对新结构电路基于 SIMC90nmflash 工艺进行了仿真, 并给出了相应的仿真结果. 图 4 给出了新结构灵敏放大器在 $V_{DD} = 1.1V$ 和 $T = -40^\circ C$ 条件下进行的读操作模拟结果. 图 4 中的读取电压裕度指的是感应使能开始时 SO 结点电压 V_{SO} 与基准电压 V_{GREF} 之差. 另外, 图 4 中观察到感应时间由三段构成: 位线电容充电时间, 基准电流与存储单元的电流差对结点 SO 充放电时间和比较器输出级动态感应时间, 与一阶模型分析获得一致的结果.

一个存储单元以在浮栅上存储不同的电荷量来存储“0”和“1”的, 不同的电荷量对应不同的阈值电压, 因此, 在相同基准条件下, 存储“0”信息的单元和存储“1”信息的单元有不同的电流. 图 5 列出了在 $V_{DD} = 1.2V$, $T = 125^\circ C$ 条件下, 灵敏感应放大器在不同存储单元电流下的存感应时间模拟结果. 从图中能够看到, 新方案相比较传统的灵敏放大器, 需要较少的感应时间, 而且对于存储单元电流的变化, 感应时间灵敏度是很低的. 因此, 提出的灵敏放大器在一定的存储电流范围内有有限的读延迟时间变化. 当电源降低时, 灵敏放大器的性能也降低. 图 6 给出了提出的灵敏放大器在电源电压在 $[0.9V, 2V]$ 范围内变化时对应的感应时间. 显然, 新结构感应时间对于电压变化的灵敏度是很低的, 同时, 当电源电压低于 $1.4V$ 时, 新结构仍然能够很好的工作. 但是传统的结构不能, 因此, 提出的灵敏放大器是很适合低压工作的.

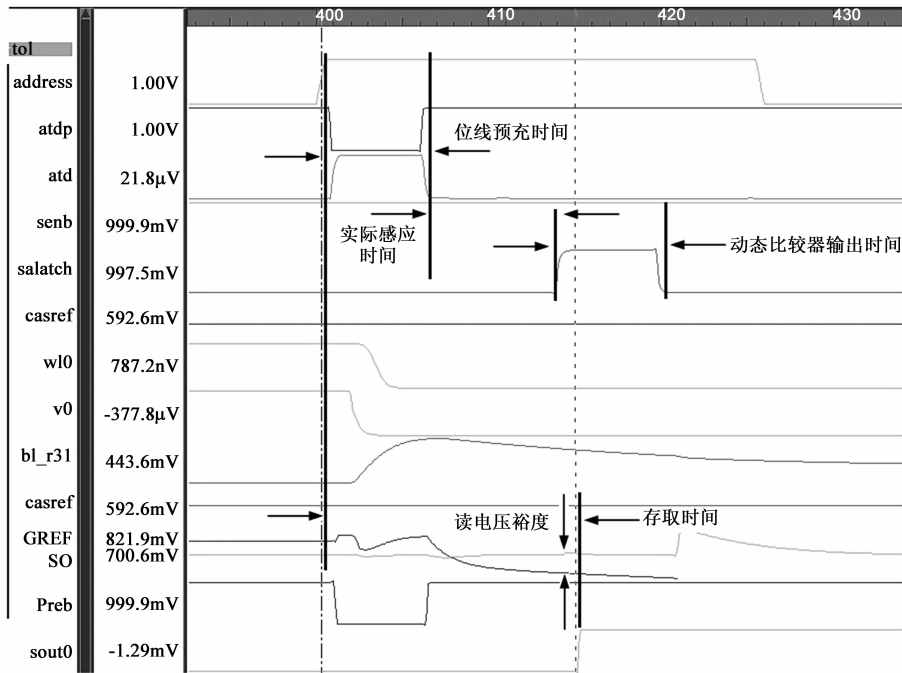


图4 模拟的读操作波形

感应时间与存储单元电流的对应关系
($\Delta I = 1\mu A / V_{DD} = 1.2V$)

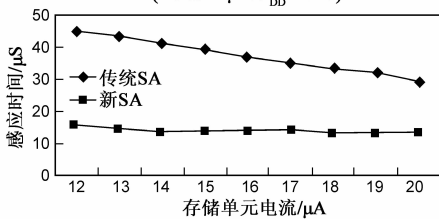


图5 对应于存储单元电流的感应时间变化

感应时间与电源电压的关系
(cell current=16μA/ $\Delta V = 0.1V$)

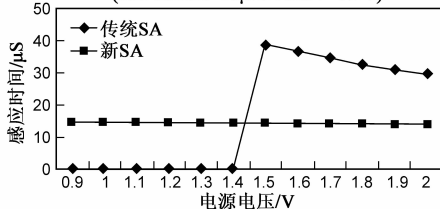


图6 对应于电源电压的感应时间变化

图7给出了新结构灵敏放大器与图2所示的传统结构的灵敏放大器在32位读操作中的电流消耗比较.为简单性,图2中的差分放大器用反相器代替.电流功耗指在一个读周期中的平均值.从图7中,很容易观察到新结构灵敏放大器的功耗消耗是少于传统结构的.功耗减少得益于两个原因,一是使用的电流镜减少;另一个是基于新电流镜技术,基准电流产生电路相比较传统结构缩减了功耗消耗.总的电流功耗比传统结构缩减了约13%左右.

根据上述的模拟结果与分析,新结构的灵敏放大

器相比较传统的结构来说,不仅能够低功耗地工作在低压下,而且感应时间也少于传统的结构,达到了所要求的性能指标:低压和高速.

一个读周期32位I/O

新结构	传统结构	
20μA	28μA	控制块
4.9μA×32	25μA×32	电流镜
51μA×32	48μA×32	位线预充电路
25μA	0μA	基准电压产生电路
90μA	65μA	参考电流产生电路
5μA×32	0μA	动态比较器
6μA×32	5μA×32	位线钳位电路
2.3mA	2.6mA	总电流功耗

图7 新结构与传统结构之间的电流功耗比较

5 结论

本文提出了一种适用于快闪存储器的低压高速灵敏放大器结构.在该放大器的基准电流提取路径中用电阻电流镜代替传统的晶体管电流镜,从而降低灵敏放大器的工作电压;采用运算放大器代替存储单元及基准单元中的反相器用于稳定位线电压进而提高读取操作的准确性.理论分析及仿真结果表明,与传统的电流灵敏放大器相比,该放大器具有读取速度快,功耗低,并且适合在低压下工作的特点.

参考文献

[1] Liu Shu, Guan Xuetao, Tong dong, Cheng Xu. Anysis and comparison of NAND flash specific file systems[J]. Chinese

- Journal of Electronics, 2010, 19(3): 403 – 408.
- [2] Clinton Kuo, Mark Weidner, Thomas Toms, et al. A 512-kb flash EEPROM embedded in a 32-b microcontroller[J]. Solid-State Circuits, 1992, 27(4): 574 – 582.
- [3] Micheloni R, Crippa L, Sangalli M, Campardo G. The flash memory read path: Building blocks and critical aspects[J]. Proceedings of the IEEE, 2003, 91(4): 537 – 553.
- [4] Liu Jiang, et al. A low-voltage sense amplifier for high-performance embedded flash memory[J]. Journal of Semiconductors, 2010, 31(10): 105001-1 – 105001-5.
- [5] Bedeschi F, Bonizzoni E, Khouri O, et al. A fully symmetrical sense amplifier for non-volatile memories[A]. 2004 International Symposium on Circuits and System(ISCAS)[C]. Canada: IEEE, 2004, 2: 625 – 6288.
- [6] Otsuka N, Horowitz M A. Circuit techniques for 1.5-V power supply flash memory[J]. Solid-State Circuits, 1997, 32(8): 1217 – 1230.
- [7] Tanzawa T, et al. Design of a sense circuit for low-voltage flash memories[J]. Solid-State Circuits, 2000, 35(10): 1415 – 121.

- [8] Conte A, Giudice G L, Palumbo G, et al. A high-performance very low-voltage current sense amplifier for nonvolatile memories[J]. Solid – State Circuits, 2005, 40(2): 507 – 513.

作者简介



郭家荣 女, 1980 年生于安徽淮北. 上海大学微电子中心博士. 研究方向为半导体存储器.

E-mail: jrguo@shu.edu.cn



冉峰 男, 1958 年生于上海. 博士生导师, 研究方向为微电子与集成电路设计、高清晰度平板显示与应用集成技术.