

# 一种故障通道隔离的低开销容错路由器设计

欧阳一鸣<sup>1</sup>, 陈义军<sup>1</sup>, 梁华国<sup>2</sup>, 易茂祥<sup>2</sup>, 李建华<sup>1</sup>

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009)

**摘 要:** 片上网络中路由器发生故障势必会影响整个网络的性能, 过大的容错开销也会给网络带来很大的负担. 对此, 本文提出了一种故障通道隔离的低开销容错路由器架构, 该路由器通过减少不必要的交叉开关及合理优化各个端口 VC 的数目来减小路由器整体开销, 同时增加一个冗余通道来达到对路由器容错的目的. 当路由器中某个通道发生故障时, 通道隔离检测方法使路由器能够在检测故障类型的同时进行数据传输, 带回收指针的重传 buffer 将会进一步减少整个容错结构的开销. 实验结果表明在无故障情况下本文设计的路由器较传统路由器平均延时降低 45% 左右, 最大吞吐率提高 28% 左右, 面积开销仅仅增加了 18.24%. 在故障存在的情况下, 本文方案也显现出很大的优越性, 能够达到很好的容错效果.

**关键词:** 片上网络; 路由器故障; 容错; 故障通道隔离

**中图分类号:** TP302      **文献标识码:** A      **文章编号:** 0372-2112 (2014)11-2142-08

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2014.11.003

## Design of a Low-Overhead Fault Channel Isolated Fault-Tolerant Router

OUYANG Yi-ming<sup>1</sup>, CHEN Yi-jun<sup>1</sup>, LIANG Hua-guo<sup>2</sup>, YI Mao-xiang<sup>2</sup>, LI Jian-hua<sup>1</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** A fault occurring in the router of Network-on-chip will certainly affect the overall network's performance. At the same time, the excessive fault-tolerant overhead brings a huge burden to the network. For these reasons, this paper proposes a low-overhead fault-tolerant router architecture which reduces the area overhead by decreasing unnecessary crossbar and rationally optimizing the number of VCs in each port. Simultaneously, a redundant channel is used to tolerate fault for the router. When a channel fault occurs in the router, by using an isolated channel detection method, the routers can simultaneously detect the fault type and transmit data. Moreover, a new buffer with a recycle pointer is designed to retransmit error packages which would save the overhead of the fault-tolerant unit. Experimental results show that, in the case of no fault existing, the proposed router has 45% lower latency in average and 28% higher throughput rate performance than a typical VC router with only 18.24% larger area. In the case of the faults existing, the proposed router is also able to achieve good fault tolerance effect.

**Key words:** network-on-chip; router fault; fault-tolerant; fault channel isolated

## 1 引言

片上网络(Network-on-Chip, NoC)可以为多处理器片上系统(Multiprocessor Systems on Chip, MPSoC)不同核之间提供高效的通信,其较总线架构的片上系统(System-on-Chip, SoC)而言,具有高带宽、低延时和可扩展性强等优点<sup>[1~3]</sup>.

随着晶体管工业尺寸的不断缩减与网络规模的逐渐增大,由工艺不稳定、制造过程异变和退化、电子迁移等导致的电路不可靠问题日益严重,对故障电路的容错

已成为片上网络相关问题研究中一个不可缺少的分支<sup>[4~6]</sup>.故障按发生的频率可分为瞬时故障、间歇性故障和永久故障,由于瞬时故障和间歇性故障可控性差,一般采用 ECC 检测并自动纠错或请求重来来解决.对于永久故障容错一般有两种方法:第一种方法通过路由算法绕过故障区域,如文献[7]对不同故障区域采用动态重配置路由算法,达到绕过故障节点的目的.文献[8]提出的偏转路由算法使故障端口的数据包通过向其他正常端口偏转进而实现容错.通过路由算法绕过故障区域的优点是灵活性高,实现简单,整体开销较小.但其致

命缺点就是容错能力有限,不能解决故障导致孤立区域不可到达的问题.所以对于多故障的片上网络只能采取第二种方法即采用硬件冗余来容错,文献[9]使用多模冗余技术对整个路由器进行加固,这样做电路可靠性必然得到了保障,但是对大的组件采用多模冗余所带来的面积和功耗上的开销是一般网络所不能接受的.文献[10]采用虚通道共享,用其他端口功能完好的虚通道传输故障虚通道中的数据,此方法可以解决虚通道故障,但其控制仲裁逻辑比较复杂,而且端口的竞争会带来网络性能的下降.

综合以上研究,本文提出了一种故障通道隔离的低开销硬件冗余容错路由器.文章有以下几点创新之处:(1)以 XY 路由算法为例设计出一个低开销、低延时的路由器架构;(2)提出一种故障通道隔离检测方法,最小化故障检测对系统性能的影响;(3)设计带有回收指针的 FIFO 作为输入端口的 buffer,在不额外增加面积开销的前提下完成错误数据包的重传.

## 2 路由器架构

### 2.1 传统虚通道路由器架构

传统的虚通道(Virtual Channel, VC)路由器<sup>[11,12]</sup>主要由输入缓冲 buffer、交叉开关、控制模块(路由计算 RC、虚通道分配器 VA 和交叉开关分配器 SA)以及相应的连接线路组成.图 1 所示的是一个传统 P 端口的路由器.

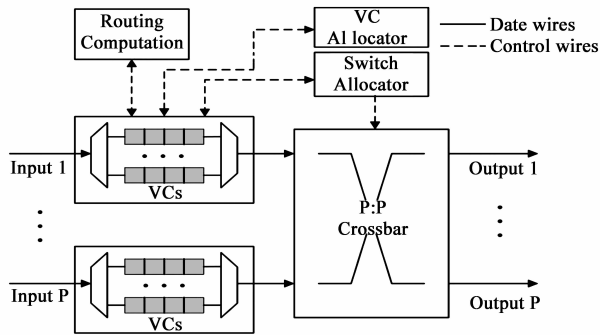


图1 传统P端口路由器架构示意图

### 2.2 头阻塞和流水线关键路径长问题

传统虚通道路由器当网络负载大的情况下很容易发生头阻塞问题(Head-of-Line blocking),头阻塞是当位于同一个 VC 的多个数据包中的第一个数据包因得不到交叉开关授权而被阻塞,使其后面的所有数据包因要等待第一个数据包传输而不得不被阻塞的现象<sup>[13]</sup>.头阻塞将会增加网络延时,进一步加大网络拥塞程度,本文通过文献[14]提出一种虚拟输出队列(Virtual Output Queue, VOQ)机制进行有效解决.

此外,传统虚通道路由器还有一个缺点就是流水线关键路径太长,导致网络传输延时大.前向路由机制

(Look-ahead Routing)通过本地路由器计算下一跳路由方向的方式把路由计算从关键路径上移除进而减小网络延时<sup>[11,15]</sup>.同时文献[16]提出的 Full-Xbar VC 路由器中的所有 VC 直接参与交叉开关仲裁,缩短了交叉开关仲裁时间而且增加了网络的吞吐量.本文综合使用前向路由和 Full-Xbar 机制来缩短路由流水线长度,减小网络传输延时.

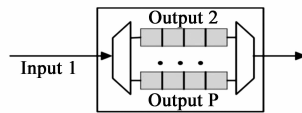


图2 VOQ机制端口1 VC映射结果

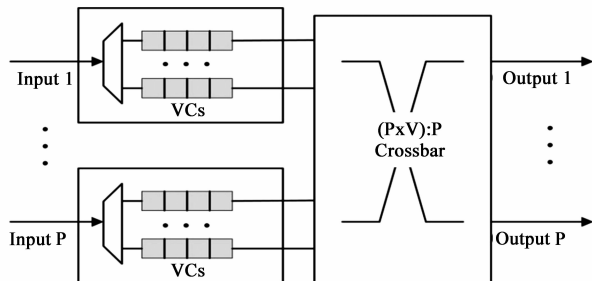


图3 Full-Xbar整体结构图

### 2.3 基于 XY 路由的低开销容错路由器架构

#### 2.3.1 IO 通道故障模型

路由器中的故障按发生区域可分为控制模块故障和数据传输通道故障,由于控制模块所占开销较小,可以通过文献[17]提出的三模冗余(Triple Modular Redundancy, TMR)方法在增加少量面积和功耗的前提下达到很好的加固目的.

IO 通道故障:当路由器中数据从输入端口 I 到输出端口 O 的传输过程中发生错误,则就称该路由器的 IO 通道出现故障,即 IO 通道故障,这里的  $I, O \in \{E, W, S, N, L\}$ .如 EN 通道故障表示路由器从东端口转向北端口的数据传输出现错误,这种错误可能由东端口的数据分配器故障(图 4 中①),东端口到北端口的 VC 故障(图 4 中②),东端口到北端口之间的传输链路故障(图 4 中③)或北端口的多路选择器出现故障(图 4 中④)所导致.

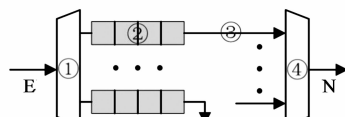


图4 EN通道故障点示意图

#### 2.3.2 容错路由器整体设计

XY 路由算法的主要思想是数据包首先在 X 方向上传输到目的节点 X 维坐标处,然后再向 Y 方向上传输到目的节点.由文献[18]提出的 Turn-Model 模型对 XY 路由进行分析可知,XY 路由不会出现由南、北方向

向东、西方向的转弯,如图5所示.这样在利用VOQ思想时,南北端口中从东西端口输出的VC就没有存在的必要,同时我们还可以简化Full-Xbar中的交叉开关来进一步减小路由器的面积开销.本文以XY路由器为例进行展开说明,当然所提出的这种路由器架构也很容易扩展到其他路由算法中.

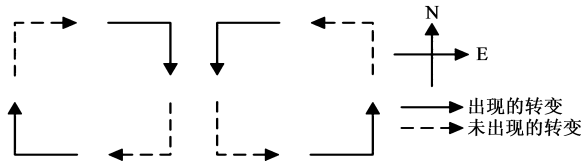


图5 XY路由算法的Turn-Model模型

本文容错路由器基础部分包括东(E)、西(W)、南(S)、北(N)以及本地(L)五个端口、20个VC、由3个4选1和2个2选1的多路选择器实现的交叉开关以及相应的控制逻辑,如图6中非阴影部分.容错部分由一个冗余端口R以及其对应的VC、5个2选1的多路选择器、故障分析模块(Fault Analysis Model, FAM)、故障检测模块(Fault Test Model, FTM)、ECC编码器(ECC Encoder)、ECC解码器(ECC Decoder)和冗余通道控制器(Redundancy Channel Controller)组成,如图6中阴影部分.

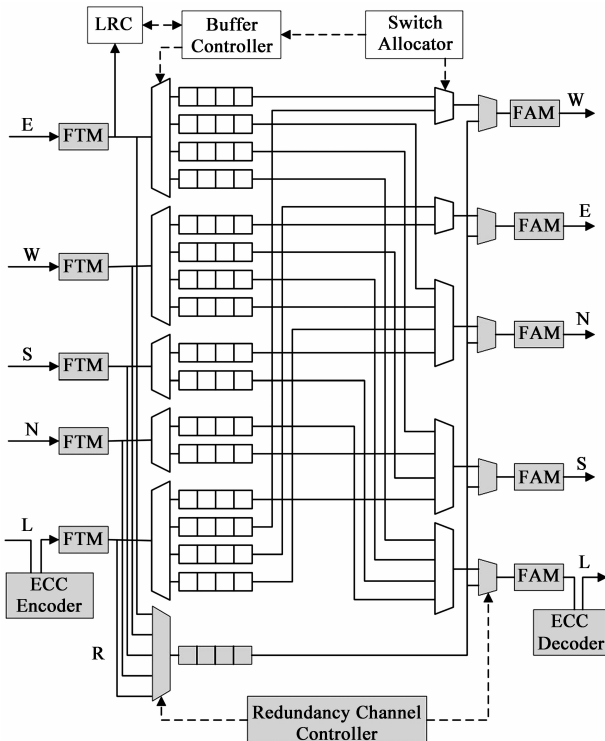


图6 故障通道隔离的低开销XY容错路由器整体架构图

当数据包到来时根据LRC提供的VC-id进入相应的VC,通过交叉开关分配后,就能通过交叉开关的传输、链路传输进入下一级路由器的相应VC中.相比于传统VC路由器5阶段流水如图7(a),本文路由流水线

只有SA、ST和LT3个阶段如图7(b).

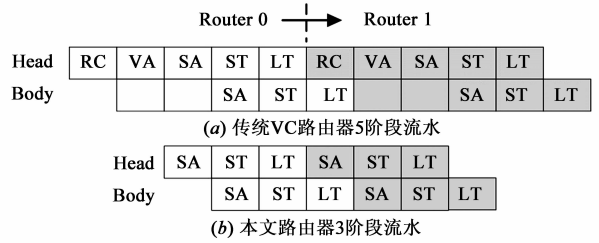
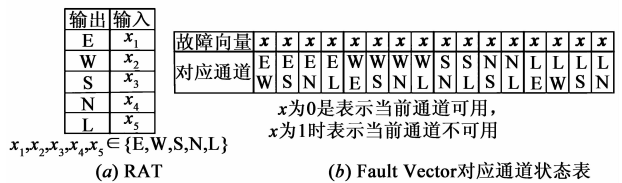


图7

### 2.3.3 容错路由器细节设计

RAT在SA单元中表示某一时刻输出端口分配情况,即是对输入VC的仲裁,如图8(a)所示.表格每一列表示某一时刻E、W、S、N、L对应的输出端口仲裁给某个输入端口,也就是相应的 $X_1E$ 、 $X_2W$ 、 $X_3S$ 、 $X_4N$ 、 $X_5L$ 通道导通. Fault Vector表示某一时刻数据传输通道的故障情况,向量中每一位显示一个通道的故障状态,其值为0时表示当前通道可用,为1时表示所对应的通道存在故障不可用,其对应的通道状态表如图8(b)所示.本文在权衡开销和纠错能力的基础上,使用具有纠正一位错误检测多位错误的汉明码作为ECC检测码<sup>[19]</sup>.数据包从路由器本地端口注入到网络之前都要通过ECC Encoder进行编码,而从本地端口进入资源节点之前要通过ECC Decoder进行解码.



(a) RAT (b) Fault Vector对应通道状态表

图8

### 2.3.4 FAM和FTM

由图6可以看出,FAM和FTM位于路由器的外围,其作用是发现故障通道和检测故障类型,拦截错误的数据流.每当数据传输到输出端口之前都要通过故障分析模块FAM对编码过的数据进行分析,分析及处理的结果可能出现以下3种情况:(1)数据没有出错,正常传输;(2)数据出现一位错误,自动纠错后传输;(3)数据出现多位错误,通知上游路由器的Buffer Controller,使其通过冗余通道重传已传的错误数据包,同时告知本地FTM对故障通道进行故障类型检测.具体细节如下:

FAM内部结构及信号如图9所示,FAM中有两条数据通道:正常数据通道Normal和自动纠错通道Recovery.控制器FAM Controller来控制数据流输出.当数据到来时通过错误检测单元(Error Detection)进行译码检测,若数据没有出错,则通过Normal通道传输到下游路由器的相应VC中.若数据出现一位错误,FAM Controller将通过选通信号控制数据流由Recovery通道流

出.以上两种情况数据都能正确地传送到下游路由器,通过数据确认信号 Write Flit 告知下游路由器的 Buffer Controller 刚接收到的数据正确.最坏的情况是数据出现多位不可自动恢复的错误,此时流向下游的是错误数据,所以要通过 Delete Last Flit 信号通知下游路由器 Buffer Controller 删除刚刚接受到的错误的数据包.同时,与本地路由器 FTM 相连的 Fault Detected 信号有效,通知 FTM 进行故障类型检测,接下来 Comparator 和 Adder 分析由 FTM 发送的测试数据包,并把检测结果通过 Fault Type 发送给 FTM.

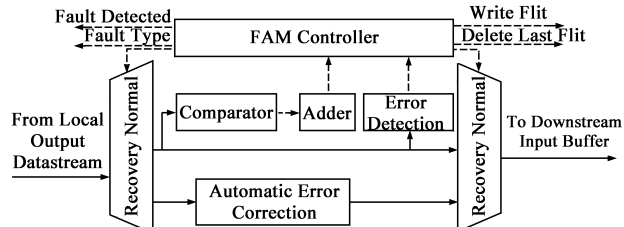


图9 FAM内部结构及信号图

FTM 结构和信号如图 10 所示,FTM 主要有两个功能:(1)当来自 FAM 的 Fault Detected 信号有效时,通过查询 RAT 然后修改 Fault Vector 中对应通道故障表示位为 1,使故障通道进入隔离检测模式,接着向故障通道连续发送 3 个测试数据包,并根据 FAM 反馈的故障类型维护 Fault Vector,如果是瞬时故障,就要把故障通道对应 Fault Vector 位清 0;(2)通过 ACK 和 NACK 应答信号来启动数据重传机制.当来自 FAM 的 Fault Detected 信号有效时,通过 NACK 信号通知上游路由器进行数据重传,否则通过 ACK 信号,告知上游路由器数据正确传输.图中 Counter 计数器控制发送测试数据包数目,Test Flit Generator 产生测试数据包,FTM Controller 通过对多路选择器的控制来使测试数据包进入相应的传输通道.

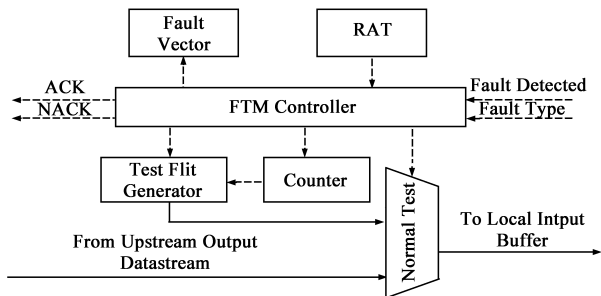


图10 FTM内部结构及信号图

### 3 容错机制

#### 3.1 通道隔离检测技术

通道隔离检测技术是当某一个通道发生故障时,在检测故障类型的同时还可以应答上游路由器对该通

道的数据传输请求,即检测故障的同时不会阻塞路由器的数据传输流.通道隔离检测技术把故障检测从数据传输中隔离出来,使故障检测不出现在数据传输的关键路径中,最小化检测过程对系统性能的影响.细节如下流程图 11 所示,灰色部分是由 FAM 完成,白色部分是由 FTM 完成.

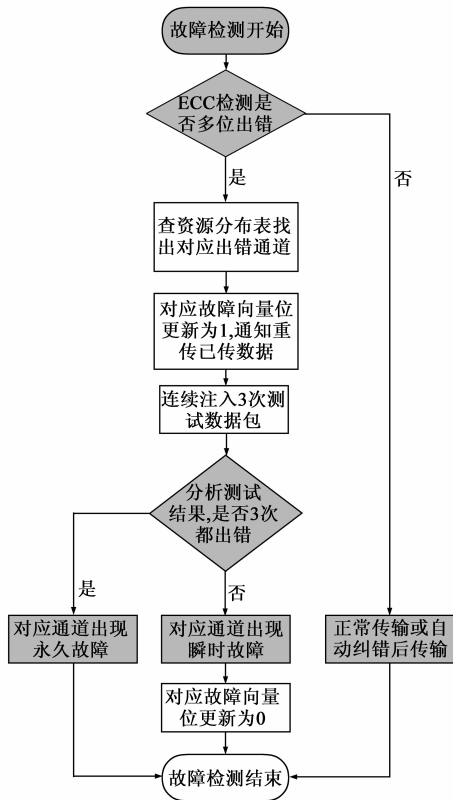


图11 通道隔离检测流程图

通道隔离检测技术具体过程描述如下:当 FAM 中错误检测 Error Detection 检测到数据多位出错时,就会通知 FTM 进行错误检测.FTM 得知有错误发生时,首先查 RAT 找出发生故障的通道,通过 NACK 信号有效通知上游路由器通过冗余通道重发传输出错数据后的所有数据,修改 Fault Vector 把此通道标记为故障,达到隔离通道的目的,然后进行故障通道检测.FAM 把检测结果发给 FTM,FTM 根据检测结果再修改 Fault Vector.

#### 3.2 数据重传机制

本文采用常用的具有错误检测和告知能力的 ACK/NACK 数据流控技术来完成错误数据的重传,这种流控技术提供的 Go-back-N 策略可以有效地重传错误 flit 之后连续  $N$  个 flit<sup>[20]</sup>.常规由 ACK/NACK 数据流控实现错误数据重传的架构中,需要在路由器的输出端口增加一定数量的 buffer 来暂存可能需要重传的 Flit<sup>[21]</sup>,在输出端口增加 buffer 虽然在一定程度上可以增加网络的吞吐量,但是额外的 buffer 会大大增加路由

器面积和功耗上的开销. 鉴于上述原因本文没有采用在输出端口增加 buffer 策略, 而是使用 RAM 实现的一种带有回收指针 FIFO 作为输入端口的 VC, 在接收和发送数据的同时还可以起到缓存数据的作用, 如图 12 所示. 数据通过写指针 (Write) 进入 FIFO, 读指针 (Read) 发 Flit, 回收指针 (Clear) 暂存已传数据.

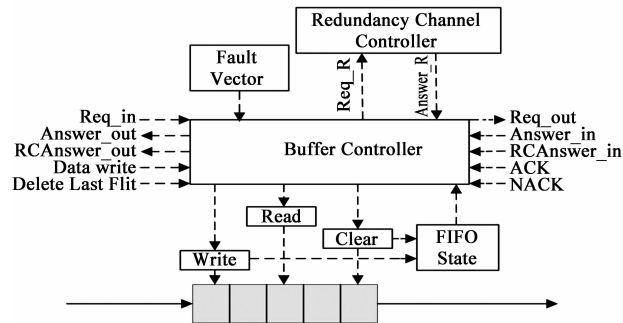


图 12 带回收指针的 FIFO 以及控制模块

图 12 所示的输入 buffer 控制器中信号功能描述如表 1 所示, 其主要完成 4 个方面的逻辑控制: (1) 对上游

路由器数据传输请求的应答. 当上游路由器发送数据请求信号 Req\_in 有效时, 控制器将查询 Fault Vector, 如果发现请求的通道没有故障且 FIFO 不满时, 就置请求响应信号 Answer\_out 有效. 如果请求的通道出现故障, 就转向请求冗余通道, 置冗余通道响应信号 RCAnswer\_out 有效, 对应信号的详细描述如表 1 第 1 组; (2) 上游数据的接收及丢弃. 当来自上游路由器 FAM 的信号 Data Write 有效时, 接收到来的数据, 数据撤销信号 Delete Last Flit 有效时, 丢弃当前接收的数据, 具体信号属性如表 1 第 2 组; (3) 向下游路由器发送数据传输请求. 当 FIFO 中有需要传输的数据时, 控制器向下游路由器对应的通道发送数据传输请求信号 Req\_out, 当收到应答信号 Answer\_in 或冗余通道应答信号 RCAnswer\_in 有效时, 则向对应的通道发送数据, 表 1 中第 3 组给出信号详细描述; (4) 数据清除及重传. 当来自下游路由器 FTM 数据确认信号 ACK 有效时, 通过 Clear 指针移位来清除已传数据, 若 NACK 信号有效则 Read 指针移到 Clear 处, 进行数据重传, 信号描述如表 1 第 4 组.

表 1 Buffer Controller 控制信号列表

组号	信号名称	通信模块	属性	功能描述
1	Req-in Answer-out RCAnswer-out	上游路由器的 Buffer Controller	输入 输出 输出	上游路由器数据传输请求信号 对上游路由器数据传输请求应答信号 对上游路由器数据传输请求应答信号
	Req-R Answer-R	本地路由器冗余 冗余通道控制器	输出 输入	向本地冗余通道发送的数据传输请求信号 本地冗余通道对数据传输请求的应答信号
2	Data write Delete Last Flit	上游路由器的 FAM	输入 输入	上游路由器 FAM 发出数据传输信号 上游路由器 FAM 发出数据撤销信号
3	Req-out Answer-in RCAnswer-in	下游路由器的 Buffer Controller	输出 输入 输入	向下游路由器发出数据传输请求信号 下游路由器数据传输请求响应信号 下游路由器数据传输请求冗余通道响应信号
4	ACK MACK	下游路由器的 FTM	输入 输入	下游路由器 FTM 发出数据回收信号 下游路由器 FTM 发出数据重传信号

## 4 实验结果与分析

本文比较对象为传统虚通道路由器 (图 1) 和文献 [22] 中提出的部分虚通道共享容错路由器 (Partial Virtual channel Sharing, PVS). 实验在网络性能和面积开销两个方面进行展开, 其基本参数设定为由器有 E、W、S、N、L 五个端口, 每个端口 4 个 VC, VC 的深度为 8 个 flit, 具体详细实验结果及分析如下.

### 4.1 网络性能

NoC 中网络性能主要有两大类: 延时和吞吐量, 本文实验在改进的 Booksim 上搭建的  $4 \times 4$  的 2D-mesh 网

络架构下进行, 通信模式采用均匀模式 (uniform) 和位补模式 (bit complement), 采样周期为 1000, 具体实验结果如下图所示. 图 13(a) 为无故障时均匀模式不同数据包注入率下本文方案和传统方案的平均延时, 在相同注入率下本文方案平均延时明显小于传统方案. 如在注入率为 0.3 flit/node/cycle 时传统方案平均延时为 15.25 cycle, 而本文方案平均延时为 8.34 cycle 较传统方案延时减小了 45.31%. 其主要原因有以下两点: (1) 本文路由器采用前向路由和 VOQ 机制, 相比于传统路由器的 5 阶段流水本文只有 3 阶段, 这会大大降低路由器之间数据传输延时; (2) 隔离故障检测技术以及带回收指

针的重传 buffer 在网络无故障时不会增加路由器关键路径长度.图 13(b)是在位补模式不同数据包注入率下两种方案的平均延时,在注入率为  $0.2\text{flit/node/cycle}$  时本文方案较传统方案延时降低了 48.05%.

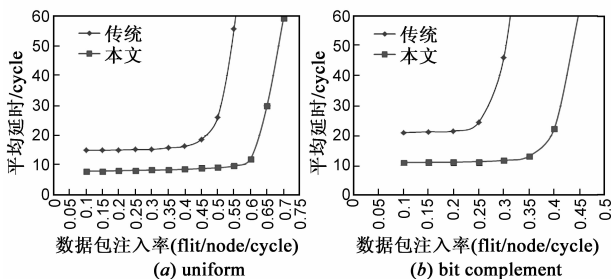


图 13 不同数据包注入率下延时比较

图 14 是在两种不同的通讯模式下,不同注入率时吞吐率的比较.由图可见随着数据包注入率的增加,本文方案吞吐率会大于传统方案.传统路由器使用 XY 路由算法时 X 维通讯量会大于 Y 维,所以随着数据包注入率的增大 X 维的拥塞程度逐渐成为吞吐率增大的主导障碍.而本文路由器 X 维上的通道(8 个)远远大于 Y 维上通道(4 个)数目,可以在一定程度上平衡 X、Y 维网络负载,增大整体网络的吞吐率.

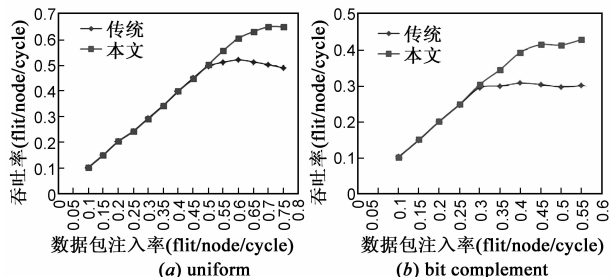


图 14 不同数据包注入率下吞吐率比较

图 15 显示在不同故障数时,传统、本文方案以及 PVS 的平均网络延时比较结果.由于传统方案没有容错机制,所以随着故障数目的增大其延时会迅速增大.本文采用的隔离故障检测技术,出现故障时能快速定位故障通道并使用冗余通道传输故障通道中数据,所以故障对网络性能的影响不会很大.PVS 在故障数较少时能很好地用相邻端口中正常的通道传输故障端口中的数据,然而随着故障数目的增加,会加剧对可用资源的竞争,这样就会使网络性能大幅度衰减.图 15(a)为注入率为  $0.3\text{flit/node/cycle}$  均匀模式下不同故障数时,3 种方案平均延时的比较.由图可以看出在故障数目很少的情况下,本文和 PVS 较传统方案而言均能达到很好的容错效果,但随着故障数目增加 PVS 中对资源竞争会愈加激烈,其相对应的网络延迟也迅速增大.图 15(b)为注入率为  $0.2\text{flit/node/cycle}$  位补模式不同故障数

对应的平均延时.

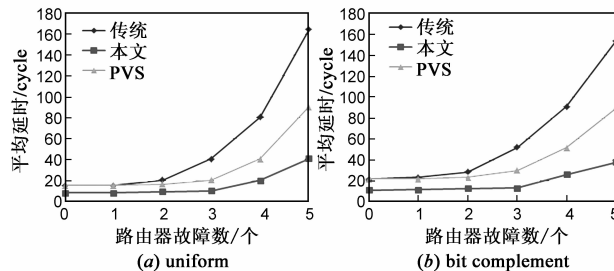


图 15 不同故障数下平均延时比较

## 4.2 面积开销

本文使用 Synopsis Design Compiler 在 45nm 工艺下对本文设计路由器和传统路由器进行面积比较仿真.具体结果如图 16 所示,由于本文利用 XY 路由算法特性对每个端口的 VC 进行合理分配,所以较传统路由器 buffer 面积开销减小了 14.59% 以及对应的交叉开关面积也有所减小.但是本文对控制电路进行 TMR 加固以及增加了对冗余通道的仲裁,因此控制和仲裁逻辑的面积会大幅度增加.同时,本文添加了传统路由器没有的 ECC、FTM 和 FAM,综合以上,本文所提出的低开容错路由器总的面积为  $61912\mu\text{m}^2$  较传统路由器面积  $52362\mu\text{m}^2$  而言开销仅增加 18.24%.

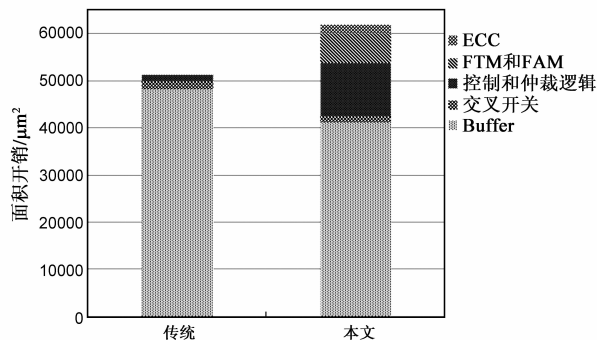


图 16 面积开销对比

## 5 总结

本文针对 NoC 路由器内部故障,提出了 IO 通道故障模型,进而设计出一种故障通道隔离的低开销容错路由器.该路由器通过隔离故障检测技术在不影响网络正常通信的前提下,检测通道故障类型,并通过带有回收指针的 buffer 对已传的错误数据进行重传,对于故障通道的数据通过一个冗余通道进行传输.在设计细节方面该路由器利用路由算法特性合理优化输入端口 VC 的数目,并巧妙使用 VOQ、LRC 等机制减小路由器流水长度.实验结果表明,本文在仅增加少量面积开销为代价的前提下,大幅度提高了网络的性能,而且具有很好的容错效果.

## 参考文献

- [1] Dally, William J, Brian Towles. Route packets, not wires: On-chip interconnection networks[A]. Proceedings of Design Automation Conference[C]. Las Vegas: ACM, 2001. 684 – 689.
- [2] 欧阳一鸣, 张一栋, 梁华国. 三维片上网络故障及拥塞感知的容错路由器设计[J]. 电子学报, 2013, 41(05): 912 – 917.  
Ouyang Yi-ming, Zhang yi-dong, Lian Hua-guo. A fault-tolerant design of congestion-aware router in three-dimensional network-on-chip[J]. Acta Electronica Sinica, 2013, 41(05): 912 – 917. (in Chinese)
- [3] Liu, Cheng, Lei Zhang, Yinhe Han, Xiaowei Li. Vertical interconnects squeezing in symmetric 3D mesh network-on-chip [A]. Proceedings of the 16th Asia and South Pacific Design Automation Conference [C]. Piscataway: IEEE, 2011. 357 – 362.
- [4] Fick, David, Andrew DeOrio, Jin Hu, Valeria Bertacco, David Blaauw, Dennis Sylvester. Vicis: a reliable network for unreliable silicon[A]. Proceedings of the 46th Annual Design Automation Conference[C]. New York: ACM, 2009. 812 – 817.
- [5] 欧阳一鸣, 成丽丽, 梁华国. 一种基于变长数据块相关性统计的测试数据压缩和解压方法[J]. 电子学报, 2008, 36(12): 298 – 302  
Ouyang Yi-ming, Cheng Li-li, Lian Hua-guo. A new test data compression technique based on static relativity of variable length data block[J]. Acta Electronica Sinica, 2008, 36(12): 298 – 303. (in Chinese)
- [6] 马立伟, 孙义和. 片上网络拓扑优化: 在离散平面上布局与布线[J]. 电子学报, 2007, 35(05): p. 906 – 911.  
Ma Li-wei, Sun Yi-he. Network-on-chip topology optimizations: floor-plan and routing on discrete plan[J]. Acta Electronica Sinica, 2007, 35(05): 906 – 911. (in Chinese)
- [7] Zhang, Zhen, Alain Greiner, Sami Taktak. A reconfigurable routing algorithm for a fault-tolerant 2D-Mesh Network-on-Chip[A]. Proceedings of Design Automation Conference[C]. Anaheim: ACM/IEEE, 2008. 441 – 446.
- [8] Feng Chaochao, Minxuan Zhang. A low-overhead fault-aware deflection routing algorithm for 3D network-on-chip[A]. Proceedings of 2011 IEEE Annual Symposium on Computer Society[C]. Chennai: IEEE, 2011. 19 – 24.
- [9] Constantinides, Kypros, Stephen Plaza, Jason Blome. Bullet-proof: A defect-tolerant CMP switch architecture[A]. Proceedings of the Twelfth International Symposium on High-Performance Computer Architecture[C]. Austin: IEEE, 2006. 5 – 16.
- [10] Latif, Khalid, A-M Rahmani, Ethiopia Nigussie, Hannu Tenhunen, Tiberiu Seceleanu. A Novel Topology-Independent Router Architecture to Enhance Reliability and Performance of Networks-on-Chip [A]. Proceedings of 2011 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems [C]. Vancouver: IEEE, 2011. 454 – 462.
- [11] Dally, William James Brian Patrick Towles, Principles and Practices of Interconnection networks[M]. Access Online via Elsevier, 2004. 12 – 25.
- [12] 刘家俊, 顾华玺, 王长山. mesh 优先级容错路由[J]. 计算机工程与应用, 2009, 45(4): 105 – 107.  
Liu Jia-jun, Gun-Huaxi, Wang Chang-shan. Priority fault-tolerant routing in mesh[J]. Computer engineering and applications, 2009, 45(4): 105 – 107. (in Chinese)
- [13] Nguyen, Son Truong and Shigeru Oyanagi. A low cost single-cycle router based on virtual output queuing for on-chip networks[A]. Proceedings of 13th Euromicro Conference on Digital System Design: Architectures, Methods and Tools [C]. Lille: IEEE, 2010. 60 – 67.
- [14] Tamir, Yuval and Gregory L Frazier. High-performance multi-queue buffers for VLSI communications switches[J]. ACM, 1988, 16(02): 343 – 354.
- [15] Mullins, Robert, Andrew West, and Simon Moore. The design and implementation of a low-latency on-chip network[A]. Proceedings of the 2006 Asia and South Pacific Design Automation Conference[C]. Piscataway: IEEE, 2006. 164 – 169.
- [16] Tran, Anh T, Bevan M Baas. RoShaQ: High-Performance On-Chip Router with Shared Queues [A]. Proceedings of 2011 IEEE 29th International Conference on Computer Design[C]. Amherst: IEEE, 2011. 232 – 238.
- [17] Park, Dongkook, Chrysostomos Nicopoulos. Exploring fault-tolerant network-on-chip architectures[A]. Proceedings of International Conference on Dependable Systems and Networks [C]. Philadelphia: IEEE, 2006. 93 – 104.
- [18] Glass, Christopher J and Lionel M Ni. The turn model for adaptive routing[A]. Proceedings of ACM SIGARCH Computer Architecture News[C]. New York: ACM, 1992: 278 – 287.
- [19] Zimmer, Heiko, Axel Jantsch. A fault model notation and error-control scheme for switch-to-switch buses in a network-on-chip[A]. Proceedings of the 1st IEEE/ACM/IFIP international conference on Hardware/software codesign and system synthesis[C]. New York: ACM, 2003. 188 – 193.
- [20] Pullini, Antonio, Federico Angiolini. Fault tolerance overhead in network-on-chip flow control schemes[A]. Proceedings of 18th Symposium on Integrated Circuits and Systems Design [C]. Florianopolis: IEEE, 2005. 224 – 229.
- [21] Killian, Cédric, Camel Tanougast. A new efficient and reliable dynamically reconfigurable network-on-chip [J]. Journal of Electrical and Computer Engineering, 2012, 2012(2012): 1 – 16.
- [22] Khalid Latif, Ethiopia Nigussie, Martin Radetzki. Partial virtual

channel sharing: A generic methodology to enhance resource management and fault tolerance in networks-on-chip[J]. Journal of Electronic Testing-theory and Applications, 2013, 29(03): 1-22.

#### 作者简介



欧阳一鸣(通信作者) 男, 1963年生, 博士, 教授, 硕士生导师, 中国计算机学会高级会员, 研究方向: 片上网络(NoC)与片上系统(SoC), 嵌入式系统的综合与测试, 数字系统设计自动化.

E-mail: oymbox@163.com



陈义军 男, 1990年生, 硕士研究生, 研究方向: 片上系统以及片上网络容错方法.

E-mail: yijunchen\_hf@163.com



梁华国 男, 1959年生, 教授, 博士生导师, 中国计算机学会容错计算专业委员会委员, 研究方向: 嵌入式系统综合与测试、数字系统设计自动化、ATPG算法与分布式控制等.

E-mail: huagulg@hfut.edu.cn