

# 抗电磁干扰低电压 CMOS 放大器设计

白会新, 李洪革, 谢树果, 苏东林

(北京航空航天大学电子信息工程学院, 北京 100191)

**摘要:** 基于 CMOS 体驱动, 提出低电压放大器抗电磁干扰结构. 电路采用部分正反馈结构提高体驱动输入级的等效输入跨导, 通过输入电压降结构改善体驱动结构的直流非线性, 采用双输入级结构保证放大器良好的交流特性, 同时, 对称拓扑结构保证了电路的高度对称性, 实现了对称的转换速率. 该设计采用电源电压为 1V 的  $0.35\mu\text{m}$  标准 CMOS 工艺实现. 对该放大器的抗电磁干扰特性进行理论分析与仿真验证, 并同传统体驱动放大器相比较. 实验结果表明: 该结构的电压失调小于 50mV, 10kHz 频点的输出功率谱密度相比传统结构降低 33dBm.

**关键词:** CMOS 体驱动; 低电压放大器; 抗电磁干扰; 直流非线性

**中图分类号:** TN432      **文献标识码:** A      **文章编号:** 0372-2112 (2015)09-1870-05

**电子学报 URL:** <http://www.ejournal.org.cn>      **DOI:** 10.3969/j.issn.0372-2112.2015.09.028

## Design of Low-Voltage CMOS Amplifier with High Electromagnetic Interference Immunity

BAI Hui-xin, LI Hong-ge, XIE Shu-guo, SU Dong-lin

(School of Electronic and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100191, China)

**Abstract:** Based on CMOS bulk-driven structure, a low-voltage amplifier with high electromagnetic interference (EMI) immunity is proposed. In the circuit, a partial positive feedback enhances its effective transconductance and an input voltage-drop structure modifies its direct current (DC) nonlinearity. For the overall amplifier, a dual input-stage guarantees its good alternating current (AC) feature, and a symmetrical topology ensures its symmetry and symmetrical slew rate (SR). The amplifier was implemented in a  $0.35\mu\text{m}$  standard CMOS process using 1V power supply. Theoretical analysis and simulation results for EMI robustness are presented and compared with the classical bulk-driven amplifier. The results show that the offset voltage of the proposed amplifier is less than 50mV and the output power spectrum density (PSD) at 10kHz is 33dBm lower than that of the classical structure.

**Key words:** CMOS bulk-driven; low-voltage amplifier; electromagnetic interference (EMI) immunity; direct current (DC) nonlinearity

## 1 引言

随着集成电路 (IC, Integrated Circuit) 特征尺寸不断缩减、集成度越来越高, 片上及片间电磁干扰 (EMI, ElectroMagnetic Interference) 问题愈加严重<sup>[1]</sup>, 为避免干扰引起的 IC 性能削弱及失效, 片上系统抗干扰设计尤为重要. 随着工艺进步和便携式设备的广泛应用, 低电压芯片已成为 IC 的发展趋势<sup>[2]</sup>, 特别是随着穿戴式智能电子产品和生物医学微纳器件的发展<sup>[3]</sup>, 如植入式脑机交互微系统<sup>[4]</sup>等, 低电压抗干扰设计已成为技术关键. 为满足特种芯片长续航时间等要求, 需要设计性能良好的低电压放大器<sup>[5]</sup>; 另一方面, 由于脑电信号的微弱性 (峰电位小于  $500\mu\text{V}$ ), 前端采集放大处理电路易受电磁干扰影响. 因此, 抗电磁干扰低电压放大器设计是

当前面临的技术挑战之一.

目前, 低电压放大器被广泛应用, 已涌现出许多低电压技术, 如: 浮栅 MOSFET、亚阈值、体驱动技术等<sup>[5]</sup>. 其中, 体驱动技术由于宽输入摆幅、适于极低电压工作等优点已被广泛采用. 但由于传统体驱动放大器等效跨导低、直流 (DC) 线性度差等不足, 其抗电磁干扰能力远不能满足使用要求. 由于基于栅驱动的源极缓冲<sup>[6]</sup>、基于开关变换器的频率调制<sup>[7]</sup>等抗干扰技术都不适于低电压体驱动结构, 而传统板级方法既影响电子产品的便携性, 又不能从根本上解决电磁敏感问题<sup>[8]</sup>, 有必要针对体驱动结构的抗电磁干扰特性单独进行研究.

本文针对 CMOS 体驱动结构在超低电压下面临的电磁敏感问题, 提出一种双输入级反馈电压降放大器, 以提高其抗电磁干扰性能.



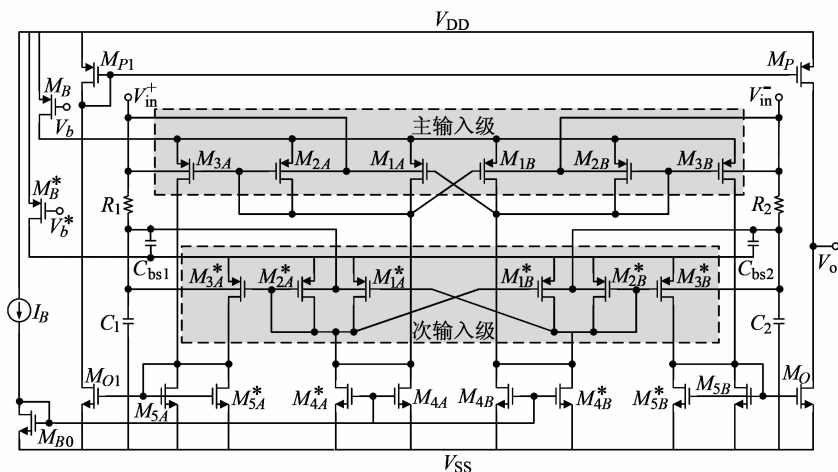


图2 双输入级反馈电压放大器

(1) 输入部分正反馈结构 针对体驱动输入对低等效跨导引起的电磁敏感问题,采用部分正反馈结构解决,如图2.输入信号加在晶体管  $M_{1A-1B}$ 、 $M_{2A-2B}$  和  $M_{3A-3B}$  的体端,  $M_{2A-2B}$  的漏极电压分别反馈到  $M_{1B-1A}$  的栅极,以改变它们的漏极电流,最终在不使用额外电路的情况下提高等效输入跨导.根据小信号等效模型,等效跨导为:

$$g_{m, \text{eff}} = \frac{g_{m1} g_{mb2} + g_{m2} g_{mb1}}{g_{m2} - g_{m1}} = \frac{2N}{N-1} \cdot g_{mb1} \quad (6)$$

其中,  $N = g_{m2}/g_{m1}$ ,  $g_{mb1}$ 、 $g_{m1}$  和  $g_{mb2}$ 、 $g_{m2}$  分别为晶体管  $M_{1A-1B}$  和  $M_{2A-2B}$  的体、栅跨导.

由式(6)可见,适当选取  $N$ , 电路的等效输入跨导可提高  $2N/(N-1)$  倍.在提高 DC 性能的同时,电路的信噪比及截止频率也得到提高,抗 EMI 能力增强;同时,根据式(4),等效跨导的提高,也在一定程度上降低了  $|H_{cm}(j\omega)|$ , 进一步增强放大器的抗 EMI 能力.需要注意的是,器件不匹配、制程变异等会造成  $N$  值偏移,当  $N$  接近 1 时,过强的正反馈会引起电路不稳定,因此,应适当选取反馈强度保证电路稳定性<sup>[12]</sup>.本设计取  $N$  等于 5/4, 可将跨导提高约 10 倍,且不影响电路稳定性.

(2) 输入电压降结构 针对传统体驱动放大器 DC 非线性,采取输入电压降结构改进,如图2.连接在输入端的电压降电阻  $R_{1-2}$  可降低直接加在输入对寄生衬源晶体管上的偏置电压,适当选择其阻值可保证寄生晶体管始终维持反偏状态,不受体端输入电压的影响,进而修正放大器的 DC 非线性,提高其抗 EMI 能力.同时,采用电压降电容  $C_{bs1-2}$  降低寄生电容引起的失调电压,进一步提高电路的抗 EMI 能力,如式(4)、(5).另外,  $R_{1-2}$  同电路等效输入电容构成低通滤波,可有效抑制部分高频电磁干扰.改进结构的失调电压为:

$$V_{OS} = \frac{1}{\eta(V_{GS} - V_{th})} \cdot \int_{-\infty}^{+\infty} |H_{cm}(j\omega) \cdot V_{cm}(j\omega) \cdot V_{dm}(j\omega)| \left| 1 + \frac{1}{j\omega R_{in} C_{in}} \right|^2 \cos\varphi d\omega \quad (7)$$

$$H_{cm}(j\omega) = \frac{j\omega C_T}{2g_{m, \text{eff}} + j\omega(C_T + 2C_{bs})} \quad (8)$$

其中,  $R_{in} = R_1 = R_2$ ;  $C_{in} = C_{bsub} + C_1$ ,  $C_1 = C_2$ ;  $C_{bs} = C_{bs0} + C_{bs1}$ ,  $C_{bs1} = C_{bs2}$ .由方程(7)、(8)可见,采用正反馈和输入电压降结构后,放大器的失调电压降低.但由于阻值较大的电阻和电容器件的采用,放大器的某些 AC 特性被削弱,如:相位裕度及增益带宽积.相位裕度不足使电路在瞬态电磁干扰扰动下产生电压(流)抖动或尖峰,其将对电路本身及后级电路产生影响,限制整体系统的抗 EMI 性能.

(3) 双输入级结构 为保证整体放大器的 AC 特性,采用双输入级结构,如图2.在次输入级  $M_i^*$  上采取电压降电阻及电容器件,提高放大器的抗 EMI 能力.由于抗 EMI 结构施加在次输入级上,其不会对主输入级  $M_i$  产生严重影响,放大器 AC 特性良好<sup>[13]</sup>.通过主次输入级的配合使用,电路具有充足的相位裕度及合适的增益带宽积,无需额外补偿,避免由补偿结构造成的电路不对称及非线性.同时,放大器采用对称输出结构,电路整体拓扑结构高度对称,实现了对称的转换速率,全面提高电路的抗 EMI 性能.另外,主次输入级具有相同的结构组成及晶体管尺寸,使放大器的整体设计易于实现.

## 4 仿真结果

本文提出的抗电磁干扰低电压放大器工作在 1V 电源电压下,主要器件参数如表1.放大器采用标准  $n$  阱  $0.35\mu\text{m}$  CMOS 工艺实现,版图面积为  $232\mu\text{m} \times 179\mu\text{m}$ .仿真采用 Cadence spectre,放大器增益为 51dB,增益带宽

积为 1.6MHz, 相位裕度为 70°. 为研究放大器抗干扰水平, 输入端干扰信号采用零 DC 平均值的正弦波: EMI 信号幅度  $V_{pp}$  设为 1V, 同 1V  $V_{DD}$  相比达到很大的量值<sup>[14]</sup>; 为覆盖多数干扰信号的频率, EMI 信号频率范围设为 1Hz 到 4GHz.

表 1 反馈电压降放大器器件参数

器件	参数	器件	参数
$M_{1A-1B}$	40 $\mu\text{m}/1\mu\text{m}$	$M_B$	500 $\mu\text{m}/1\mu\text{m}$
$M_{2A-2B}$	50 $\mu\text{m}/1\mu\text{m}$	$M_{O-01}$	40 $\mu\text{m}/2\mu\text{m}$
$M_{3A-3B}$	50 $\mu\text{m}/1\mu\text{m}$	$M_{P-01}$	120 $\mu\text{m}/2\mu\text{m}$
$M_{4A-4B}$	40 $\mu\text{m}/2\mu\text{m}$	$R_{1-2}$	500k $\Omega$
$M_{5A-5B}$	40 $\mu\text{m}/2\mu\text{m}$	$C_{1-2}$	200fF
$M_{B0}$	40 $\mu\text{m}/2\mu\text{m}$	$C_{\text{bsl-2}}$	3pF

图 3 为反馈电压降放大器与传统体驱动放大器的比较结果. 明显可见, 输入电压降结构提高了 DC 线性度. 采用双输入级结构后, 反馈电压降放大器转换速率对称, 抖动很小, 瞬态特性良好.

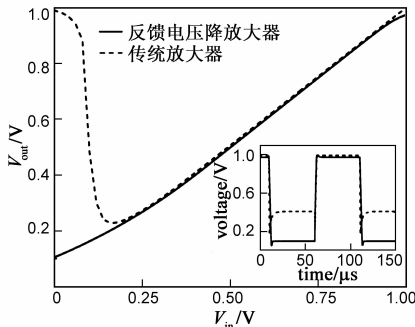


图 3 DC 线性度及输入  $V_{in}=1V_{pp}$ ,  $f=10\text{kHz}$  方波时的大信号瞬态响应

图 4 为电磁干扰引起的失调电压的仿真结果. 相比于传统体驱动放大器, 反馈电压降结构的失调电压下降约一个数量级: 其最大值仅约为 50mV.

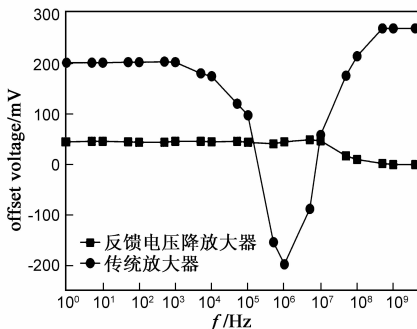


图 4 失调电压: 输入存在 1V<sub>pp</sub> 电磁干扰

图 5 为输出功率谱密度 (PSD) 的仿真结果. 可见, 反馈电压降放大器具有更好的失真性能: 10kHz 频点处的谐波峰值相比于传统结构降低 33dBm.

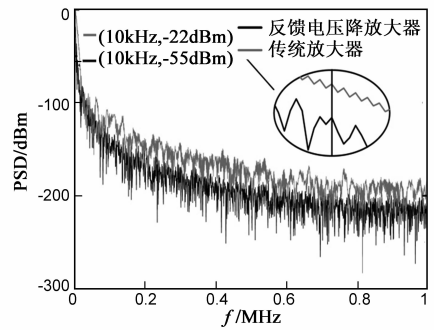


图 5 输入  $f_{EMI}=1\text{kHz}$ ,  $V_{pp,EMI}=1\text{V}$  正弦干扰时的输出 PSD

另外, 将本文提出的反馈电压降放大器的抗干扰性能同相关研究比较, 如表 2. 其中, 电磁干扰强度参考系数  $\beta = V_{EMI}/V_{DD}$ . 可见, 反馈电压降放大器可在低电源电压下正常工作, 对强电磁干扰仍具有抑制作用.

表 2 不同抗电磁干扰放大器性能比较

抗干扰结构	工艺 ( $\mu\text{m}$ )	电源 (V)	EMI 幅度 (mV)	失调最大值 (mV)	干扰强度 $\beta$
Miller1[1]	0.18	1.8	650	24	0.36
源极缓冲[6]	0.35	3.3	750	116	0.23
Miller2[13]	0.35	1.8	900	28	0.5
			1800	55	1
本文结构	0.35	1	500	26	0.5
			1000	50	1

## 5 结论

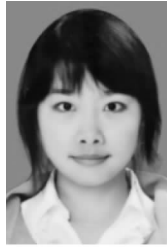
本文讨论了低电压体驱动放大器的电磁敏感问题, 提出了反馈电压降抗电磁干扰低电压放大器. 其采用带有部分正反馈及输入电压降结构的双输入级体驱动结构. 实验结果表明, 基于 1V 干扰电压下, 所设计电路的失调电压最大值仅为 50mV, 10kHz 频点处的输出 PSD 峰值相比传统体驱动结构下降 33dBm, 且对 1Hz ~ 4GHz 频带范围内的电磁干扰均具有抑制作用. 电路采用 0.35 $\mu\text{m}$  标准 CMOS 工艺实现.

## 参考文献

- [1] Richelli Anna. Increasing EMI immunity in novel low-voltage CMOS opamps [J]. IEEE Transactions on Electromagnetic Compatibility, 2012, 54(4): 947 - 950.
- [2] 程剑平, 朱卓娅, 魏同立. 低电压低功耗带通 Sigma Delta 调制器的设计 [J]. 电子学报, 2005, 33(11): 2051 - 2055. Cheng Jianping, Zhu Zhuoya, Wei Tongli. The design of low voltage low power band pass sigma delta modulator [J]. Acta Electronica Sinica, 2005, 33(11): 2051 - 2055. (in Chinese)
- [3] Nicolelis M. Actions from thoughts [J]. Nature, 2001, 409(1): 403 - 407.

- [4] Hongge Li, Qicheng Xu. Sub-threshold-based ultra-low-power neural spike detector[J]. *Electronics Letters*, 2011, 47(6): 367 – 368.
- [5] Zuo L, Islam S K. Low-voltage bulk-driven operational amplifier with improved transconductance[J]. *IEEE Transactions on Circuits and Systems*, 2013, 160(8): 2084 – 2091.
- [6] Redoute J M, Steyaert M. EMI-resistant CMOS differential input stages[J]. *IEEE Transactions on Circuits and Systems*, 2010, 157(2): 323 – 331.
- [7] 李志忠, 丘水生, 张黎. 混沌频率调制增强开关变换器 EMC 的研究[J]. *电子学报*, 2005, 33(11): 1983 – 1987.  
Li Zhizhong, Qiu Shuisheng, Zhang Li. Research on the enhanced electromagnetic compatibility of switching converter with chaotic frequency modulation[J]. *Acta Electronica Sinica*, 2005, 33(11): 1983 – 1987. (in Chinese)
- [8] 冯玮, 李洪革, 张有光. 应用于 D 类放大器的新型混沌频率调制电路[J]. *北京航空航天大学学报*, 2009, 35(5): 559 – 562.  
Feng Wei, Li Hongge, Zhang Youguang. Novel chaotic frequency modulation circuit for class-D amplifier[J]. *Journal of Beijing University of Aeronautics and Astronautics*, 2009, 35(5): 559 – 562. (in Chinese)
- [9] Lasanen K, Raisanen-Ruotsalainen E, Kostamovaara J. A 1-V  $5\mu\text{W}$  CMOS-opamp with bulk-driven input transistors[A]. *Proceedings 43rd IEEE Midwest Symposium on Circuits and Systems*[C]. Lansing, MI, USA: IEEE, 2000. 1038 – 1041.
- [10] Redoute J M, Steyaert M. *EMC of Analog Integrated Circuits* [M]. New York, USA: Springer, 2009.
- [11] L H de Carvalho Ferreira, T C Pimenta. An ultra low-voltage ultra low power rail-to-rail CMOS OTA miller[A]. *IEEE Asia-Pacific Conference on Circuits and Systems* [C]. Tainan: IEEE, 2004. 953 – 956.
- [12] Wang R, Harjani R. Partial positive feedback for gain enhancement of low-power CMOS OTAs[J]. *Analog Integrated Circuits and Signal Processing*, 1995, 8(1): 21 – 35.
- [13] Richelli Anna. CMOS OpAmp resisting to large electromagnetic interferences[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2010, 52(4): 1062 – 1065.
- [14] Richelli Anna, Colalongo L, Quarantelli M. Robust design of low EMI susceptibility CMOS opamp[J]. *IEEE Transactions on Electromagnetic Compatibility*, 2004, 46(2): 291 – 298.

### 作者简介



白会新 女, 1990 年生于河北承德. 现为北京航空航天大学硕士生. 主要研究方向为集成电路电磁兼容性能分析与设计.

E-mail: mengruohan\_bhx@126.com

李洪革 男, 1970 年生于辽宁. 现为北京航空航天大学电子信息工程学院副教授. 目前主要从事集成电路设计、脑机信号处理及显示驱动等研究.

E-mail: honggeli@buaa.edu.cn