

基于跨度和虚拟层的三维芯核测试 外壳扫描链优化方法

刘 军^{1,2}, 吴 玺^{1,2}, 裴颂伟³, 王 伟^{1,2}, 陈 田^{1,2}

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 合肥工业大学情感计算与先进智能机器安徽省
重点实验室, 安徽合肥 230009; 3. 北京化工大学信息科学与技术学院, 北京 100029)

摘 要: 为减少三维芯核绑定前和绑定后的测试时间, 降低测试成本, 提出了基于跨度和虚拟层的三维芯核测试外壳扫描链优化方法. 所提方法首先通过最大化每条测试外壳扫描链的跨度, 使得绑定前高层电路和低层电路的测试外壳扫描链数量尽可能相等. 然后, 在 TSVs(Through Silicon Vias)数量的约束下, 逐层的将虚拟层中的扫描元素分配到测试外壳扫描链中, 以平衡绑定前后各条测试外壳扫描链的长度. 实验结果表明, 所提方法有效地减少了三维芯核绑定前后测试的总时间和硬件开销.

关键词: 三维嵌入式芯核; 测试外壳扫描链; 跨度; 虚拟层

中图分类号: TP306+.2 **文献标识码:** A **文章编号:** 0372-2112 (2015)03-0454-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2015.03.006

Wrapper Scan Chains Optimization Based on Span and Virtual Layers for Three Dimensional Cores

LIU Jun^{1,2}, WU Xi^{1,2}, PEI Song-wei³, WANG Wei^{1,2}, CHEN Tian^{1,2}

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. Anhui Province Key Laboratory of Affective Computing and Advanced Intelligent Machine, Hefei University of Technology, Hefei, Anhui 230009, China;

3. College of Information Science and Technology, Beijing University of Chemical Technology, Beijing 100029, China)

Abstract: To reduce test time and test cost for pre-bond and post-bond test of three dimensional embedded cores, this paper proposed an optimization method based on span and virtual layers for wrapper scan chains in three dimensional embedded cores. Firstly, the proposed technique made the number of wrapper scan chains in high layers and low layers as equal as possible by maximizing the span of wrapper scan chains. Then, under the constraints of TSVs(Through Silicon Vias) number, the scan elements contained in virtual layers were assigned to wrapper scan chains layer by layer, which effectively balanced the length of pre-bond and post-bond wrapper chains. Experimental results show the presented methodology can greatly reduce the pre-bond/post-bond test time and hardware overhead for three dimensional embedded cores.

Key words: three dimensional embedded cores; wrapper scan chains; span; virtual layers

1 引言

与二维电路相比, 三维集成电路(3D ICs, Three Dimensional Integrated Circuits)将多层硅片垂直堆叠在一起, 能够有效地减少芯片面积、缩短互连线长度、降低延迟和功耗, 是延续“摩尔定律”的有效方法^[1-3]. 然而, 三维电路的测试却面临很大的挑战^[4].

针对三维电路的测试, 国内外的学者们开展了深入的研究工作. 如文献[5]和[6]提出的通过增加测试外壳

扫描单元来实现对绑定前(pre-bond)的三维电路进行测试的方法. 文献[7]和[8]针对绑定后的(post-bond)三维电路, 开展了三维电路扫描链的构建、热量驱动的三维电路测试等方面的研究工作.

随着三维集成技术的发展, 基于嵌入式芯核的三维系统芯片(3D SoC, Three Dimensional System on Chip)已成为可能. 而如何针对三维式芯核的测试外壳进行设计优化, 即平衡各条测试外壳扫描链的长度以减少测试时间, 成为3D SoC测试中亟需解决的一个主要问题^[4].

与二维嵌入式芯核相比,三维芯核测试外壳的设计面临着更大的困难.由于在三维芯核的测试外壳扫描链中需要使用大量的 TSVs 来连接各层电路中的扫描元素,但过多的 TSVs 不仅占用芯片的面积^[9],而且会降低芯片的可靠性和成品率^[10,11],因而在三维芯核测试外壳扫描链的设计中必须尽可能地减少的 TSVs 数量.而减少 TSVs 数量所导致的直接后果就是使得各条测试外壳扫描链的长度不平衡,增加了三维芯核的测试时间.

为解决此问题,文献[12]研究了如何在 TSVs 数量的约束下通过装箱算法来构建平衡的测试外壳扫描链,文献[13]提出了通过调整测试外壳扫描链中扫描元素的连接顺序来优化 TSVs 数量的方法.文献[12,13]虽然能够平衡绑定后三维芯核的测试外壳扫描链,但由于没有考虑绑定前测试外壳扫描链的平衡问题,会极大的增加绑定前的测试时间.为了减少绑定前和绑定后的测试总时间,文献[14]采用了 BFD(Best Fit Decreasing)和 KLP(Kernigham-Lin Partitioning)算法来同时平衡绑定前后测试外壳扫描链的长度,但此方法所需硬件开销很大.

本文为减少三维芯核绑定前和绑定后的测试时间和硬件开销,提出了在 TSVs 数量约束下基于扫描链跨度和虚拟层的测试外壳扫描链设计优化方法.此方法通过在绑定前的测试中复用绑定后的测试外壳扫描链来减少硬件开销,利用最大化扫描链的跨度和按照虚拟层分配扫描元素的方法来平衡绑定前后各条测试外壳扫描链的长度以减少测试时间.为了后面叙述方便,在余下部分将本文所提方法简称为 SAVL(Span And Virtual Layer,跨度和虚拟层)方法.

2 SAVL 方法的完整过程

SAVL 方法为了减少硬件开销,采用了在绑定前的测试中复用绑定后测试架构的方式,如图 1 的例子所示.图中 $S_i(1 \leq i \leq 5)$ 表示扫描元素,图 1(a) 表示绑定后三维芯核的两条测试外壳扫描链,图 1(b) 和 (c) 分别表示绑定前第二层和第一层电路的测试外壳扫描链.由于三维电路的测试引脚只能位于第一层,因而在绑定前的测试中,第二层电路就需要增加额外的测试引脚(test pads),如图 1(b) 所示.绑定前复用绑定后的测试架构是指若两个扫描元素在绑定后位于同一条测试外壳扫描链中,则绑定前也必须位于同一条测试外壳扫描链中,如图 1 中 S_3 和 S_4 所示.通过这种复用的方式,使用很少的硬件就可以对扫描链进行重构以适应绑定前和绑定后测试的需求.

SAVL 方法将绑定前复用绑定后的测试架构和 TSVs 数量作为约束条件,利用跨度和虚拟层来平衡绑定前后测试外壳扫描链的长度,其流程如图 2 所示.图

2 中的 C_{TSV} 表示可以使用的 TSVs 数量, M 代表测试外壳扫描链的数量,下面按照图 2 的流程来进行介绍 SAVL 方法的完整过程.

2.1 将 C_{TSV} 分解成 M 个数之和

在此步中,将 C_{TSV} 分解成 $C_1, C_2, \dots, C_j, \dots, C_M$, 这 M 个整数之和等于 C_{TSV} , 其中 $C_j(1 \leq j \leq M)$ 表示第 j 条测试外壳扫描链中可以使用的 TSVs 数量.为降低分解 C_{TSV} 的复杂度,SAVL 中规定 $C_j \geq C_{j+1}$.此外,在绑定后的测试外壳扫描链中,至少得有一条能够连接到第 N (N 为三维芯核所含的电路层数)层电路中的扫描元素,而这至少需要 $2 \times (N - 1)$ 根 TSVs,因此要保证 $C_1 \geq 2 \times (N - 1)$.

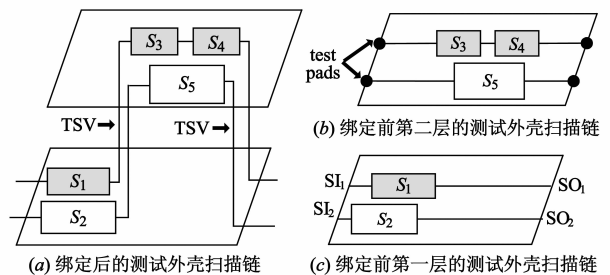


图1 绑定前测试复用绑定后的测试架构

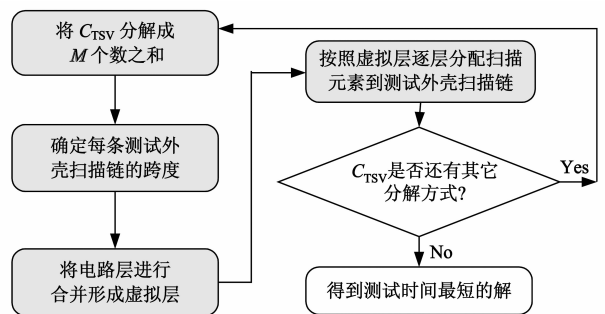


图2 SAVL 方法流程图

2.2 确定每条测试外壳扫描链的跨度

由于 TSVs 数量的限制,不能保证每条测试外壳扫描链都能连接到最高层电路中的扫描元素.因而,在绑定前的测试中,高层电路的测试外壳扫描链数量会少于 M ,这将导致三维芯核绑定前测试时间的增加.

为解决此问题,需要尽可能增加绑定前高层电路中测试外壳扫描链的数量.为此,在 SAVL 方法中提出了最大化测试外壳扫描链跨度的方法.测试外壳扫描链的跨度是指这条测试外壳扫描链最多可以连接到第几层电路的扫描元素.若一条测试外壳扫描链的跨度为 3,就表示这条测试外壳扫描链可以连接第 1、2、3 这三层电路中的扫描元素.假设第 j 条测试外壳扫描链为 L_j ,在 SAVL 方法中, L_j 的跨度 SL_j 通过公式 $\min(\lceil C_j/2 \rceil + 1, N)$ 来计算.

2.3 将电路层进行合并形成虚拟层

在三维芯核中,若有多个相邻的电路层在绑定前含有相同数量的测试外壳扫描链,那么这些电路层就可以合并形成一个虚拟层.当多个电路层合并成一个虚拟层后,这些电路层所含的扫描元素被看作是此虚拟层所含的扫描元素,如图3所示.图3(a)表示实际的三维芯核,每层中含有2个扫描元素.若第一层和第二层电路在绑定前含有相同数量的测试外壳扫描链,则此两层可以合并为一个虚拟层,如图3(b)中虚拟层第一层所示.形成虚拟层后,三维电路第一层和第二层所含的扫描元素 S_6 、 S_7 、 S_8 和 S_9 就被认为是虚拟层第一层所含的扫描元素.

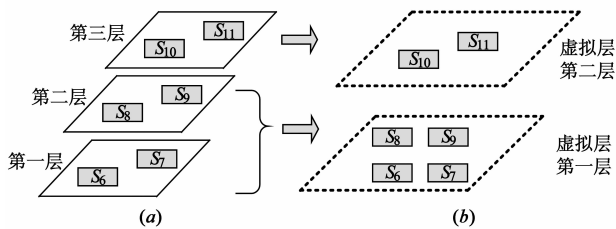


图3 虚拟层示意图

各个电路层在绑定前所含的测试外壳扫描链数量由式(1)来计算:

$$n_i = \sum_{j=1}^M x_{ij} \quad (1)$$

在式(1)中, n_i 表示第 i 层电路中测试外壳扫描链的数量, x_{ij} 的取值为 0 或 1. 当第 j 条测试外壳扫描链的跨度 SL_j 大于等于 i 时, x_{ij} 的取值为 1; 当 SL_j 小于 i 时, x_{ij} 的取值为 0.

2.4 按照虚拟层分配扫描元素到测试外壳扫描链

形成虚拟层后,接着就是按照虚拟层的顺序将扫描元素分配到各条测试外壳扫描链中.扫描元素分配的完整过程如算法1所示,其中步骤1~6是分配内部扫描链的过程.

算法1 扫描元素分配过程:

1. For $i = N'$ to 1 // N' 是虚拟层的数量
2. 将第 i 个虚拟层中的扫描链按照长度进行降序排列
3. For 每一个内部扫描链 S
4. 将 S 分配到测试外壳扫描链 L_j , 要求满足 $Used_TSV(L_j, S) \leq C_j$ 和 $f(L_{max}, |L_j| + |S|) + f(Lay_{max}, Lay_{L_j} + |S|)$ 取得最小值
5. End for // 内部扫描链
6. End for // 虚拟层
7. 重复步骤1~6, 将输入扫描单元分配到测试外壳扫描链
8. 重复步骤1~6, 将输出扫描单元分配到测试外壳扫描链

有的内部扫描链按照长度进行降序排列,然后按照此顺序依次将内部扫描链 S 分配到各条测试外壳扫描链.将内部扫描链 S 分配哪一条测试外壳扫描链 L_j 由以下三个条件决定:

(1) 测试外壳扫描链 L_j 的跨度 SL_j 要大于等于 S 所在电路层的序号;

(2) $Used_TSV(L_j, S) \leq C_j$;

(3) 函数 $f(L_{max}, |L_j| + |S|) + f(Lay_{max}, Lay_{L_j} + |S|)$ 取得最小值;

将三维芯核的电路层按照从低层到高层的顺序进行编号,最底层电路的序号为 1. 条件(1)是为了保证测试外壳扫描链 L_j 可以连接到内部扫描链 S .

在条件(2)中, $Used_TSV(L_j, S)$ 表示在测试外壳扫描链 L_j 中加入内部扫描链 S 后所使用的 TSVs 的数量,此数量要小于等于 C_j . 条件(2)是为了保证 TSVs 的数量满足约束条件.

条件(3)是为了保证将 S 分配到测试外壳扫描链 L_j 后,三维芯核绑定前和绑定后测试总时间增加最少. 条件(3)中函数 f 的定义如式(2)所示:

$$f(x, y) = \begin{cases} y - x, & \text{if } x < y \\ 0, & \text{else} \end{cases} \quad (2)$$

函数 $f(L_{max}, |L_j| + |S|) + f(Lay_{max}, Lay_{L_j} + |S|)$ 中 L_{max} 为分配 S 之前三维芯核 M 条测试外壳扫描链中长度的最大值, Lay_{max} 为测试外壳扫描链在 S 所在电路层长度的最大值, Lay_{L_j} 为测试外壳扫描链 L_j 在 S 所在电路层的长度, $|L_j|$ 和 $|S|$ 分别表示 L_j 与 S 的长度. 上述 S 所在电路层是指 S 在三维芯核中的实际层数.

通过图4中的步骤4,SAVL方法将 S 分配到某一测试外壳扫描链使得绑定前和绑定后测试的总时间增加最少.待所有内部扫描链分配完成后,执行图4中的步骤7和8分配输入扫描单元和输出扫描单元.在分配时,将输入和输出扫描单元看作长度为1的内部扫描链,其分配过程与分配内部扫描链的过程相同.

在SAVL方法中,将 C_{TSV} 所有分解方式穷举后,选择一个测试时间最短的测试外壳扫描链设计方式作为SAVL方法的解.至此,可以得到使得绑定前和绑定后测试总时间最短的测试外壳扫描链设计方式.

3 实验结果与分析

本部分对SAVL方法与文献[12]和[14]方法的实验结果进行了比较和分析.本文采用ITC'02 SoC 基准电路中的芯核作为实验电路^[15,16].由于ITC'02 SoC中的芯核都是二维的,实验时需要将这些二维芯核转为三维的.本文将二维芯核中所含的扫描元素平均地分配到三维芯核的各层电路中,以此使得三维芯核各层电路所含的内部扫描链、输入扫描单元以及输出扫描单元

在分配内部扫描链时,首先是将一个虚拟层中所

的数量大致相等.

本文采用 C + + 编程实现了 SAVL、文献[12]和[14]的方法,得出三种方法绑定前和绑定后测试的总时间以及硬件开销.绑定前和绑定后的测试总时间是指三维芯核绑定前各层电路的测试时间与绑定后的测试时间之和.绑定前和绑定后测试时间的计算方法均与二维芯核相同.硬件开销是指将绑定前的测试外壳扫描链重构成绑定后的测试外壳扫描链所需的二路数据选择器(MUX)和二路数据分配器(DMUX)数量.当某一扫描元素在绑定和绑定后有不同的前驱(后继)节点时,就需要增加 MUX(DMUX).据此,可以得出各种方法所需的硬件开销.

表 1 和表 2 是 SAVL 方法与文献[12]方法的比较结果,实验电路是 ITC'02 SoC 中 p93791 的核 6 和核 13.在实验中,将核 6 和核 13 分别转为三层和四层电路.由于文献[12]仅考虑了绑定后测试外壳扫描链的设计,并没有考虑绑定前测试外壳扫描链的设计.因而在本文中,假定文献[14]在绑定前的测试中也是复用绑定后的测试架构,以此得到文献[12]绑定前和绑定后的测试总时间.表 1 和表 2 中的第一列和第二列分别是测试外壳扫描链数量和约束的 TSVs 数量,第 3~5 列是测试时间的比较,最后两列是硬件开销的比较.第二列中 TSV 数量约束的取值,是参照文献[14]中 TSVs 的取值而确定的.

表 1 SAVL 方法与文献[12]测试时间和硬件开销比较(p93791 中三层电路的核 6)

# 测试外壳扫描链	# TSVs	测试总时间			硬件开销	
		文献[12]	SAVL	减少(%)	文献[12]	SAVL
2	12	5,772,076	5,504,732	4.63	24	24
	16	5,714,788	5,447,444	4.68	28	28
	20	5,714,788	5,447,444	4.68	28	28
3	12	5,472,360	3,734,474	31.76	24	24
	16	5,429,546	3,710,557	31.66	28	32
	20	5,429,546	3,703,380	31.79	28	36
4	12	5,372,803	4,627,927	13.86	20	20
	16	3,857,788	2,860,273	25.86	32	32
	20	2,940,224	2,806,888	4.53	40	40
5	12	5,261,276	4,505,836	14.36	24	24
	16	3,302,400	2,644,235	19.93	32	32
	20	3,107,705	2,367,345	23.82	40	40

从表 1 和表 2 中可以看出,SAVL 方法与文献[12]方法所需的硬件开销基本相同,但 SAVL 方法却能有效

地减少绑定前和绑定后测试的总时间.针对 p93791 中的核 6,SAVL 方法可以减少 4.63%~31.79% 的测试总时间;针对核 13,测试总时间可以减少 15.12%~30.55%.

表 2 SAVL 方法与文献[12]测试时间和硬件开销比较(p93791 中四层电路的核 13)

# 测试外壳扫描链	# TSVs	测试总时间			硬件开销	
		文献[12]	SAVL	减少(%)	文献[12]	SAVL
2	20	2,297,417	1,950,017	15.12	40	36
	22	2,297,417	1,950,017	15.12	40	36
	24	2,312,664	1,940,367	16.10	44	44
3	20	1,808,636	1,316,550	27.21	40	40
	22	1,616,071	1,306,682	19.14	44	44
	24	1,491,200	1,304,173	12.54	48	48
4	20	1,541,361	1,148,682	25.48	40	40
	22	1,541,361	1,070,418	30.55	40	44
	24	1,378,209	1,001,332	27.35	44	48
5	20	1,403,350	1,178,549	16.02	40	40
	22	1,398,994	1,057,617	24.40	44	44
	24	1,331,421	976,331	26.67	48	48

表 3 和表 4 是 SAVL 方法与文献[14]方法的比较结果.由于文献[14]没有考虑 TSVs 数量的约束,为了将 SAVL 方法与文献[14]进行比较,在本部分实验中采用了如下的做法:首先采用文献[14]的方法来设计测试外壳扫描链,得到此方法绑定前和绑定后的测试总时间、硬件开销以及 TSVs 数量;然后将文献[14]使用的 TSVs 数量作为 SAVL 方法的约束条件,得到 SAVL 方法的测试总时间和硬件开销.

表 3 SAVL 方法与文献[14]测试时间和硬件开销比较(p93791 中三层电路的核 6)

# 测试外壳扫描链	测试总时间			硬件开销		
	文献[14]	SAVL	增加(%)	文献[14]	SAVL	减少(%)
2	5,387,335	5,447,444	1.12	394	28	92.89
3	3,642,384	3,734,474	2.53	465	24	94.84
4	2,731,575	2,860,273	4.71	465	28	93.98
5	2,268,603	2,644,235	16.56	465	32	93.12

从表 3 和表 4 中可以看出,与文献[14]相比,虽然

SAVL方法的测试总时间有所增加,却有效地减少了硬件开销.针对 p93791 中三层电路的核 6,硬件开销减少了 92.89% ~ 94.84%;针对四层电路的核 13,硬件开销减少了 89.06% ~ 90.30%.

与文献[16]相比,SAVL方法测试时间增加了,这是因为文献[14]将绑定前和绑定后测试外壳扫描链的设计分开考虑,没有采用在绑定前的测试中复用绑定后测试架构这种方式.例如,若内部扫描链 S_i 和 S_j 在绑定后位于同一条测试外壳扫描链,在 SAVL 方法中, S_i 和 S_j 在绑定前也要位于同一条测试外壳扫描链中.但在文献[14]的方法中,为了更好的平衡绑定前测试外壳扫描链的长度,内部扫描链 S_i 和 S_j 在绑定前可以不位于同一条测试外壳扫描链,这就增加了所需 MUX 和 DMUX 的数量.因而,文献[14]的方法虽有利于减少测试时间,但所需的硬件开销也很大.

表 4 SAVL 方法与文献[14]测试时间和硬件开销比较(p93791 中四层电路的核 13)

# 测试外壳扫描链	测试总时间			硬件开销		
	文献[14]	SAVL	增加(%)	文献[14]	SAVL	减少(%)
2	1,914,250	1,950,017	1.87	329	36	89.06
3	1,288,353	1,787,476	38.74	330	36	89.09
4	976,165	1,148,682	17.67	330	32	90.30
5	850,780	1,057,617	24.31	330	44	86.67

4 结论

本文提出了一种减少三维嵌入式芯核绑定前后测试成本的有效方法-SAVL方法.SAVL方法利用绑定前复用绑定后的测试架构来减少硬件开销;依据三维芯核绑定前测试时间增加的原因,提出了最大化测试外壳扫描链跨度的方法,使得在绑定前测试中高层电路和低层电路的测试外壳扫描链数量尽可能相等;然后将多层相邻的电路合并成虚拟层,利用基于虚拟层的扫描元素分配方法,使得各条测试外壳扫描链在绑定前后的长度尽可能平衡,有效地减少了绑定前和绑定后测试的总时间.

参考文献

[1] AGARWAL V, Hrishikesh M S, KECKLER S W, et al. Clock rate versus IPC: The end of the road for conventional microarchitectures [A]. Proceedings of International Symposium on Computer Architecture [C]. New York: ACM Press, 2000. 248 - 259.

[2] DAVIS WR, WILSON J, MICK S, et al. Demystifying 3D ICs: The pros and cons of going vertical [J]. IEEE Design and Test of Computers, 2005, 22(6): 498 - 510.

[3] BANERJEE K, SOURI S J, KAPUR P, et al. 3-D ICs: A novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration [J]. Proceedings of the IEEE, 2001, 89(5): 602 - 633.

[4] LEE H H S, CHAKRABARTY K. Test challenges for 3D integrated circuits [J]. IEEE Design & Test of Computers, 2009, 26(5): 26 - 35.

[5] LEWIS D L, LEE H H S. A scan-island based design enabling pre-bond testability in die-stacked microprocessors [A]. Proceedings of International Test Conference [C]. Piscataway: IEEE Press, 2007. 1 - 8.

[6] LI J, XIANG D. DfT optimization for pre-bond testing of 3D-SICs containing TSVs [A]. Proceedings of International Conference on Computer Design [C]. Piscataway: IEEE Press, 2010. 474 - 479.

[7] WU X, FALKENSTERN P, XIE Y. Scan chain design for three-dimensional integrated circuits (3D ICs) [A]. Proceedings of International Conference on Computer Design [C]. Piscataway: IEEE Press, 2007. 208 - 214.

[8] XIANG D, SHEN K, DENG Y. A thermal-driven test application scheme for 3-dimensional ICs [A]. Proceedings of Asian Test Symposium [C]. Piscataway: IEEE Press, 2012. 101 - 106.

[9] KIM D H, MUKHOPADHYAY S, LIM S K. Through-silicon aware interconnect prediction and optimization for 3D stacked ICs [A]. Proceedings of International Workshop on System Level Interconnect Prediction [C]. New York: ACM Press, 2009. 85 - 92.

[10] PAN D Z, LIM S K, ATHIKULWONGSE K, et al. Design for manufacturability and reliability for TSV-based 3D ICs [A]. Proceedings of Asia and South Pacific Design Automation Conference [C]. Piscataway: IEEE Press, 2012. 750 - 755.

[11] HSIEH A C, HWANG T, CHANG M T, et al. TSV redundancy: Architecture and design issues in 3D IC [A]. Proceedings of Design, Automation, and Test in Europe [C]. Piscataway: IEEE Press, 2010. 166 - 171.

[12] NOIA B, CHAKRABARTY K, XIE Y. Test-wrapper optimization for embedded cores in TSV-based three-dimensional SoC [A]. Proceedings of International Conference on Computer Design [C]. Piscataway: IEEE Press, 2009. 70 - 77.

[13] CHENGY, ZHANG L, HAN Y, et al. Wrapper chain design for testing tsvs minimization in circuit-partitioned 3D SoC [A]. Proceedings of Asian Test Symposium [C]. Piscataway: IEEE Press, 2011. 181 - 186.

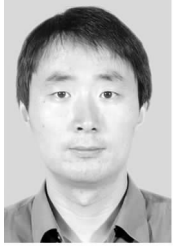
[14] LEWIS D L, PANTH S, ZHAO X, et al. Designing 3D test wrappers for pre-bond and post-bond test of 3D embedded cores [A]. Proceedings of International Conference on Com-

puter Design[C]. Piscataway: IEEE Press, 2011. 90 – 95.

- [15] IYENGAR V, CHAKRABARTY K, MARINISSEN E J. Test wrapper and test access mechanism co-optimization for system-on-a-chip[J]. Journal of Electronic Testing: Theory and Applications, 2002, 18(2): 213 – 230.

- [16] 邓立宝, 乔立岩, 俞洋, 彭喜元. 基于差值二次分配的扫描链平衡算法[J]. 电子学报, 2012, 40(2): 338 – 343.
DENG Li-bao, QIAO Li-yan, YU Yang, PENG Xi-yuan. Wrapper scan chains balance algorithm base on twice-assigned method by the chains difference[J]. Acta Electronica Sinica, 2012, 40(2): 338 – 343. (in Chinese)

作者简介



刘 军 男, 1978 年 2 月生于江苏新沂. 现为合肥工业大学计算机与信息学院副教授、硕士生导师. 主要研究方向为集成电路可测试性设计、测试数据压缩等.
E-mail: liujun@ict.ac.cn



吴 玺 女, 1978 年 8 月生于安徽合肥. 现为合肥工业大学计算机与信息学院讲师. 主要研究方向为集成电路设计与测试、情感计算.
E-mail: wuxi@hfut.edu.cn