

基于 QCA 的双边沿 JK 触发器的实现

杜化鲲, 吕洪君, 黄程, 张永强, 解光军

(合肥工业大学电子科学与应用物理学院, 安徽合肥 230009)

摘要: 量子元胞自动机(Quantum-dot Cellular Automata, QCA)是一种有望替代传统半导体晶体管的新型纳米器件. 本文提出了一种改进的双边沿触发结构及其相应的 JK 触发器电路, 用概率转移矩阵(Probabilistic Transfer Matrix, PTM)分析该触发结构, 结果表明该结构较以往的可靠性更高. 同时利用模块垂直堆叠方法来优化了 JK 触发器电路, 新结构电路较之前的电路元胞数和整体面积均有所减少.

关键词: 量子元胞自动机; JK 触发器; 双边沿触发结构; 概率转移矩阵

中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112 (2017)08-2044-05

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2017.08.034

Implementation of the Dual-Edge Triggered JK Flip-Flop Based on QCA

DU Hua-kun, LÜ Hong-jun, HUANG Cheng, ZHANG Yong-qiang, XIE Guang-jun

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: Quantum-dot cellular automata (QCA) is an emerging nano-device that can be considered as a promising alternative for semiconductor transistor. An improved dual-edge triggered structure and JK flip-flop are proposed. The reliability of the dual-edge triggered structure is higher than that of previous designs through the probabilistic transfer matrix. Furthermore, compared to the previous designs of JK flip-flop, the dual-edge triggered JK flip-flop based on the vertically-stacked block has less cell number and smaller area.

Key words: quantum-dot cellular automata; JK flip-flop; dual-edge triggered structure; probabilistic transfer matrix

1 引言

量子元胞自动机^[1]是一种新型的纳米器件, 出现于上个世纪 90 年代, 它具有高集成度、无引线集成、低功耗^[2]等优点. 量子元胞自动机利用特定的时钟控制^[3]和信息传递方式, 解决了经典 CMOS 电路随着尺寸减少所带来的一些问题, 因而成为极具竞争力的新型电子器件之一.

JK 触发器在时序逻辑电路中的重要性, 使得其在 QCA 电路中获得了比较多的研究. 本文提出了改进的双边沿触发结构. 用概率转移矩阵^[4]分析该结构, 发现其在相同的错误输入的情况下, 其输出的错误概率相比他人设计的结构要低. 利用该结构, 设计出了 JK 触发器. 同时利用垂直模块堆叠的方法, 改进了 JK 触发器. 结果表明, 改进的 JK 触发器具有正确的逻辑功能, 而且性能相对优越.

2 基于 QCA 的 JK 触发器研究现状及其设计原理分析

基于 QCA 的 JK 触发器设计可以分为两类. 一类是不包含触发结构, 主要的设计原理基于以下公式:

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n \quad (1)$$

实际电路如文献[5]. 该类结构的触发翻转直接由输入信号控制, 并不需要时钟脉冲. 但是, 如果高电平持续的时间过长, 电平触发就容易受到噪声的影响^[6]. 因为此时触发器的输出会出现竞争状态(race-round condition)^[7].

另一类 JK 触发器含有触发结构, 能够避免竞争状态. 这一类有两种实现边沿触发的方式. 第一种方式利用如下公式:

$$Q^{n+1} = (\text{levelinput})Q^n + (\overline{\text{levelinput}})(J\overline{Q}^n + \overline{K}Q^n) \quad (2)$$

其中 levelinput 是 CP 经过触发结构的输出值^[6]; 第二种

方式是将 levelinput 和两个输入端 J 、 K 分别用与门组合,只有在 levelinput 为 1 时 J 、 K 的输入才有效^[8]. 这两种方式的目的是为了实现在当 levelinput 为 0 的时候,整个触发器满足公式 $Q^{n+1} = Q^n$;当 CP 发生跳变的时候,即 levelinput 为 1 时,整个触发器的功能符合式(1).

文献[6]提出了单边沿触发结构,文献[9,10]提出了双边沿触发结构,但是它们都未对触发结构的设计方法和可靠性进行详细分析. 本文提出了一种改进的双边沿触发结构及其相应的 JK 触发器电路,通过概率转移矩阵来分析其可靠性,并利用模块垂直堆叠方法来优化 JK 触发器电路.

3 改进双边沿触发结构及其可靠性分析

3.1 改进的双边沿触发结构

在 QCA 电路中,双边沿触发与单边沿触发相比,具有明显的优势. 一个周期内,单边沿触发只能发生一次跳变,而双边沿触发能够发生两次跳变,这就提高了时钟的利用率,降低了时钟的能量消耗.

文献[9,10]中给出的两种双边沿触发结构,其基本原理是输入 CP 经过相差一个时钟周期的电路而产生两个信号,分别为 CP 和 CP_old. 由其真值表表 1 可

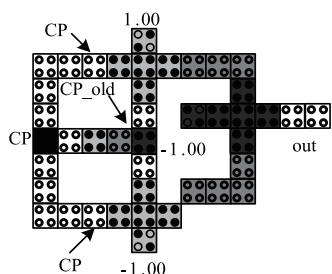


图1 改进的双边沿触发结构

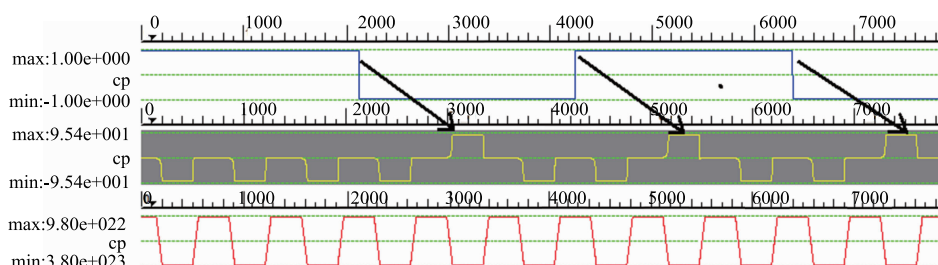


图2 改进双边沿触发结构的仿真图

3.2 几种触发结构的比较及其可靠性分析

如表 2 所示,将提出的双边沿触发结构同文献[9],文献[10]中提到的结构在元胞数、时钟周期、逻辑门数量、面积等方面进行比较,可以看出,改进的结构在元胞数、反相器个数以及面积上有优势.

表 2 几种触发结构的比较

| | 元胞数 | 时钟周期 | 择多门个数 | 反相器个数 | 面积 (μm^2) | 有无旋转元胞 |
|--------|-----|------|-------|-------|------------------------|--------|
| 文献[9] | 49 | 2 | 3 | 2 | 0.06 | 无 |
| 文献[10] | 116 | 3 | 3 | 3 | 0.14 | 有 |
| 改进型 | 42 | 2 | 3 | 1 | 0.05 | 无 |

对于 QCA 电路而言,受到元胞缺陷的影响,电路的输出结果可能会发生错误,因此分析电路的可靠性就显得尤为必要. 下面利用 PTM 对上面提到的三种结构

得到:

$$\text{out} = CP \cdot \overline{CP_old} + \overline{CP} \cdot CP_old \quad (3)$$

将式(3)进行逻辑变换:

$$\begin{aligned} \text{out} &= CP \cdot \overline{CP_old} + \overline{CP} \cdot CP_old \\ &= \overline{CP} \cdot CP + \overline{CP} \cdot CP_old + \overline{CP} \cdot CP_old \\ &\quad + CP_old \cdot CP_old \\ &= (\overline{CP} + \overline{CP_old})(CP + CP_old) \\ &= (CP + CP_old)(\overline{CP} \cdot \overline{CP_old}) \end{aligned} \quad (4)$$

变换后将原式需要的两个反相器减少一个,从而得到优化,所对应的元胞图如图 1 所示,其中不同颜色代表不同的时钟区域. 为了验证其正确性,利用仿真软件 QCADesigner^[11]进行验证,其结果如图 2 所示,可见,只有在 CP 发生变化时,输出结果才为 1.

表 1 改进触发结构的真值表

| CP | CP | CP_old | CP 与 CP_old | NOT | CP \cup CP_old | Output (AND) |
|-------------------|----|--------|-------------|-----|------------------|--------------|
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 \rightarrow 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 \rightarrow 1 | 1 | 0 | 0 | 1 | 1 | 1 |

进行可靠性分析.

图 3(a)给出了文献[9]中触发结构的逻辑电路图,将电路图分为 5 个部分, T 代表整个电路的 PTM,按照 PTM 的计算方式^[12],则有:

$$\begin{aligned} T &= T_{\text{fanout3}} \cdot (T_{\text{not}} \otimes T_{\text{fanout2}} \otimes T_{\text{wire}}) \cdot (T_{\text{and}} \otimes T_{\text{not}} \otimes T_{\text{wire}}) \\ &\quad \cdot (T_{\text{wire}} \otimes T_{\text{and}}) \cdot T_{\text{or}} \end{aligned} \quad (5)$$

T 是一个 2 乘 2 的矩阵, $T(1,1)$ 、 $T(1,2)$ 分别是单个输入为 0,1 时电路输出的正确率,相对的 $T(2,1)$ 、 $T(2,2)$ 为电路输出错误的概率. 假设电路两种输入发生错误的概率相同,则整个电路的平均输出错误率为:

$$Q_1 = [T(1,2) + T(2,2)] \times 0.5 \quad (6)$$

同理,图 3(b)给出的是文献[10]中触发结构的逻辑电路图. 将电路图分为 8 个部分,用 M 表示电路整体的 PTM,则有:

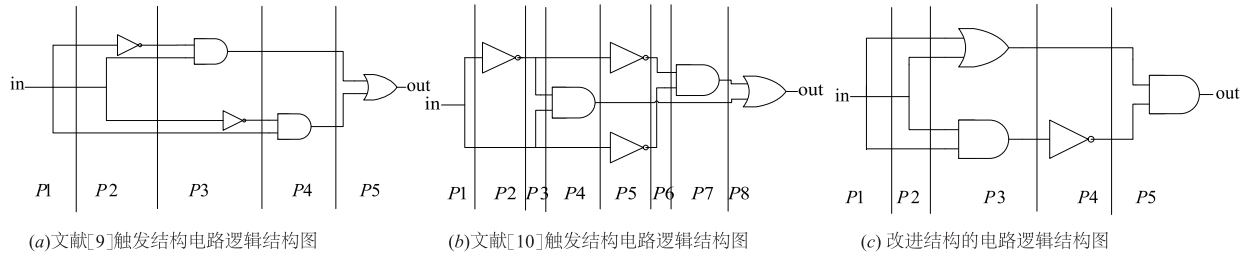


图3 三种触发结构的电路逻辑结构图

$$M = T_{\text{fanout2}} \cdot (T_{\text{not}} \otimes T_{\text{wire}}) \cdot (T_{\text{fanout2}} \otimes T_{\text{fanout2}}) \cdot (T_{\text{wire}} \otimes T_{\text{and}} \otimes T_{\text{wire}}) \cdot (T_{\text{not}} \otimes T_{\text{wire}} \otimes T_{\text{not}}) \cdot (T_{\text{wire}} \otimes T_{\text{cor}}) \cdot (T_{\text{and}} \otimes T_{\text{wire}}) \cdot T_{\text{or}} \quad (7)$$

则电路平均输出错误率为:

$$Q_2 = [M(1,2) + M(2,2)] \times 0.5 \quad (8)$$

对于图 3(c) 中提出的改进触发结构电路图, 同样给出其整个电路的 PTM:

$$N = T_{\text{fanout3}} \cdot (T_{\text{wire}} \otimes T_{\text{fanout2}} \otimes T_{\text{wire}}) \cdot (T_{\text{or}} \otimes T_{\text{and}}) \cdot (T_{\text{wire}} \otimes T_{\text{not}}) \cdot T_{\text{and}} \quad (9)$$

电路平均输出错误率为:

$$Q_3 = [N(1,2) + N(2,2)] \times 0.5 \quad (10)$$

用 Matlab 软件对上述三种电路的平均输出错误率进行计算. 假设各电路单元的错误率 q 相同, 则随着 q 逐渐增大, 整个电路的平均输出错误率 Q_1 、 Q_2 、 Q_3 随着 q 的走势如图 4 所示.

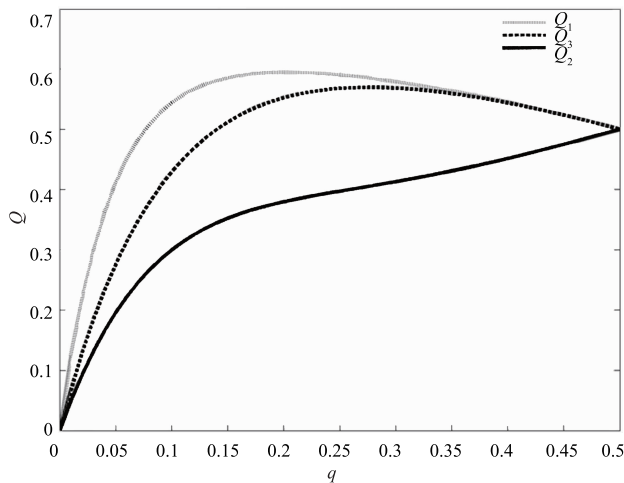


图4 三种触发结构的平均错误率

由图 4 知, 随着 q 的增加, 改进的触发结构在错误率 q 处于 0~0.5 区间内比其他两种结构要低的多, 因此可靠性更好. 表 3 给出了具体的数据, 其中 $D1$ 为改进结构相对于文献[9]结构的相对降低率, $D2$ 为改进结构相对于文献[10]结构的相对降低率, 即:

$$D1 = (Q_1 - Q_3) \div 1 \times 100\% \quad (11)$$

$$D2 = (Q_2 - Q_3) \div 1 \times 100\% \quad (12)$$

由表 3 可以看出, 改进的触发结构在可靠性方面

更有优势.

表 3 三种触发结构的特性参数

| q | Q_1 | Q_2 | Q_3 | $D1/\%$ | $D2/\%$ |
|-------|---------|---------|---------|---------|---------|
| 0.005 | 0.0352 | 0.06536 | 0.02544 | 0.976 | 3.992 |
| 0.01 | 0.06847 | 0.1237 | 0.04941 | 1.906 | 7.229 |
| 0.015 | 0.09991 | 0.1757 | 0.07199 | 2.792 | 10.371 |
| 0.02 | 0.1296 | 0.222 | 0.09325 | 3.635 | 12.875 |
| 0.025 | 0.1577 | 0.2634 | 0.1133 | 4.44 | 15.01 |
| 0.03 | 0.1842 | 0.3003 | 0.1321 | 5.21 | 16.82 |
| 0.035 | 0.2092 | 0.3332 | 0.1497 | 5.95 | 18.35 |
| 0.04 | 0.2329 | 0.3626 | 0.1664 | 6.65 | 19.62 |
| 0.045 | 0.2552 | 0.3888 | 0.1819 | 7.33 | 20.69 |
| 0.05 | 0.2762 | 0.4122 | 0.1966 | 7.96 | 21.26 |

4 基于改进触发结构的 JK 触发器实现

4.1 单层结构 JK 触发器设计

利用式(2), 设计出双边沿 JK 触发器电路如图 5(a) 所示, 其中输入端为 J 、 K 、 CP . 整个电路图的逻辑功能如下:

(1) 当 levelinput 为 0 时, $Q^{n+1} = Q^n$.

(2) 当 levelinput 为 1 时, 如果 $J = K = 0$, 则 $Q^{n+1} = Q^n$; 如果 $J = 1, K = 0$, 则 $Q^{n+1} = 1$; 如果 $J = 0, K = 1$, 则 $Q^{n+1} = \overline{Q^n}$; 如果 $J = K = 1$, 则 $Q^{n+1} = \overline{Q^n}$.

为了验证 JK 触发器的功能, 测试了 $J = K = 1$ 时的仿真结果, 如图 5(b) 所示. 当 CP 发生跳变时, 触发器改变原来的状态; 当 CP 保持不变时, 触发器的状态保持不变. 整个 QCA 电路经历了 $2 \frac{1}{4}$ 个时钟周期, 图中箭头

标出了 $2 \frac{1}{4}$ 个时钟周期之后的输出结果.

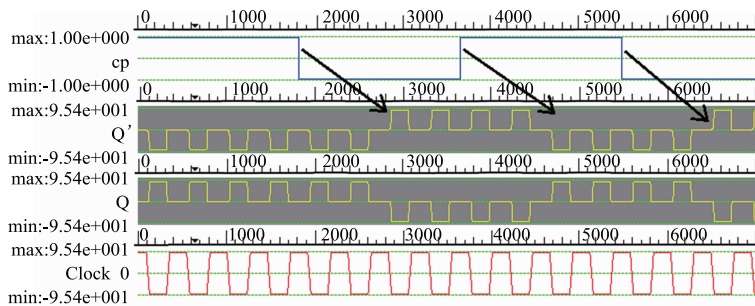
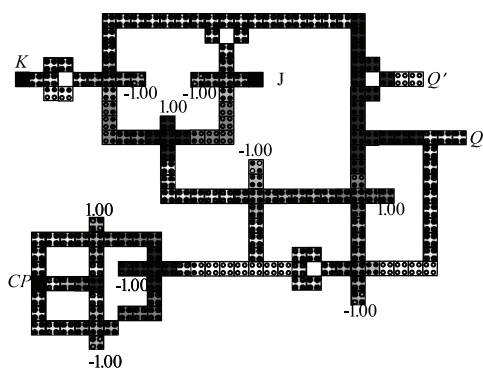
4.2 多层结构 JK 触发器设计

QCA 电路随着复杂度的提升, 一个平面上元胞所占用的面积呈线性增长, 这样就增加了互联长度和时钟周期^[13]. 为了解决这类问题, 可以采用一种基于模块垂直堆叠的思想, 将含有择多门的基本单元放置在不同的层, 以此来减少互联的元胞数目.

基于分层思想, 将图 5 中设计的 JK 触发器电路进行优化, 其整体的布局如图 6 所示, 分为三层: 第一层是触发结构, 用来产生触发脉冲, 如图 7(a) 所示; 第二

层为 JK 输入端,如图 7(b)所示;第三层是输出端,如图 7(c)所示. 这样放置能够有效减少互联的元胞数目. 整体电路结构总共有五层,包括连接层与层之间的元胞.

其中各层中的 1,2,3 分别对应着层与层连接元胞的位置.



(a) 基于改进触发结构的JK触发器电路

(b) J=K=1时JK触发器的仿真图

图5 单层结构JK触发器电路及J=K=1时的仿真图

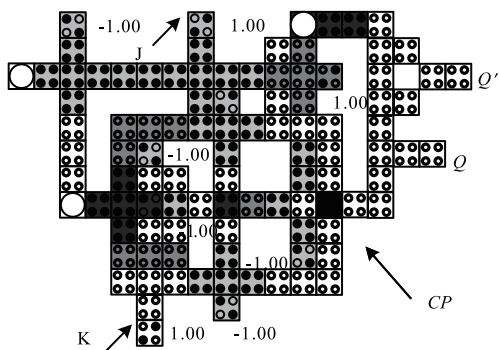


图6 多层结构JK触发器整体布局图

将本文提出的两种 JK 触发器与文献[6,8,9]中设计的 JK 触发器进行比较,结果如表 4 所示. 对于文章[8]中的结构,图 5(a)结构的元胞个数和延迟分别减少了 13.8%和 47.6%;图 6 结构的元胞个数和占用面积分别减少了 28.6%和 66.7%. 相对于文章[9]中的结构,图 5(a)和图 6 结构的元胞个数分别减少了 4.7%和 21.1%;占用面积分别减少了 13.2%和 71.1%. 而相对于文献[6]中的结构,虽然提出的触发

器在元胞个数、占用面积、延迟方面不占优,但文献[6]中为单边触发结构,在实现相同功能的情况下提高了时钟的利用率,降低了时钟的能量消耗. 值得注意的是,图 6 提出的触发器使用了 5 层结构,减少了占用面积和元胞个数,但增加了制造复杂度和实际制造成本. 因此,在实际实现中 5(a)的结构更优.

表 4 几种 JK 触发器的比较

| 类型 | 触发方式 | 元胞个数 | 长 × 宽 (μm × μm) | 面积 (μm ²) | 延迟 | 层数 |
|-----------------|------|------|-----------------|-----------------------|------------------------|----|
| Proposed 图 5(a) | 双边沿 | 181 | 0.663 × 0.498 | 0.33 | 2 $\frac{1}{4}$ clocks | 1 |
| Proposed 图 6 | 双边沿 | 150 | 0.364 × 0.289 | 0.11 | 2 $\frac{1}{4}$ clocks | 5 |
| 文献[6] | 下降沿 | 119 | 0.438 × 0.318 | 0.14 | 2 clocks | 1 |
| 文献[8] | 双边沿 | 210 | 0.718 × 0.458 | 0.33 | 4 $\frac{1}{4}$ clocks | 1 |
| 文献[9] | 双边沿 | 190 | 0.703 × 0.289 | 0.38 | 2 $\frac{1}{4}$ clocks | 1 |

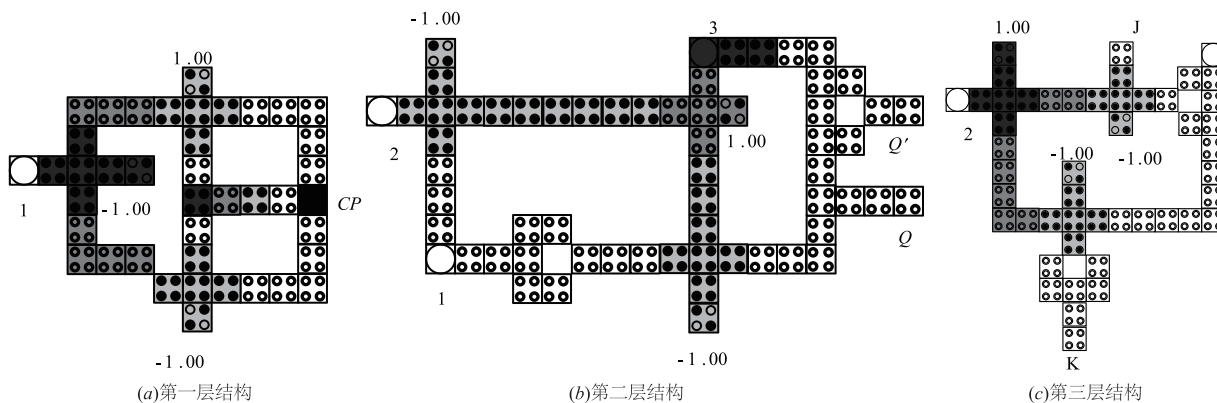


图7 多层JK触发器各层结构的元胞图

5 总结

本文将基于 QCA 的 JK 触发器设计的重点放在触发结构上,探明了其设计原理,并提出一种改进的触发结构.通过 PTM 分析发现,改进的结构相对之前的设计可靠性高.同时,在改进触发结构的基础上,设计了整个 JK 触发器电路,利用模块垂直堆叠的方法,对单层 JK 触发器结构进行了优化.仿真结果显示,所设计电路均实现正确的逻辑功能,并且从整体上减少了元胞的数目和所占的面积.

参考文献

- [1] C S Lent, P D Tougaw, W Porod, et al. Quantum-dot cellular automata [J]. *Nanotechnology*, 1993, 4(1): 49 - 57.
- [2] 王友仁, 黄媛媛, 冯冉, 等. 基于矩阵编码的量子可逆逻辑电路进化设计方法 [J]. *电子学报*, 2011, 39(11): 2576 - 2582.
Wang You-ren, Huang Yuang-yuang, Feng Ran, et al. Evolutionary design technology of quantum reversible logic circuit based on matrix coding [J]. *Acta Electronica Sinica*, 2011, 39(11): 2576 - 2582. (in Chinese)
- [3] 夏银水, 裴科名. 基于量子细胞自动机的数值比较器设计 [J]. *电子与信息学报*, 2009, 31(6): 1517 - 1520.
Xia Yin-shui, Qiu Ke-ming. Number comparator based on quantum-dot cellular automata [J]. *Journal of Electronics & Information Technology*, 2009, 31(6): 1517 - 1520. (in Chinese)
- [4] Chaudhary A, Chen D Z, Hu X S, et al. Fabric table interconnect and molecular QCA circuits [J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2007, 26(11): 1987 - 1991.
- [5] Saifee H, Mehrotra A, Sarma R. QCA based sequential and combinational circuit design and importance of parasitic components [A]. 2014 International Conference on Signal Propagation and Computer Technology [C]. Ajmer, India: IEEE, 2014. 541 - 546.
- [6] Yang Xiaokuo, Cai Li, Zhao Xiaohui, et al. Design and simulation of sequential circuits in quantum-dot cellular automata; Falling edge-triggered flip-flop and counter study [J]. *Microelectronics Journal*, 2010, 41(1): 56 - 63.
- [7] Victor P, Nelson H, Nagle T, Bill D, et al. *Digital Logic Circuit Analysis & Design* [M]. Prentice-Hall, 1995. 106 - 120.
- [8] Xiao Linrong, Chen Xiexiong, Ying Shiyan. Design of dual-edge triggered flip-flops based on quantum-dot cellular automata [J]. *Journal of Zhejiang University-SCIENCE C (Computers & Electronics)*, 2012, 13(5): 385 - 392.
- [9] Wu Chubin, Xie Guangjun, Xiang Yunlong, et al. Design and simulation of dual-edge triggered sequential circuits in quantum-dot cellular automata [J]. *Journal of Computational and Theoretical Nanoscience*, 2014, 11(7): 1620 - 1626.
- [10] Yang X, Cai L, Zhao X. Low power dual-edge triggered flip-flop structure in quantum dot cellular automata [J]. *Electronics Letters*, 2010, 46(12): 825 - 835.
- [11] Walus K, Dysart T J, Jullien G A, et al. QCADesigner: A rapid design and simulation tool for quantum-dot cellular automata [J]. *IEEE Trans on Nanotechnology*, 2004, 3(1): 16 - 31.
- [12] 欧阳城添, 江建慧. 基于概率转移矩阵的时序电路可靠度估计方法 [J]. *电子学报*, 2013, 41(1): 171 - 177.
Ou Yang Cheng-tian, Jiang Jian-hui. Reliability estimation of sequential circuit based on probabilistic transfer matrices [J]. *Acta Electronica Sinica*, 2013, 41(1): 171 - 177. (in Chinese)
- [13] Prameela K N, Gurumurthy K S. QCA system design using blocks with vertically stacked active elements [A]. 2014 2nd International Conference on Devices, Circuits and Systems (ICDCS) [C]. Combiatore, India: IEEE, 2014. 1 - 6.

作者简介



杜化鲲 男, 1992 年生于安徽六安, 现为合肥工业大学物理电子学硕士生, 研究方向为集成电路设计与测试.
E-mail: duhuakun666@163.com



吕洪君 男, 1958 年生于安徽宿州, 硕士, 现为合肥工业大学副教授, 研究方向为纳米电路与系统、量子信息与量子电路设计.
E-mail: lvhongjun1958@sina.com