

# 基于 Amdahl 定律扩展的多核处理器性能模型研究

冯晓<sup>1</sup>, 戴紫彬<sup>1</sup>, 蔡路亭<sup>1</sup>, 李伟<sup>2</sup>

(1. 解放军信息工程大学, 河南郑州 450000; 2. 复旦大学专用集成电路与系统国家重点实验室, 上海 200137)

**摘要:** 通过引入应用程序并行特征、通信开销、资源限制等因素, 建立了基于 Amdahl 定律扩展的多核处理器性能模型. 通过模型参数仿真, 搜索面向特定应用的多核处理器设计空间, 得出如下规律: 增大计算核心规模可实现超线性加速比; 结构应优先选择异构结构; 设计多进程、大容量的共享通信区可降低核间通信开销; 计算核心数目和规模由应用程序并行度和各并行部分比例及设计规模决定.

**关键词:** 多核处理器; 性能模型; Amdahl 定律; 并行计算; 加速比

**中图分类号:** TN492      **文献标识码:** A      **文章编号:** 0372-2112 (2017)06-1424-07

**电子学报 URL:** <http://www.ejournal.org.cn>      **DOI:** 10.3969/j.issn.0372-2112.2017.06.021

## Performance Model for Multicore Processor Based on Extended Amdahl's Law

FENG Xiao<sup>1</sup>, DAI Zi-bin<sup>1</sup>, CAI Lu-ting<sup>1</sup>, LI Wei<sup>2</sup>

(1. PLA Information Engineering University, Zhengzhou, Henan 450000, China;

(2. State Key Laboratory of Special Integrated Circuit and System, Fudan University, Shanghai 200137, China)

**Abstract:** Accounting uneven workload allocation, hardware bounds and communication latency, a performance analytic model is derived based on extended Amdahl's law for multicore processors. The speedup model can be applied as a guide for hardware design as well as a performance prediction model in multicore processors domain. The design space for the specific multicore processors is explored. According to the results, some suggestions about how to design the specific multicore processors, such as the architecture type (homogenous or heterogeneous), the number of cores integrated in the multicore system, the scale of cores to execute computing workload, and the communication area, are provided to the designers.

**Key words:** multicore processors; Amdahl's law; performance model; parallel computing; speedup

### 1 引言

高性能计算的需求促使处理器技术向更快、更强的方向发展, 而受限于频率、功耗、线延时、设计复杂度等因素的影响, 依赖于传统的单核架构提升处理性能已变得越来越困难<sup>[1]</sup>. 相对于传统单核处理器结构, 多核处理器可以提供更强的处理能力, 因而成为众多高性能计算平台的首选解决方案<sup>[2,3]</sup>.

目前主流上采用加速比作为评价多核架构性能和计算能力的参数<sup>[4]</sup>, 通常定义为测试程序在单核处理器上执行所需的时间与该程序在  $N$  个核上并行执行所需的时间比值. Amdahl 定律是描述系统加速比的经典

定律, 由 IBM (International Business Machines Corporation) Gene M. Amdahl 博士在 1967 年首次进行描述<sup>[5]</sup>. Amdahl 指出“系统采用并行化技术后所能获得的性能提升受限于系统中并行化部分所占的比例”. 该论述在并行计算领域得到充分肯定和广泛应用<sup>[6]</sup>, 逐渐成为描述并行系统加速比的基本定律, Amdahl 定律可抽象为如下表达式:

$$S(f, n) = \frac{1}{f + \frac{1-f}{n}} \quad (1)$$

其中,  $S(f, n)$  表示系统所取得的加速比,  $f$  为串行部分所占比例,  $1-f$  为并行部分所占比例,  $n$  为系统并行部

分的并行度. 根据 Amdahl 定律, 假设未采取并行化措施前系统计算时间为 1, 则采用并行措施后系统计算时间  $T$  为:

$$T = f + \frac{1-f}{n} \quad (2)$$

Amdahl 定律中有三个假设: (1) 应用程序由完全串行的串行部分和可无限并行的并行部分组成, 且各部分所占比例不变; (2) 系统运算资源无限多, 无论应用程序中的可并行部分并行度多大, 系统都能够实现; (3) 应用程序并行化实现不会引入额外的通信开销. 然而在实际应用中, 这三点假设是不准确的. 为更精确的评估系统性能, 需将以上三点补充进 Amdahl 定律. 目前, 尚无综合考虑以上三种因素的多核处理器性能模型<sup>[7]</sup>. 本文旨在 Amdahl 定律基础上建立多核处理器性能加速比模型, 为多核处理器架构设计提供有效建议, 主要工作包括以下几个方面:

(1) 基于统计理论, 定量描述了应用程序在多核处理器上并行执行时引入的通信开销;

(2) 基于 Amdahl 定律并将应用程序并行特征、通信开销、硬件资源限制等因素引入其中, 建立了适合于多核处理器性能评估的加速比模型;

(3) 通过设计空间搜索, 提出了多核处理器结构设计的几项建议, 例如异构结构和同构结构的选择、计算核心规模、计算核心数目等.

## 2 基于 Amdahl 定律扩展的多核处理器性能模型

Amdahl 定律描述了在问题规模固定前提下, 并行计算系统可实现的加速比受限于应用程序中串行部分所占的比例大小. Gustafson 定律<sup>[5]</sup>更改了 Amdahl 定律假设条件, 研究问题规模和处理器数目呈线性关系条件下并行系统加速比变化, 并以此推断出通过提高计算核心数目可在相同时间内解决更大规模的问题. Sun & Ni 定律<sup>[8]</sup>则从固定时间、固定任务及固定存储资源三个角度分析了高性能计算与并行部分比例以及计算核心数目间的关系, 统一了 Amdahl 定律模型、Gustafson 定律模型及存储资源受限条件下的存储器约束模型. Gustafson 定律和 Sun & Ni 定律可以看作是 Amdahl 定律的扩展.

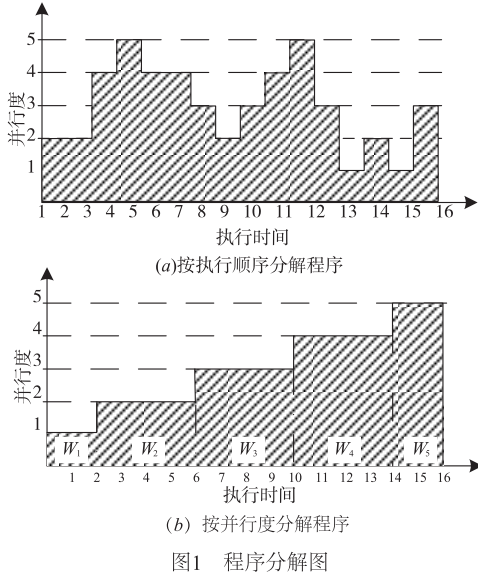
随着多核处理器设计技术的兴起和发展, 研究者开始探索以 Amdahl 定律指导下的多核处理器架构设计, 国内外提出了较多基于 Amdahl 定律扩展的多核处理器性能模型. 如文献[9]使用等价基本核 BCE (Base Core Equivalents) 来抽象多核硬件资源, 研究硬件资源限定条件下同构、异构和可重构三种多核架构的性能比较, 虽然该模型进行了大量理想化假设, 精确度不高,

但其 BCE 假设对多核系统性能模型研究具有很大影响; 文献[10]从软件设计方面提出了关键程序部分对系统性能的影响, 将应用程序中的关键程序段 (critical section) 分解为完全串行的部分和完全并行的部分, 充分考虑并行进程通过关键程序段的同步问题, 并指出同步问题是影响多核系统性能的关键因素之一; 文献[11]将传输开销引入到 Amdahl 定律中, 建立了层次化片上多核系统中节点大小及数目与传输开销关系的模型; 文献[4]主要修订了应用程序具有多级并行度时的 Amdahl 定律扩展, 建立了多级并行计算 (multi-level parallel) 的加速比模型, 该模型假定并行度对通信开销没有影响, 虽然文中指出了处理器数目会对算法可执行并行度有影响, 但是作者并未对其做进一步研究, 模型精确度不够; 文献[12]是将通信开销引入 Amdahl 定律中, 并以此评估处理器规模受限时可达到的最高性能, 但前提是应用程序并行度要随处理器核心数成一定比例关系, 这种假设在实际应用中过于理想化; 文献[13]是将算法分解为多个部分, 每部分可以以不同比例进行加速; 文献[14]以 FFT 等三种应用为例, 重点讨论了核间通信时间及并行串行部分的数据同步时间对多核处理器系统性能的影响; 文献[15]则基于任务并行特征建立了进程级封闭式排队网络模型 (thread-level closed-queuing network model), 探讨了不同同步类型及不同通信特征应用下多进程多核处理器性能随处理器数目的变化特征.

本文在 Amdahl 定律多核扩展已有研究的基础上, 引入并行特征、通信开销、资源限制等因素, 构建基于 Amdahl 定律扩展的多核处理器性能模型. 借鉴文献[9]的基本等价核思想, 对片上多核处理器系统硬件资源进行抽象. 假设多核系统包括  $n$  个 BCE, 每个 BCE 构成一个独立的基本计算核心, 计算能力记为  $\Delta$ . 设单个 BCE 串行完成应用程序的工作量为  $W_0$ , 则单个 BCE 完成应用程序所需时间为:

$$T_0 = \frac{W_0}{\Delta} \quad (3)$$

通常应用程序可分解为串行执行部分及多种并行度的并行执行部分. 如图 1(a) 所示为某程序段执行顺序的分解图, 如图 1 所示, 该段程序有串行执行部分及并行度分别为 2、3、4、5 的并行执行部分. 将图 1(a) 程序中相同并行度的任务组合在一起, 则该程序段可重新分解为如图 1(b) 所示结构,  $W_1$ 、 $W_2$ 、 $W_3$ 、 $W_4$  和  $W_5$  分别表示程序中并行度为 1、2、3、4 和 5 的部分. 工作量  $W_0$  的并行特征可用并行度  $i$  描述. 将  $W_0$  中并行度为  $i$  的工作量总和记为  $w_i$ , 则有  $W_0 = \sum_{i=1}^N w_i$ ,  $N$  为最大并行度. 当系统有无限多个 BCE, 且 BCE 间无通信开销时,



完成  $w_i$  所需时间为  $t_i = w_i / (\Delta \cdot i)$ , 则完成应用程序所需时间为:

$$T = \sum_{i=1}^N t_i = \sum_{i=1}^N \frac{w_i}{\Delta \cdot i} \quad (4)$$

下面进一步分析应用程序并行化执行引入的通信开销. 设  $w_{ci}$  为工作量  $w_i$  以并行度  $i$  执行时引入的通信开销, 则并行执行应用程序的工作量  $W$  为:

$$W = \sum_{i=1}^N (w_i + w_{ci}) \quad (5)$$

将每段独立执行的程序记为一个进程, 则  $w_i$  包括  $i$  个进程. 设  $c_0$  为每个进程的通信量,  $\Delta_c$  为多核处理器对通信请求的处理能力,  $p_c$  为各个进程间进行通信的概率. 那么, 对于  $w_i$ ,  $i$  个进程中有  $j$  个进程进行通信的概率为:

$$\binom{i}{j} p_c^j \cdot (1 - p_c)^{i-j} \quad (6)$$

设  $p_w$  为产生通信的各进程间产生冲突的概率, 那么,  $j$  个进程中有  $k$  个进程产生冲突的概率为:

$$\binom{j}{k} p_w^k \cdot (1 - p_w)^{j-k} \quad (7)$$

将两个相互竞争的进程间产生的同步时间及等待时间记为  $t_w$ ,  $j$  个进程进行通信产生的通信延迟为  $\frac{j \cdot c_0}{\Delta_c}$ ,  $j$  个进程中有  $k$  个进程竞争产生的竞争开销为  $k \cdot t_w$ ,  $i$  个进程中有  $j$  个进程进行通信的通信开销为:

$$\begin{aligned} & \binom{i}{j} p_c^j \cdot (1 - p_c)^{i-j} \cdot \frac{j \cdot c_0}{\Delta_c} + \sum_{k=0}^j \binom{j}{k} p_w^k \cdot (1 - p_w)^{j-k} \cdot k \cdot t_w \\ & = \binom{i}{j} p_c^j \cdot (1 - p_c)^{i-j} \cdot \frac{j \cdot c_0}{\Delta_c} + t_w \cdot j \cdot p_w \end{aligned} \quad (8)$$

进一步推导可得出, 对于  $w_{ci}$  产生的通信开销有:

$$t_{ci} = \sum_{j=0}^i \binom{i}{j} p_c^j \cdot (1 - p_c)^{i-j} \cdot \frac{j \cdot c_0}{\Delta_c} + \sum_{j=0}^i t_w \cdot j \cdot p_w$$

$$= \frac{i \cdot c_0 \cdot p_c}{\Delta_c} + t_w \cdot p_w \cdot \frac{i(i+1)}{2} \quad (9)$$

最后, 分析硬件资源对多核处理器性能的影响. 受限于硬件资源 (计算资源或存储资源等), 多核系统不可能实现无限大并行度. 设多核系统可实现的最大并行度为  $L$ , 则对于  $w_i$ , 当  $L > i$  时, 完成  $w_i$  所需时间为  $w_i / (i \cdot \Delta)$ ; 当  $L < i$  时, 部分计算核心执行时间为  $(w_i / (i \cdot \Delta)) \cdot \lfloor i \cdot r / n \rfloor$ , 部分计算核心执行时间为  $(w_i / (i \cdot \Delta)) \cdot \lceil i \cdot r / n \rceil$ , 完成  $w_i$  所需时间为  $(w_i / (i \cdot \Delta)) \cdot \lceil i \cdot r / n \rceil$ .

$r$  个 BCE 可以组成一个计算能力为  $\Delta(r)$  的强计算核心. 根据 Pollack 规则<sup>[16]</sup>, 处理器性能的提升与其复杂性的平方根成正比, 因此包含  $r$  个 BCE 的强计算核心计算能力为  $\Delta(r) = \sqrt{r} \cdot \Delta$ . 对于同构多核处理器, 系统包括多个结构相同的计算核心. 设由  $n$  个 BCE 组成的同构多核处理器, 每个计算核心规模为  $r$  个 BCE, 则完成应用程序所需的时间为:

$$T_{ho} = \sum_{i=1}^N \left( \frac{w_i}{i \cdot \Delta(r)} \left\lceil \frac{i \cdot r}{n} \right\rceil + \frac{i \cdot c_0 \cdot p_c}{\Delta_c} + t_w \cdot p_w \cdot \frac{i(i+1)}{2} \right) \quad (10)$$

对于异构型多核处理器, 系统包括多个结构相同的计算核心和一个计算能力更强的强计算核心. 设由  $n$  个 BCE 组成的异构多核处理器, 强计算核心由  $A$  个 BCE 组成, 其余计算核心由  $r$  个 BCE 组成, 则完成应用程序所需的时间为:

$$T_{he} = \frac{w_1}{\Delta(A)} + \sum_{i=2}^N \left( \frac{w_i}{i \cdot \Delta(A)} \left\lceil \frac{i \cdot r}{n - A + r} \right\rceil + \frac{i \cdot c_0 \cdot p_c}{\Delta_c} + t_w \cdot p_w \cdot \frac{i(i+1)}{2} \right) \quad (11)$$

设应用程序中各并行度工作量有  $w_i = S_i \cdot W$ ,  $t'_{ci} = (t_{ci} \cdot \Delta / W)$ , 根据式(1)和式(8), 同构多核处理器可获得的加速比为:

$$S_{speedup} = \frac{T_0}{T_{ho}} = \frac{1}{\sum_{i=1}^N \left( \frac{S_i}{i \cdot \sqrt{r}} \left\lceil \frac{i \cdot r}{n} \right\rceil + t'_{ci} \right)} \quad (12)$$

同理, 根据式(3)和式(11), 异构多核处理器可获得的加速比为:

$$S'_{speedup} = \frac{T_0}{T_{he}} = \frac{1}{\frac{S_1}{\sqrt{A}} + t'_{c1} + \sum_{i=2}^N \left( \frac{S_i}{i \cdot \sqrt{r}} \left\lceil \frac{i \cdot r}{n - A + r} \right\rceil + t'_{ci} \right)} \quad (13)$$

其中, 强计算核心规模  $A$  和基本计算核心规模  $r$  等参数是多核处理器的结构参数, 各并行部分所占比例  $S_i$  是与应用程序特征相关的参数, 通信开销  $t'_{ci}$  则与应用程序

序特征和处理器结构都相关。

### 3 多核处理器设计空间搜索

面向特定应用的处理器,是针对某一个或者某一类应用而设计的专用处理器,如密码处理器、多媒体处理器、人工识别处理器等。特定应用的程序往往具有相似的计算特征,提取  $S_i$  参数的难度相对较小,比较适合对其设计空间进行搜索。本节将基于多核处理器性能模型,搜索面向特定应用的多核处理器设计空间的最优解,为专用多核处理器优化设计提供指导。通常情况下复杂的应用程序一般可分解为简单程序的迭加或迭代,比如多并行度程序可转换为多个单并行度程序迭加,多级并行度的程序可转换为多个单级并行度程序的迭代。为降低研究复杂度,在本节仅以单级、单并行度应用程序为例进行多核处理器设计空间搜索。

#### 3.1 通信开销 $t'_{ci}$

设应用程序由  $w_1$  和  $w_N$  组成,且  $S_1 = 0.1, S_N = 0.9$ , 多核处理器包含  $N$  个计算核心,每个计算核心由 1 个 BCE 组成。通信开销  $t'_{ci}$  对多核处理器加速比的影响如图 2 所示,图中横坐标  $t'_{ci}$  取值区间为  $[0.01, 1]$ , 取值间隔为 0.005, 纵坐标表示多核处理器加速比。由图中可以看出,当通信开销较小时,对多核系统性能影响较少,但随着通信开销比例的增加,多核系统性能将逐渐下降,甚至会低于单个 BCE 的性能。例如,当  $t'_{ci} > 0.45$  时,  $N=2$  的加速比曲线取值开始低于 1, 当  $t'_{ci} > 0.845$  时,  $N=16$  的加速比曲线取值开始低于 1。因此,减少通信开销是发挥多核处理器性能优势的重要保证,设计一个高效的通信机制是非常必要的。

在后面的讨论中,假设通过设计多进程并行的共享通信区,通信开销可忽略不计。需要指出的是,当并行度  $i$  较大时,比如  $i > 100$ , 共享通信区域的设计会非常复杂而难以实现,同时  $i(i+1)$  的取值也会急剧增加使得等待时间  $i(i+1) \cdot t_w \cdot p_w/2$  不可忽略,因此,通信开销会限制应用程序过度并行化,既应用程序的最大并行度取值不会很大。

为便于讨论,假设应用程序仅包括串行部分  $w_1$  和并行度为 16 的并行部分  $w_{16}$ , 以此为基础对多核处理器

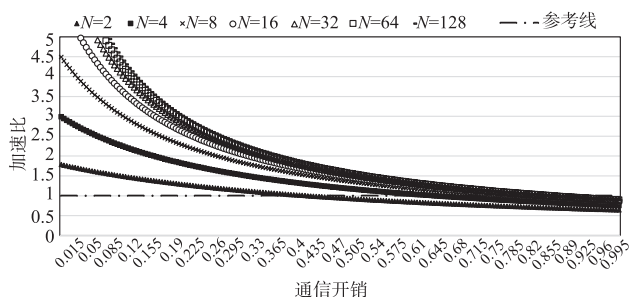


图2 通信开销  $t'_{ci}$  对多核处理器性能影响

性能参数进行讨论。此时同构多核系统和异构多核系统的性能模型精简为:

$$S_{\text{speedup}} = \frac{1}{S_1 + \frac{1-S_1}{16 \cdot \sqrt{r}} \left[ \frac{16 \cdot r}{n} \right]} \quad (14)$$

$$S'_{\text{speedup}} = \frac{1}{\frac{S_1}{\sqrt{A}} + \frac{1-S_1}{16 \cdot \sqrt{r}} \left[ \frac{16 \cdot r}{n-A+r} \right]} \quad (15)$$

#### 3.2 并行比例 $S_i$

假设多核处理器为同构结构,基本计算核心由 1 个 BCE 组成,既  $r=1, \Delta(r)=1$ , 并行比例  $S_1$  对多核处理器性能影响如图 3 所示。图中横坐标表示多核处理器包含的 BCE 数目,纵坐标表示多核处理器的加速比,由“ $S_1$ ”标注的一组曲线为本文提出的性能模型描述的多核处理器性能随并行比例  $S_1$  变化曲线,由“ $S_1'$ ”标注的一组曲线为 Amdahl 定律描述的多核处理器性能随并行比例  $S_1$  变化曲线。 $S_1$  取值分别为 0.1、0.3、0.5、0.7 和 0.9。

从图 3 中可以看出,在假定条件下,应用程序的可开发并行度及  $w_i$  所占比例  $S_i$  对多核处理器性能有很大影响,决定了多核处理器可达到的最高加速比,例如,当  $S_1 = 0.1, S_{16} = 0.9$  时,多核处理器只能获得小于 6.4 的加速比,当  $S_1 = 0.5, S_{16} = 0.5$  时,多核处理器只能获得小于 1.89 的加速比;当处理器数目集成的计算核心数目等于应用程序的最大并行度时,再增加计算核心数目不会提升多核处理器性能,例如,图 3 中 BCE 数目大于 16 时,多核处理器的加速比保持不变;多核处理器集成的计算核心数目应从一些特定值中选择,比如,图中 BCE 数目等于 2、4、8 和 16 时多核处理器性能得到较大提升,而当 BCE 数目等于 10、11、12 等时多核处理器性能几乎没有提升。

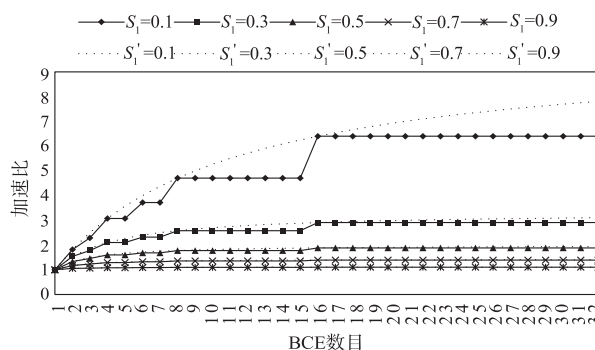


图3 并行比例  $S_1$  对多核处理器性能影响

#### 3.3 计算核心规模 $r$

假设多核处理器为同构结构,基本计算核心由  $r$  个 BCE 组成,多核处理器性能与计算核心规模  $r$  关系如图 4 所示,图 4(a)~4(e) 分别表示串行部分比例为 0.1、0.3、0.5、0.7 和 0.9 条件下变化关系,各图中  $r$  取值范围为  $[1, 6]$ , 取值间隔为 1, 标记为“Amdahl”的参考线

为 Amdahl 定律描述的性能变化曲线.

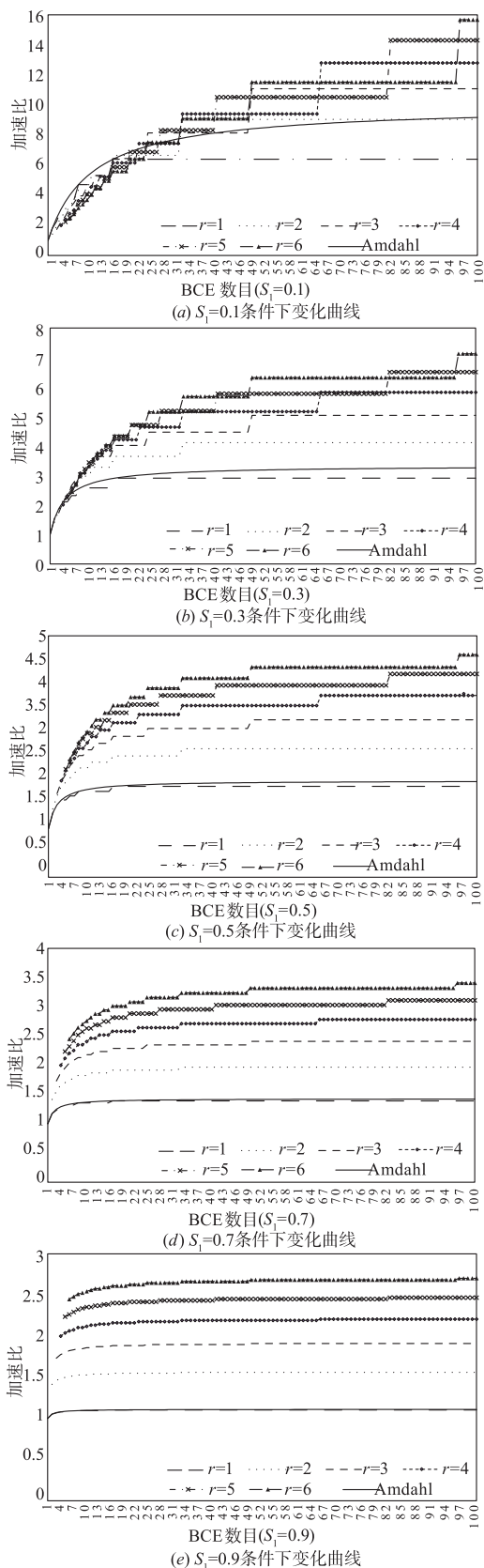


图4 计算核心规模 $r$ 对多核处理器性能影响

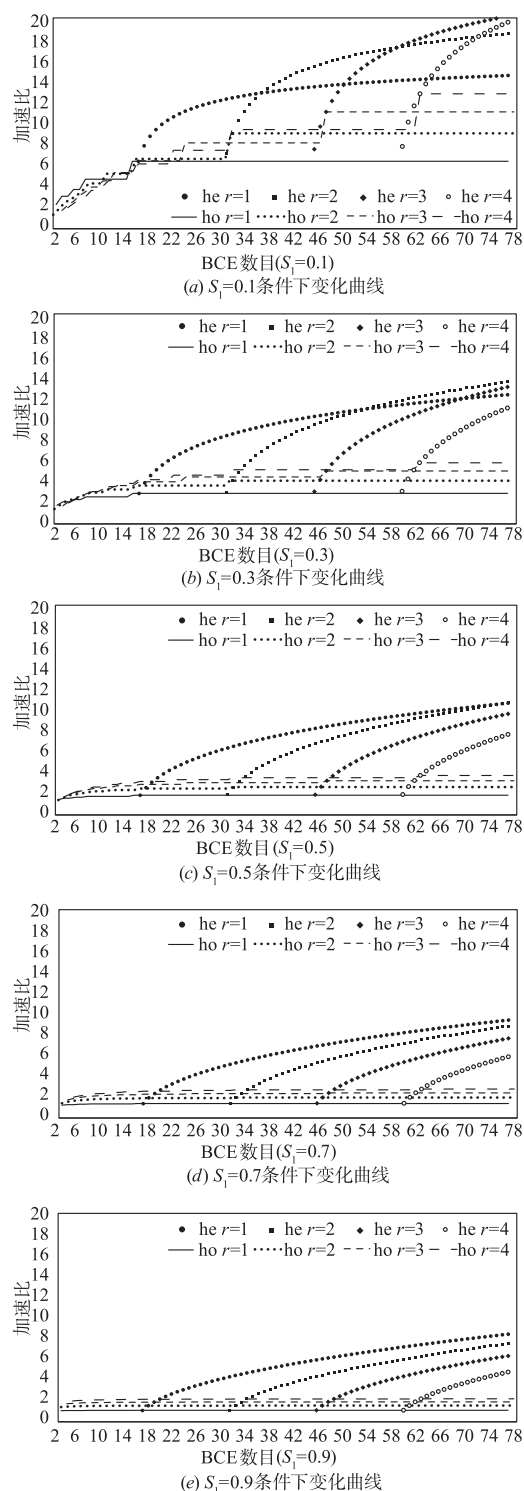
由图4中可以得出,首先,多核处理器通过增加计算核心规模( $r > 1$ )可获得超线性加速比,例如图4中,当BCE数目足够多时, $r > 1$ 的各曲线均能获得大于Amdahl定律预测值的加速比.其次,应用程序中串行部分所占比例越大,增大基本计算核心规模越具有优势,如图4(a)中,当BCE数目小于16时,多核处理器性能(不同 $r$ 取值下)低于Amdahl定律预测值,而图4(e)中多核处理器性能(不同 $r$ 取值下)均高于Amdahl定律预测值.最后,当芯片可集成的BCE数目受限并且应用程序中各并行部分的比例已知时,在本节假设情况下为 $n$ 最大值固定且 $S_1$ 已知,通过多核处理器性能模型可计算出计算核心规模的最优值,例如,当多核处理器最多可集成32个BCE时,在 $S_1=0.1$ 情况下,计算核心规模设计为 $r=5$ 处理器性能最优,如图4(a)所示,在 $S_1=0.3$ 情况下,计算核心规模设计为 $r=6$ 处理器性能最优,如图4(b)所示.

### 3.4 同构多核处理器与异构多核处理器性能比较

本节主要对同构多核处理器与异构多核处理器进行性能比较.由前面的讨论可知,对于并行度最大为 $N$ 的应用程序,当同构多核处理器集成的BCE数目 $n=N \cdot r$ 时性能取得最大值,因此在异构多核处理器的设计中有 $A=n-(N-1) \cdot r$ .如图5所示为不同 $S_1$ 和 $r$ 取值下同构多核处理器及异构多核处理器性能随BCE数目变化曲线.

由图5中可以得出,在当前假定条件下,异构多核处理器可使系统加速比获得较大提升.例如图5(a)中,当BCE数目等于32时,异构多核处理器加速比值可达到12.4,但同构多核处理器加速比最高为9.4,图5(b)中,当BCE数目等于64时,异构多核处理器加速比值可达到12.1,但同构多核处理器加速比最高为5.8.同样地,当芯片可集成的BCE数目受限并且应用程序中各并行部分的比例已知时,既 $n$ 最大值固定且 $S_1$ 已知,可计算出多核处理器的最优结构,例如图5(a)中,在 $S_1=0.1$ 情况下,当多核处理器集成数目为32个BCE时,基本计算核心规模 $r=1$ ,强计算核心 $A=17$ 的异构多核处理器性能最优,而当多核处理器数目集成为40个BCE时,基本计算核心规模 $r=2$ ,强计算核心 $A=10$ 的异构多核处理器性能最优.

通过第3节设计空间搜索可得出多核处理器的基本设计规律:优先选择异构结构,设计多进程、大容量的共享通信区,根据应用程序并行度确定计算核心数目,根据各并行部分比例及设计规模限制确定计算核心规模.可应用此模型按照以下步骤设计面向特定应用的处理器,首先,提取应用程序并行特征,确定串行部分比例和并行部分最大并行度;然后,根据串行部分设计强计算核心,同时,根据并行部分最大并行度评估通信区

图5 同构多核处理器与异构多核处理器性能比较( $r$ 、 $S_1$ 变化)

域设计难度,在硬件资源可满足的前提下确定基本计算核心数目;然后,根据各并行部分比例及硬件限制确定基本计算核心规模;最后,根据推导出的结构参数对各部分进行实现。

对比于其他基于 Amdahl 定律的多核处理器性能模

型,由于引入了更完备的参数,本文提出的模型对影响性能的关键因素得出不同的结论,能够对多核处理器设计提供可信度更高的设计建议.文献[10]未将关键程序段与硬件设计进行对应,也未对关键程序部分进行深入研究.本文则对关键部分进行了更深入的分析,指出了共享通信区(执行关键程序的硬件单元)的设计规律.文献[4]中做了大量理想化假设,并略去了通信因素的影响,与实际情况具有一定偏差.文献[11]模型中仅考虑了不同架构参数下多核系统传输开销的变化.文献[12]假设应用程序的并行度随着处理器核心数成一定比例关系( $\sqrt{n}$ ),实质上这是对通信开销等的简化处理,本文建立的通信开销模型更接近实际.文献[13]提出了程序分段加速的思想,将程序分解为多个独立加速的部分,其分段原则较为模糊,本文是按照并行度对待完成任务进行分解.文献[14]未对硬件设计规律进行研究.文献[15]模型主要用于研究多进程多核处理器可实现的最高加速比,未讨论处理器计算核心规模对性能的影响.此外,上述论文都忽略了应用程序可实现并行度对多核处理器设计的影响。

#### 4 结束语

多核处理器是未来处理器的发展方向,然而,目前多核处理器体系结构设计的理论基础还不完善.现有 Amdahl 定律及 Amdahl 定律多核扩展的研究成果中,由于存在较多理想化条件或者简化条件,通过理论研究所得出的结论与实际情况存在一定偏差.本文在现有研究的基础上,通过引入应用程序并行特征、通信开销、资源限制等因素,建立了面向应用的多核处理器性能模型,并对影响多核处理器处理性能的参数行了详细分析.根据本文提出的多核处理器模型,结合应用程序特征,可计算出面向特定应用的多核处理器的最优结构,当硬件资源不是最主要限制因素时,应用程序的可开发并行度决定了多核处理器可集成的计算核心最大数目,各并行部分比例及设计规模限制又决定了计算核心的规模.一般地,异构多核处理器结构性能优于同构多核处理器结构,多核系统中应设计一个多进程、大容量的共享通信区以减少通信开销。

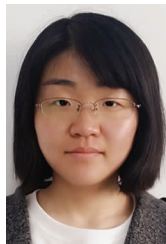
本文提出的性能模型中假设各进程间进行通信的概率相等,在实际情况中不同类型应用程序的通信特征可能不同,对应用程序通信特征的进一步挖掘可提高性能模型的精确度,为多核处理器体系结构设计提供更精准有效的建议

#### 参考文献

- [1] 冯晓静.面向服务的异构多核片上系统的关键技术研究及实现[D].合肥:中国科学技术大学,2013.

- FENG Xiao-jing. Study and Implementation of Service Oriented Heterogeneous Multi Processor System-on-Chip[D]. Hefei: University of Science and Technology of China, 2013. (in Chinese)
- [2] Shukla S K, Murthy C N S, Chande P K. A survey of approaches used in parallel architectures and multi-core processors, for performance improvement[A]. Progress in Systems Engineering [C]. Berlin: Springer International Publishing, 2015. 537 – 545.
- [3] Silberstein M. GPUs: High-performance accelerators for parallel applications: The multicore transformation (Ubiquity symposium) [J]. Ubiquity, 2014, 2014 ( August ): 1 – 13.
- [4] Tang S, Lee B S, He B. Speedup for multi-level parallel computing[A]. Parallel and Distributed Processing Symposium Workshops & PhD Forum (IPDPSW) [C]. Shanghai: IEEE, 2012. 537 – 546.
- [5] 李文石, 姚宗宝. 基于阿姆达尔定律和兰特法则计算多核架构的加速比[J]. 电子学报, 2012, 40(2): 230 – 234.  
LI Wen-shi, YAO Zong-bao. Multicore architecture speedup computation based on Amdahl's law and Rent's rule[J]. Acta Electronica Sinica, 2012, 40(2): 230 – 234. (in Chinese)
- [6] 刘斌, 赵银亮, 韩博, 等. 基于性能预测的推测多线程循环选择方法[J]. 电子与信息学报, 2014, 36 ( 11 ): 2768 – 2774.  
LIU Bin, ZHAO Yin-liang, HAN Bo, et al. A loop selection approach based on performance prediction of speculative multithreading [J]. Journal of Electronics & Information Technology, 2014, 36 ( 11 ): 2768 – 2774. (in Chinese)
- [7] Al-Babtain B M, Al-Kanderi F J, Al-Fahad M F, et al. A survey on Amdahl's law extension in multicore architectures [J]. International Journal of New Computer Architectures and Their Applications (IJNCAA), 2013, 3(3): 30 – 46.
- [8] Sun X H, Ni L M. Another view on parallel speedup[A]. Supercomputing '90, Proceedings of [C]. New York: IEEE, 1990. 324 – 333.
- [9] Hill M D, Marty M R. Amdahl's law in the multicore era [J]. IEEE Computer, 2008, 41(7): 33 – 38.
- [10] Eyerman S, Eeckhout L. Modeling critical sections in Amdahl's law and its implications for multicore design[A]. ACM SIGARCH Computer Architecture News-ISCA' 10 [C]. New York: ACM, 2010. 362 – 370.
- [11] 陈书明, 陈胜刚, 尹亚明. Amdahl 定律在层次化片上多核处理器中的扩展[J]. 计算机研究与发展, 2012, 49 ( 1 ): 83 – 92.  
CHEN Shu-ming, CHEN Sheng-gang, YIN Ya-ming. Revisiting Amdahl's law in the hierarchical chip multicore processors[J]. Journal of Computer Research and Development, 2012, 49(1): 83 – 92. (in Chinese)
- [12] Juurlink B H H, Meenderinck C H. Amdahl's law for predicting the future of multicores considered harmful [J]. ACM SIGARCH Computer Architecture News, 2012, 40 ( 2 ): 1 – 9.
- [13] Cassidy A S, Andreou A G. Beyond Amdahl's law: an objective function that links multiprocessor performance gains to delay and energy [J]. Computers, IEEE Transactions on, 2012, 61(8): 1110 – 1126.
- [14] Yavits L, Morad A, Ginosar R. The effect of communication and synchronization on Amdahl's law in multicore systems [J]. Parallel Computing, 2014, 40(1): 1 – 16.
- [15] Che H, Nguyen M. Amdahl's law for multithreaded multicore processors [J]. Journal of Parallel and Distributed Computing, 2014, 74(10): 3056 – 3069.
- [16] Shekhar Borkar. Thousand core chips-A technology perspective [A]. 2007 44th ACM/IEEE Design Automation Conference [C]. San Diego, CA: ACM, 2007. 746 – 749.

## 作者简介



冯 晓 女, 1987 年生于河北衡水. 信息工程大学博士. 研究方向为多核处理器、密码专用芯片设计.  
E-mail: fengxiaois1@163.com



戴紫彬 男, 1966 年生于河南商丘. 信息工程大学教授, 博士生导师. 研究方向为专用芯片设计、可重构芯片、可重构 SoC 设计.



蔡路亭 男, 1989 年生于江西赣州. 信息工程大学硕士. 研究方向为高性能计算、信息安全、安全通信.



李 伟 (通信作者) 男, 1983 年生于天津. 信息工程大学副教授, 现为复旦大学国家集成电路重点实验室博士生. 研究方向为密码处理器设计, ASIC 专用芯片设计.  
E-mail: liwei12@fudan.edu.cn