

# 片上网络路由器的测试及其外壳旁路故障的诊断

王伟<sup>1,2</sup>, 周梦玲<sup>1,2</sup>, 方芳<sup>1</sup>, 郭二辉<sup>3</sup>, 陈田<sup>1,2</sup>, 刘军<sup>1,2</sup>, 任福继<sup>1,2</sup>

(1. 合肥工业大学, 安徽合肥 230009; 2. 情感计算与先进智能机器安徽省重点实验室, 安徽合肥 230009;  
3. 中国电子科技集团公司第三十八研究所, 安徽合肥 230009)

**摘要:** 目前采用 IEEE 1500 测试外壳的方法可以一定程度上解决 NoC (Network on Chip) 路由器测试的问题, 但当测试外壳的旁路出现一个以上的故障时, 很可能导致一整条扫描链上的 NoC 路由器测试失败. 针对该问题, 本文通过提出一个深度优先最短路径算法得到从固定的扫描输入端到扫描输出端的最短路径, 并通过提出的递归划分逐步求精法对路径进行筛选分块排序, 构造多条扫描测试链将整个网络中的路由器分开测试. 本文给出了测试外壳旁路故障的诊断和容错方法, 使用节点分类测试方法实现对 NoC 路由器旁路故障的定位, 并通过本文提出的测试外壳结构实现对故障旁路的容错.

**关键词:** 旁路故障; 诊断; 片上网络; 测试外壳

**中图分类号:** TN407

**文献标识码:** A

**文章编号:** 0372-2112 (2017)03-0638-06

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2017.03.020

## Test for NoC Routers and Diagnose for Bypass of Its Test Wrapper

WANG Wei<sup>1,2</sup>, ZHOU Meng-ling<sup>1,2</sup>, FANG Fang<sup>1</sup>, GUO Er-hui<sup>3</sup>, CHEN Tian<sup>1,2</sup>, LIU Jun<sup>1</sup>, REN fu-ji<sup>1,2</sup>

(1. Hefei University of Technology, Hefei, Anhui 230009, China;

2. Anhui Province Key Laboratory of Affective Computing and Advanced Intelligent Machine, Hefei, Anhui 230009, China;

3. The Thirty-eighth Research Institute of China Electronic Technology Group Corporation, Hefei, Anhui 230009, China)

**Abstract:** The IEEE 1500 standard structure provides a test wrapper to test routers and a bypass to shield faulty routers. However, if a bypass fails, not only we cannot use it to tolerate fault, but also it will disturb other test responses in the same scan chain. To solve the problem, we propose a diagnostic method for bypass fault in routers' test wrapper in NoC. We use the Depth-first shortest path to get the shortest path from the scan-in port to the scan-out port, and we separate routers by using recursive partitioning stepwise refinement to construct multiple scan test chains. So the localization of bypass fault could be realized. Then we also propose an architecture to tolerate the bypass fault.

**Key words:** bypass fault; diagnose; NoC; test wrapper

## 1 引言

SoC (System on Chip) 是现代集成电路设计中, 代替由多芯片组成印刷电路板的具有完整系统功能的芯片. 随着芯片上集成越来越多的核, 片上通信效率已成为决定全局系统性能和成本的关键因素.

当 SoC 的规模变得越来越庞大时, 存在着通信架构的可扩展性和可复用性差等问题. 为此引入片上网络 NoC (Network on Chip), 它是基于分组交换网络的互连架构, 采用全局异步局部同步机制, 可以克服传统 SoC

的瓶颈集成更多的芯核<sup>[1-3]</sup>.

故障诊断是为隔离故障而设计的. 诊断指的是对故障位置的识别, 确定应当被替换的故障部件. 理想的故障诊断能够精确地确定故障部件并提供最有效的修理. 系统级诊断能够识别出故障电路板, 然后进行修理<sup>[4]</sup>.

为了解决 SoC 测试中面临的问题, IEEE 组织制定了 IP 核测试标准 IEEE 1500<sup>[5,6]</sup>, 旨在标准化 IP 核测试接口, 使得 IP 核的测试变得方便高效<sup>[7]</sup>.

收稿日期: 2015-06-15; 修回日期: 2016-03-14; 责任编辑: 覃怀银

基金项目: 国家自然科学基金重点项目 (No. 61432004); 国家自然科学基金 (No. 61474035, No. 61204046, No. 61306049); 安徽省科技攻关项目 (No. 1206c0805039); 安徽省自然科学基金项目 (No. 1508085QF129); 教育部新教师基金 (No. 20130111120030); 中央高校基本科研业务费专项资金

IEEE 1500 有以下几种工作模式:(1)功能模式;(2)测试模式;(3)旁路模式;通过外壳旁路寄存器、外壳边界寄存器和外壳指令寄存器等实现各个工作模式的自由切换.文献[8]对 IEEE 1500 标准结构进行了修改和加强,使得 IEEE 1500 在功能模式和测试模式都能使用.关于 NoC 故障的测试方法很多<sup>[9-12]</sup>,对于路由器的测试我们也可以使用测试外壳<sup>[13-15]</sup>.文献[13]为 NoC 路由器提供了一个具有可扩展性的测试策略,基于部分扫描对 NoC 网络添加 IEEE 1500 测试外壳.将 NoC 网络分成若干个子网络,对一个子网络增加一个测试外壳,重利用 NoC 来减少测试面积开销.实验结果表明此方法能够为面积开销、故障覆盖率和测试数据规模提供一个良好的平衡,却非常耗费测试时间.文献[14]提出了一种能够为 NoC 路由测试的方法,为路由增加测试外壳,为异步 NoC 的设计提供了很好的测试策略,采取一条扫描链连接所有路由器的方式.此外,测试时采用多源时钟及提高扫描链时钟频率的方式,可以提高测试的灵活性与速度<sup>[15]</sup>,但有可能产生较大的功耗与热量,影响芯片的可靠性.而测试外壳的 bypass 技术,恰恰可以有效与这些技术相结合,通过测试调度,屏蔽部分区域的测试活动,进而降低测试功耗、促进热量散发.

## 2 测试外壳旁路故障分析

本文提出一个能对 NoC 测试外壳的旁路(Bypass)进行测试和容错的结构,如图 1 所示,按照 IEEE 1500 标准,对每个路由添加测试外壳,所不同的是为每个 Router 配置两条 Bypass. IEEE 1500 的测试外壳主要有以下部分组成:外壳串行端口(Wrapper Serial Port, WSP)、外壳并行端口(Wrapper Parallel Port, WPP)、外壳指令寄存器(Wrapper Instruction Register, WIR)、外壳旁路寄存器(Wrapper Bypass Register, WBY)、外壳边界寄存器(Wrapper Boundary Port, WBR)以及两个选择器<sup>[16,17]</sup>. WSP 实现测试向量的输入以及测试响应的输出;WIR 产生相应的控制信号,实现 WBY 和 WBR 等配置;WBR 用于实现测试数据的捕获、移位、加载以及更新等具体测试的过程;WBY1 用来旁路掉不用的芯核,

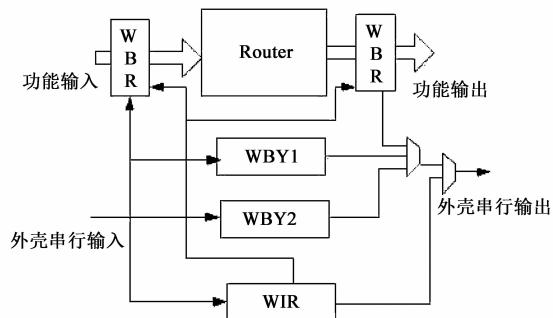


图1 路由测试的外壳结构

为测试提供一条较短的路径,为实现快速测试提供可能,当 WBY1 故障时,WBY2 用来替换 WBY1,为测试提供另一条较短的路径.

### 2.1 正常测试情况

IEEE 1500 标准的外壳对路由器测试过程如图 2 所示.将所有的路由纳入扫描链进行测试,打入一连串测试输入数据  $X_1, X_2, X_3, \dots$  观察测试结果.

(1)测试输入数据  $X_1$  打入 R1,在 R1 的 Test wrapper1 测试,测试结果从 R2、R3 的 Bypass 通过,得到测试响应  $X'_1$ ,若是  $X'_1$  与  $X_1$  一致,则说明 R1 没有发生故障;若不一致,则说明 R1 发生故障.

(2)测试输入数据  $X_2$  从 R1 的 Bypass 到 R2 的 Test wrapper2 测试,经过 R3 的 Bypass3 得到测试响应  $X'_2$ .若是  $X'_2$  与  $X_2$  一致,则说明 R2 没有发生故障;若不一致,则说明 R2 发生故障.

(3)将测试输入数据  $X_3$  从 R1、R2 的 Bypass 经过,到 R3 的 Test wrapper3 测试,输出得到结果  $X'_3$ .若是  $X'_3$  与  $X_3$  一致,说明 R3 没有发生故障;若不一致,则说明 R3 发生故障.

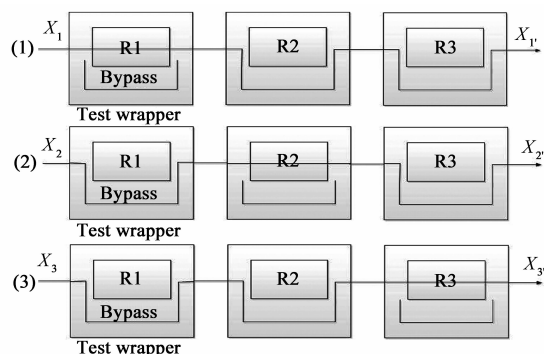


图2 路由测试过程

### 2.2 Bypass 故障情况

若测试外壳旁路没有发生故障,则测试数据不受到影响;若是有 Bypass 故障,则测试向量和测试响应经过此 Bypass 时会受到影响.如果图 2 中 R2 的 Bypass2 发生故障,则测试响应  $X'_1$  经过 Bypass2 后数据会发生变化,测试输入数据  $X_2$  经过 Bypass1 到达 R2,在 Test wrapper2 进行测试.测试响应  $X'_2$  经过 Bypass3 不受到影响,而对于测试输入数据  $X_3$  从 Bypass1、Bypass2 经过到达 R3 时已经发生变化,故只有  $X'_2$  才是正确的测试结果.

故可以通过比较测试响应来判断 Bypass 发生故障的数量情况.

(1)正常测试情况:若某条扫描链上存在两个及以上 Router 的测试响应与预期的测试响应相同,则此扫描链上所有的 Bypass 都是正确的,Router 的测试结果是可信的;

(2)简单故障情况:若某条扫描链上只有一个测试响应与预期的测试响应相同,如上述 R2 的测试响应与

预期的相同,则发生故障的就是 Bypass2;

(3)复杂故障情况:若某条扫描链上所有的测试响应与预期的测试响应都不相同,则可能出现了三种故障情况;(a)此扫描链中 Bypass 至少有两个发生了故障;(b)某一个 Router 发生故障且它的 Bypass 也发生故障;(c)所有的 Router 都发生了故障.不能直接判断是哪一种故障情况.

由上文可知一旦测试外壳中的 Bypass 发生故障,会造成区域的成片的故障,目前的测试方法很难解决,会导致芯片测试不能正常进行,对整个测试结果的正确性产生非常大的影响.为了能够对故障 Bypass 进行精确定位,本文旨在研究如何构造扫描链能够最快的找到故障并即时修复.

### 3 NoC 路由器旁路故障诊断原理

#### 3.1 单故障情况

根据上文描述的,如果网格中只有一个 Bypass 发生故障且同节点的 Router 不发生故障,能够直接判断故障的位置.以一个  $4 \times 3$  的 mesh 网格为例,若其中一个节点(Router)的 Bypass 发生故障,如图 3 所示,圆圈表示 Router,方框表示测试外壳,黑色方框表示 Bypass 发生故障.故我们构造如图 3 中所示的扫描链.

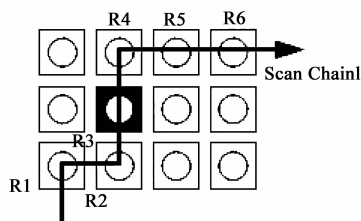


图3 网络中有一个Bypass发生故障,构造扫描链找到此故障

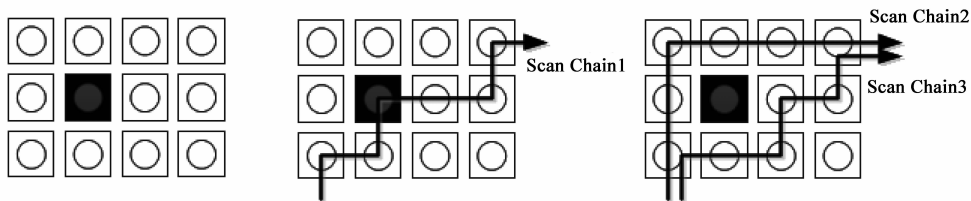


图5 Router与Bypass同时故障的诊断方法

### 4 NoC 路由器旁路故障诊断算法

对于一个  $m \times n$  的 2D Mesh 网络,为其确定一个扫描链输入端和对应的扫描链输出端,网络中左下角顶点为扫描链输入端,源点设为 0,水平方向设为  $X$ ,垂直方向设为  $Y$ ,其对角线上的右上角顶点  $m \times (n-1)$  为扫描链输出端,为网络中的所有节点进行标号.从扫描链输入端到扫描链输出端可以得到多条路径,如何选择全覆盖所有顶点且能够尽快找到故障节点的测试路径?

本文提出了一种深度优先改进算法,能够为故障

#### 3.2 复杂故障情况

若图 3 中所示扫描链得到的测试响应与预期的测试响应异或的结果为 111111,则 1. 这条扫描链中出现两个及以上的 Bypass 故障;2. Bypass3 故障且 R3 故障;3. 这条扫描链上所有的 Router 都发生故障.对于第三种情况,路由器损坏过多的芯片宜丢弃,故不是本文讨论的范畴,其余两种情况都需要重新拆分扫描链.

##### 3.2.1 某条扫描链中有两个 Bypass 发生故障

如图 4 所示,构造的一条扫描链(Scan Chain)上有两个 Bypass 同时发生故障,不能够直接判断故障发生的位置.故构造如图 4 所示的两条扫描链(Scan Chain1, Scan Chain2),使每条扫描链中只有一个故障节点,以便于直接诊断诊断出故障发生的位置.

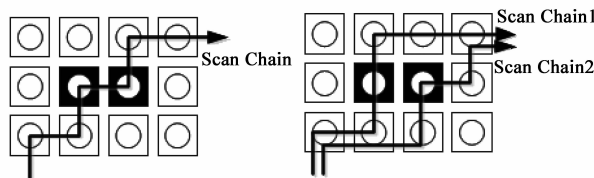


图4 构造扫描链对两个故障Bypass划分

##### 3.2.2 某节点与 Bypass 同时故障

如果某条扫描链中有一个节点与它的 Bypass 同时故障(如图 5 所示,灰色圆圈表示 Router 故障),则随机构造一条扫描链如图 5 所示的 Scan Chain1 不能直接判断.因此我们添加两条扫描链 Scan Chain2 和 Scan Chain3 对图 5 中故障链路的节点进行拆分,可以诊断出这两条链上的 Bypass 都没有故障,故图 5 中除节点 3 外所有节点的 Bypass 都确定没有故障,我们可以推断出 R3 与 Bypass3 都故障.

诊断提供从扫描链输入端到扫描链输出端的最短路径的扫描链,并提出一种递归划分逐步求精法对最短路径进行筛选并分组排序,根据得到的路径形成最终扫描链,使用集合分类节点方法测试,能够较快的诊断出故障位置并开启外壳自带的容错功能.如图 6 所示为本文算法.

#### 4.1 深度优先最短路径算法(DSPA)

2D Mesh 网络的从源点到终点可以有很多条待选路径,如果每条路径都作为一条扫描链则代价太高.考虑时间开销,本文选择最短路径方式生成候选扫描链.

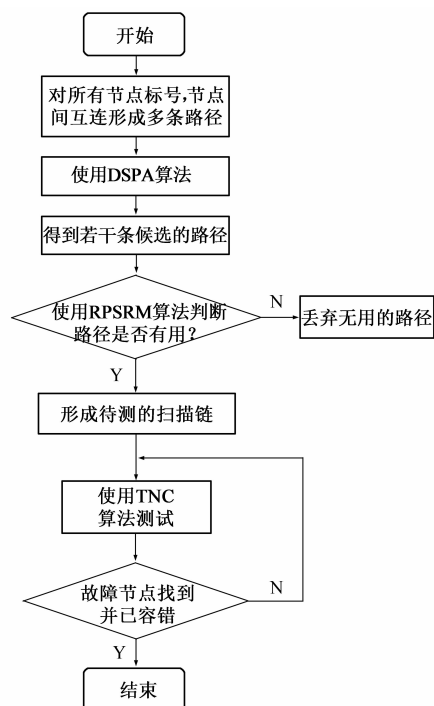


图6 本文算法

最短路径是指从源点到终点经过水平( $X$ )方向和垂直( $Y$ )方向的移动距离为 $(m+n-2)$ 的路径. 本文提出的深度优先最短路径算法(Depth-first Shortest Path Algorithm, DSPA)是指将 Mesh 网络作为一个有向图, 经过改进的深度优先算法得到多条无环最短路径, 并将得到的最短路径作为待选扫描链.

#### 4.2 递归划分逐步求精法(RPSRM)

本文使用递归划分逐步求精法(Recursive Partitioning Stepwise Refinement Method, RPSRM)对深度优先最短路径算法得到的最短路径进行筛选并划分为组, 将以 $Y_iXY_{n-i}$ 方向次序选择路径作为筛选标准.

$Y_iXY_{n-i}$ 指路径的方向, 如 $Y_0XY_n$ 指从当前节点的 $Y$ 方向出发 $0$ 步、 $X$ 方向走 $m$ 步、再从 $Y$ 方向走 $n$ 步,

(1) 将上一节中得到的路径作为待选路径.

(2) 第 $0$ 组, 从源点出发, 以 $Y_iXY_{n-i}$ 方向次序,  $i=1, \dots, n$ , 共选出 $n$ 条路径, 标记为特殊路径①②③ $\dots$ .

(3) 第 $1$ 组, 对路径①划分, 从路径①的第 $2$ 个节点出发, 以 $Y_iXY_{n-i}$ 方向次序选择扫描的下一个节点, 生成一条路径. 从路径①的第 $3$ 个节点出发以 $Y_iXY_{n-i}$ 方向次序选择扫描的下一个节点, 生成一条路径 $\dots$ 直到生成从第 $m-1$ 个节点出发形成的路径, 排除重复的路径, 将路径①放在第 $1$ 组的最后, 共有 $m-1$ 条路径.

(4) 第 $2$ 组, 对路径②划分, 从路径②的第 $3$ 个节点出发, 以 $Y_iXY_{n-i}$ 方向次序选择扫描的下一个节点, 生成一条路径. 从路径②的第 $4$ 个节点出发以 $Y_iXY_{n-i}$ 方

向次序选择扫描的下一个节点, 生成一条路径 $\dots$ 直到第 $m$ 个节点, 排除重复的路径, 将路径②放在第 $2$ 组的最后, 共有 $m-1$ 条路径.

(5) 如上所述对第 $0$ 组中的路径上的节点进行划分得到若干条路径, 直到第 $0$ 组中的最后一条路径.

(6) 对最后一条路径上的节点划分采取倒推的方法, 是指从倒数第二个节点以 $Y_iXY_{n-i}$ 方向次序倒推生成路径, 排除重复的路径, 将路径③放在第 $n$ 组的最后, 共有 $m-1$ 条路径.

(7) 根据上述划分得到 $(n+1)$ 个组, 每个组中包含一些最短路径, 根据第 $0$ 组的测试情况来判断是否测试后面块中的路径, 若是①故障就测第 $1$ 组, ②故障就测第 $2$ 组, 以此类推 $\dots$ .

#### 4.3 节点分类测试方法(TNC)

根据递归划分逐步求精法得到全覆盖所有节点的最短扫描路径集, 再采用节点分类测试方法(Test Node by Classified, TNC)对路径进行扫描. 将网格上所有的节点加入集合 $S$ , 确定集合 $A$ 为无故障 Bypass 节点集合、集合 $B$ 为有故障 Bypass 节点集合.  $A$ 、 $B$ 初始为空集合.

(1) 按照得到的路径开始扫描测试, 若没有故障则直接标记此路径上的所有节点;

(2) 若有一个 Bypass 故障, 首先将除故障节点外的其他节点都加入集合 $A$ , 故障节点加入集合 $B$ 然后此后的测试向量从故障节点的第二条 Bypass 输入输出, 故障节点从集合 $B$ 移入集合 $A$ ;

(3) 若不能直接判断, 则观察路径上是否只有一个节点未确定, 是则说明此节点 Router 及 Bypass 皆故障, 不是则重复上述过程, 直到集合 $A$ 与集合 $S$ 相同. 算法如图 7 所示.

## 5 实验结果

为了从测试时间来评估本文架构, 本文使用 ITC'02 SoC Test Benchmarks 中 d695 基准电路<sup>[18]</sup>作为 NoC 中的 Router, 进行了实验模拟. 基于本文方法, 采用一对输入输出通道, 32 位测试通道宽度, 对相应电路进行诊断, 并将结果和文献[14]和文献[12]的结果进行比较.

### 5.1 冗余旁路硬件开销

本文的测试结构为每个 Router 的测试外壳增加了一条新的 Bypass 用于容错, 因为指令寄存器增加一条指令并不增加硬件开销, 故本文的硬件开销相较于文献[14]增加了一个边界旁路寄存器, 一个三选一多路选择器. 本文使用 ISE14.7 和 Vertex-7 FPGA 平台, 基于斯坦福大学设计的路由器<sup>[19]</sup>, 结合本文方法进行了修改并仿真, 得到资源开销增长了 0.09%.

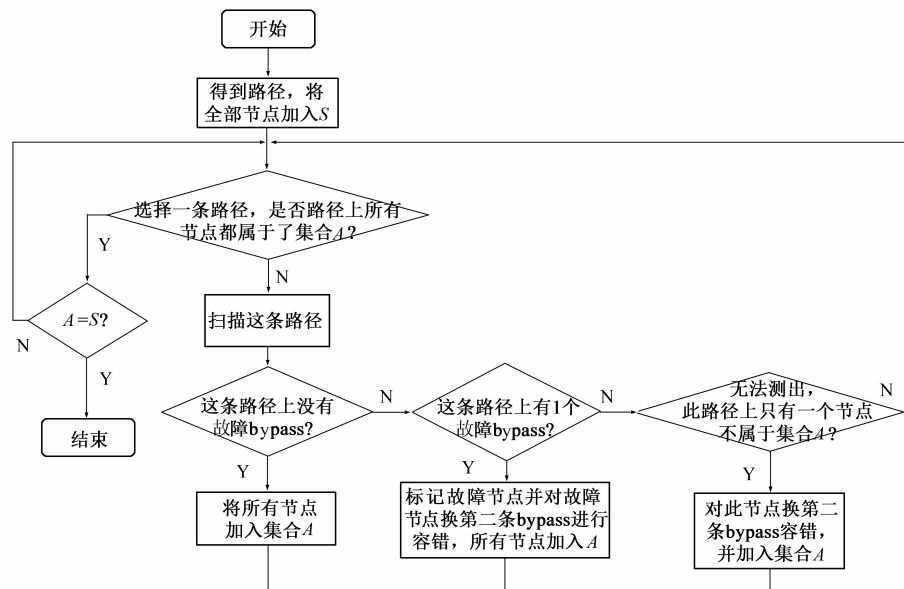


图7 节点分类测试算法

## 5.2 测试时间和故障覆盖率

通过将网络链路重利用作为测试访问机制, 本文提出的结构拥有测试路径带宽高的优点. 本文方法与文献[12, 14]进行比较后得到如表1所示结果. 文献[14]中仅用一条扫描链串联所有的 Router, 文献[12]采用两路并行测试. 然而本文由于某些路由被重复测试, 故测试时间有所增加. 虽然本文中对一个网络中所有路由器测试的时间略微有所增长, 但本文采用多条扫描链的方式, 这使得每条扫描链的可控制性和可观测性大大提升, 一定程度上促进了故障覆盖率的提升.

表1 本文方法与文献[14]和文献[12]方法测试时间(cycles)的比较

Mesh	Bypass 无故障		
	文献[14]	文献[12]	本文
3 × 3	339183	188435	565305
4 × 3	452244	452244	678366
4 × 4	602992	527618	1055236
5 × 5	942175	1017549	1695915
6 × 6	1356732	1658228	2487342
7 × 6	1582854	2374281	2713464
8 × 8	2411968	3542578	4522440
9 × 8	2713464	4409379	4823936
10 × 10	3768700	5728424	7160530

表2 Bypass 故障对 Router 测试情况的影响

是否可以测 Router 故障情况	一个 Bypass 有故障					
	对应 Router 无故障			对应 Router 有故障		
	文献[14]	文献[12]	本文	文献[14]	文献[12]	本文
可测一部分 Router 故障	可测一部分 Router 故障	可测一部分 Router 故障	可测全部 Router 故障	不可测	不可测	可测全部 Router 故障

## 6 结论

目前 IEEE 1500 已经成为 SoC 测试的正式标准. 本文基于 IEEE 1500 标准为 NoC 提出新的测试结构, 解决 NoC 路由器的测试问题, 提出对测试外壳中旁路发生少数故障的情况的诊断方法和容错方法. 实验证明本文中方法对 Bypass 故障的诊断和容错所耗费的时间较短, 具有较高的故障覆盖率, 因此具有一定的理论价值和实际意义.

致谢 感谢情感计算与先进智能机器安徽省重点

实验室的所有老师和同学, 感谢中国电子科技集团公司第三十八研究所的各位同行.

## 参考文献

- [1] Santanu Chattopadhyay. Techniques for NoC design and test [A]. Vishwani D. Agrawal. 2014 27th International Conference on VLSI Design and 2014 13th International Conference on Embedded Systems [C]. Mumbai: IEEE, 2014. 1-6.
- [2] Wang W, Li R F, Fang F, Chen T, Ren F J, Liu J. Design and realization of 3D NoC multicast router base on multi-

- cast rotational routing arithmetic [A]. Liu X P. IEEE International Conference on Computing, Communication and Networking Technologies (ICCCNT) [C]. Hefei: IEEE, 2014. 1 – 6.
- [3] Bibhas Ghoshal, Indranil Sengupta. A distributed BIST scheme for NoC-based memory cores [A]. Eugenio Villar. 2013 16th Euromicro Conference on Digital System Design [C]. Los Alamitos: IEEE, 2013. 567 – 574.
- [4] Michael L Bushnell, Vishwani D. Agrawal. 超大规模集成电路测试数字存储器核混合信号系统 [M]. 蒋安平, 冯建华, 王新安, 等, 译. 北京: 电子工业出版社, 2005.
- [5] IEEE Std. 1500-2005. IEEE Standard Testability Method for Embedded Core-based Integrated Circuits [S].
- [6] 王伟, 李欣, 陈田, 刘军, 方芳, 吴玺. 基于扫描链平衡的 3D SoC 测试优化方法 [J]. 电子测量与仪器学报, 2013, 26(7): 586 – 590  
WANG Wei, LI Xin, CHEN Tian, LIU Jun, FANG Fang, WU Xi. 3D SoC test optimization method based on balance of scan chain [J]. Journal of Electronic Measurement and Instrument, 2013, 26(7): 586 – 590. (in Chinese)
- [7] ZHAO Xiong-bo, JIANG Peng-long, LIU Liang-liang. Research of parallel scheduling strategy for hierarchical SiP test using IEEE 1500 standard, electronic packaging technology (ICEPT) [A]. Aldo Di Carlo. 2014 15th International Conference on [C]. Chengdu: IEEE, 2014. 1108 – 1111.
- [8] Ali G, Hussin F A, Ali N B Z, et al. Enhancement in IEEE 1500 standard for at-speed functional testing [A]. Vahid Sohani. Intelligent and Advanced Systems (ICIAS), 2014 5th International Conference on [C]. Kuala Lumpur: IEEE, 2014. 1 – 5.
- [9] Raik J, Ubar R, Govind V. Test configurations for diagnosing faulty links in NoC switches [A]. R Segers Test Symposium, 2007 ETS'07 12th IEEE European [C]. Freiburg: IEEE, 2007. 29 – 34.
- [10] Caselli N, Strano A, Ludovici D, et al. Cooperative built-in self-testing and self-diagnosis of NoC bisynchronous channels [A]. Shigeaki Tsunoyama. Embedded Multicore Soc (MCSoc), 2012 IEEE 6th International Symposium on. IEEE [C]. Aizu-Wakamatsu: IEEE, 2012. 159 – 166.
- [11] 欧阳一鸣, 贺超, 梁华国. NoC 架构下异构 IP 核的并行测试方法 [J]. 电子学报, 2013, 41(12): 2391 – 2396.  
OUYANG Yi-ming, HE Chao, LIANG Hua-guo, HUANG Zheng-feng, XIE Tao. Concurrent testing for heterogeneous-cores in network-on-chips [J]. Acta Electronica Sinica, 2013, 41(12): 2391 – 2396. (in Chinese)
- [12] Manna K, Khaitan P, Chattopadhyay S, et al. Particle swarm optimization based technique for network-on-chip testing [A]. John Walz. Emerging Applications of Information Technology (EAIT), 2012 Third International Conference on [C]. Kolkata: IEEE, 2012: 66 – 69.
- [13] Alexandre M Amory, Eduardo Briao, érika Cota Marcelo Lubaszewski, Fernando G Moraes. A scalable test strategy for network-on-chip routers [A]. ITC 2005 [C]. Austin, TX: IEEE, 2005. 1 – 9.
- [14] Tran X T, Thonnart Y, Durupt J, et al. A design-for-test implementation of an asynchronous network-on-chip architecture and its associated test pattern generation and application [A]. Alex Yakovlev. NoCS 2008. Second ACM/IEEE International Symposium on [C]. Newcastle upon Tyne: IEEE, 2008. 149 – 158.
- [15] 覃晓莹, 郑湘南, 王政集, 粟涛. 多模式多时钟域芯片的物理设计方法 [J]. 中山大学学报 (自然科学版), 2015, 54(3): 14 – 18.  
QIN Xiaoying, ZHENG Xiangnan, WANG Zhengji, SU Tao. Physical design method of multi-mode and multi-clock domain chips [J]. Acta Scientiarum Naturalium Universitatis Sunyatseni, 2015, 54(3): 14 – 18. (in Chinese)
- [16] 刘军, 吴玺, 裴颂伟, 王伟, 陈田. 基于跨度和虚拟层的三维芯核测试外壳扫描链优化方法 [J]. 电子学报, 2015, 43(3): 454 – 459.  
LIU Jun, WU Xi, PEI Song-wei, WANG Wei, CHEN Tian. Wrapper scan chains optimization based on span and virtual layers for three dimensional cores [J]. Acta Electronica Sinica, 2015, 43(3): 454 – 459. (in Chinese)
- [17] Higgins M, MacNamee C, Mullane B. Design and implementation challenges for adoption of the IEEE 1500 standard [J]. IET Computers & Digital Techniques, 2010, 4(1): 38 – 49.
- [18] ITC'02, ITC'02 SoC Test Benchmarks [S].
- [19] Becker D U. Efficient Microarchitecture for Network-on-Chip Routers [M]. California, USA: Stanford University, 2012.

#### 作者简介



王伟男, 1979 年 1 月出生于安徽省合肥市。现为合肥工业大学计算机与信息学院副教授, 硕士生导师。

E-mail: wangwei\_hfut@hfut.edu.cn

周梦玲女, 1991 年 6 月出生于安徽省铜陵市, 合肥工业大学硕士。

E-mail: yyjxiaofeng@163.com

方芳女, 1979 年 3 月出生于安徽省合肥市。

E-mail: fangfang@hfut.edu.cn