

低复杂度 Turbo 码译码并行实现

张中培¹, 周 亮¹, 靳 蕃²

(11 电子科技大学通信与信息工程学院, 成都 610054; 21 西南交通大学计算机与通信工程学院, 成都 610031)

摘 要: MAX2LOG2MAP 是 Turbo 码译码算法的简化算法, 本文提出了该算法的并行阵列集成电路实现结构, 给出阵列的数据流向和译码算法在阵列中的计算过程, 分析了阵列结点联接关系和数据存贮结构, 以及数据运算之间的简单时序关系. 通过计算机仿真, 证明了这种并行实现结构的正确性.

关键词: MAX2LOG2MAP 算法; 软输出译码; 并行结构; 阵列

中图分类号: TN911.122 **文献标识码:** A **文章编号:** 0372-2112 (2001) 02-0272-03

A Low Complex Parallel Implementation of Turbo Decoding

ZHANG Zhongpei¹, ZHOU Liang², JIN Fan¹

(11 College of Commun. and Infomation Eng. University of electronic science and Technology of China, Chengdu 610054, China)

(21 College of Computer & Commun. Eng. Southwest Jiaotong University, Chengdu 610031, China)

Abstract: The Max2Log2MAP algorithm (MLM) is a simplified version for the decoding of Turbo codes. Architecture of parallel array is suggested based on the MLM algorithm and is easy to implement by VLSI. The data flow directions and the computation procedures of the algorithm structure are obtained, the relations among the nodes and data frames are analyzed and the simple time sequence of data operations are given. The architecture is justified by computer simulation.

Key words: Max2Log2MAP algorithm; soft output decoding; parallel structure; array

1 引言

Turbo 码在近几年已成为编码理论界研究的热门领域, 在第三代移动通信建议中^[1], 已正式将 Turbo 码作为信道编码的两种候选方案之一. Turbo 码的编码、交织设计、译码几个主要问题中, 译码在具体实现上是最复杂的. 为取得较大译码增益, Turbo 码的译码采用的多次迭代纠错符号错后验概率算法 (MAP)^[2], 然而, 这个算法在实现中是非常困难的, 它的概率计算的数学表达式是非线性函数, 且包含大量的乘、除运算. 因此, 一些近似方法被提出来, 如: 软判决输出 Viterbi 算法 (SOVA)^[3], MAX2LOG2MAP 算法^[4], 以及与 MAP 算法性能几乎相同的 LOG2MAP 算法^[5], 文献^[5]对几种次优算法进行了比较, 在 P_e 为 10^{-4} 时, SOVA 与 MAP 算法增益相差 1dB, 而 MAX2LOG2MAP 与 MAP 算法相差 0.5dB, 但随 P_e 进一步降低, MAX2LOG2MAP 与 MAP 算法增益相差减小. 因此, 在简化算法中, MAX2LOG2MAP 算法能在复杂度与性能上取一较好折衷. 本文依据符号检测的并行结构^[6]方法, 提出了 MAX2LOG2MAP 算法的并行阵列实现结构, 以 3GPP 中的 Turbo 码为例, 分析了 Turbo 码译码阵列结点间联接及数据传输过程, 使得译码过程中间存贮量小, 译码速度快, 译码延迟小, 为 Turbo 码译码实现提供了很好的解决方案, 为集成电路设计提供了依据. 通过计算机仿真, 证明了本文提出的并行阵列结构的有效性.

2 MAX2LOG2MAP 算法^[4]

对于二进制输入信息序列 $d = (d_1, \dots, d_N)$, 由 Turbo 码分量码编码后 (如码率 $R = 1/2$), 得到的信息位与校验位分别为: $x^s = (x_1^s, \dots, x_N^s)$, $x^p = (x_1^p, \dots, x_N^p)$, x 经均方值为 N_0 的高斯信道及 BPSK 调制后, 得到接收序列 $R_k, R_k = \{x_k, y_k\}$, S_k 表示 k 时刻的编码状态, 则信道转换概率的对数表示为:

$$\ln C_i((y_k^s, y_k^p), S_{k-1}, S_k) = \frac{2y_k^s x_k^s(i)}{N_0} + \frac{2y_k^p x_k^p(i, S_k, S_{k-1})}{N_0} + \ln P_r(S_k | S_{k-1}) + k \quad (1)$$

$$A_k(S_k) \cup \max_{(S_{k-1}, i)} (C_i((y_k^s, y_k^p), S_{k-1}, S_k) + A_{k-1}(S_{k-1})) - \max_{(S_k', S_{k-1}', i)} (C_i((y_k^s, y_k^p), S_{k-1}', S_k) + A_{k-1}(S_{k-1}')) \quad (2)$$

$$B_k(S_k) \cup \max_{(S_{k-1}, i)} (C_i((y_{k+1}^s, y_{k+1}^p, S_k, S_{k+1}) + B_{k+1}(S_{k+1})) + \max_{(S_k', S_{k+1}', i)} (C_i((y_{k+1}^s, y_{k+1}^p, S_k, S_{k+1}) + A_k(S_k))) \quad (3)$$

$$+ (d_k) \cup \max_{(S_k', S_{k-1}')} (C_i((y_k^s, y_k^p), S_{k-1}', S_k) + A_{k-1}(S_{k-1}')) + B_k(S_k) - \max_{(S_k', S_{k-1}')} (C_0(y_k^s, y_k^p), S_{k-1}', S_k) + A_{k-1}(S_{k-1}') + B_k(S_k) \quad (4)$$

其中: $B_k(S_k) = \ln B_k(S_k)$, $A_k(S_k) = \ln A_k(S_k)$, $C_k((y_k^s, y_k^p), S_{k-1}, S_k) = \ln C_i((y_k^s, y_k^p), S_{k-1}, S_k)$ 从以上各式可看出, 对数

运算将原来的乘、除运算变成大小比较运算,大大减小运算量。

3 MAX2LOG2MAP 阵列实现

为了使分析简单具体,本文讨论针对 3GPP 标准中的 Tu2bo 码的译码实现问题,这种方法可直接类推到其它 Turbo 码。3GPP 中 Turbo 码编码的 RSC 码状态图如图 1,从图中可知 RSC 码状态具有对称的结构,并每一状态有两支路联入,两支路联出。在 Turbo 的译码中,中间量 A、B 的计算为迭代运算,由文献[6],迭代运算可由阵列并行结构实现,在本文中,考虑状态 n 与时间 k 构成空间,横节点之间用时间步长,纵节点之间用状态转换。阵列结构取方阵,本例取为 8@8 方阵,在纵向 8 表示 8 个状态,横向表示时间 k=8 周期,当 k=8 时,状态传到 k-8 时的状态存储器,这样可避免阵列太长。接收序列 y_k^s, y_k^r 用两个随机存储单元 RAM 暂存,其大小与 Turbo 码交织深度相等,每次读取一个 8 位即 1 字节,按时序依次并行输出到译码器。每一时刻软判决结果按时序串行输出。状态转换之间的输出用 ROM 固化在节点之间的联接线上。阵列在开始运行之前,用 A、B 的初始化条件进行初始化, $A_0(0)=1; A_0(m)=0, m \neq 0; B_0(0)=1; B_0(m)=0, m \neq 0$ 。其阵列框图如图 2。其中处理单元 PE 用方框表示。

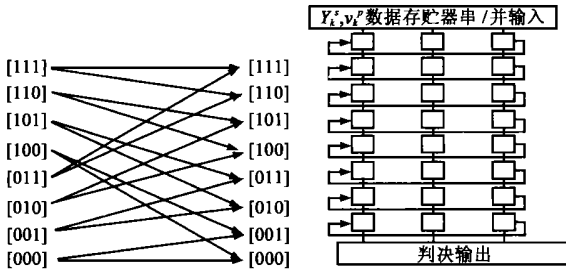


图 1 (13, 15) RSC 码状态转移图 图 2 阵列排列图

将译码过程中各量的求解转化为阵列各节点的联接计算,为使联接支路清楚,将联接分解为四个分支接点,分别表示阐述如下。

3.1.1 $G_c((y_k^s, y_k^r), S_{k-1}, S_k)$ 的节点联接表示

由式(1)可知,当状态转移图确定时, $\ln P_r\{S_k | S_{k-1}\}$ 的值为常数,只是状态联接线存在。又因最后结果只是比较大小, $\ln P_r\{S_k | S_{k-1}\}$ 及 K 两项可忽略。对于图 1,接入一个状态只有两条联线,处理单元由运算器、控制器、存储器构成,处理器之间的联接由图 1 的状态转移图决定,每一处理器与一个状态对应,处理器的完整结构由 C、A、B、+ 的计算四部分组成。

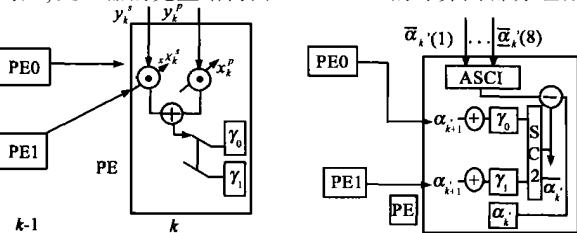


图 3 G_c 的计算

图 4 $A_k(S_k)$ 计算

每一 PE 包含 5 个内部存储单元。 G_c 的计算可由图 3 得到,在 k 时刻计算每一状态的 G_c 的值,在 k-1 时刻,有对应输入 i 为 0 和 1 的两状态 S_{k-1}^0, S_{k-1}^1 转到 k 时刻 S_k , 对应处理单元 PE0 和 PE1, 将固化在联接线中与 i 对应的 X_k^i 和 X_k^j 传输至 PE 处理单元,图中的园点表示相乘,先计算 C_0 再计算 C_1 , 再存入 C_0 与 C_1 存储单元。由于 MLM 算法只比较大小,因此式(1)中的 $2/N_0$ 因子可以略去。

3.1.2 $A_k(S_k)$ 计算的节点结构

由式(2), $A_k(S_k)$ 的计算由 k 时刻 C_i 与 A_{k-1} 之和对于状态 S_{k-1} 取最大值与对于状态 S_k, S_{k-1} 取最大值之差。令:

$$A_k(S_k) = \max_{(S_{k-1}, i)} (C_i((y_k^s, y_k^r), S_{k-1}, S_k) + A_{k-1}(S_{k-1})) \quad (5)$$

由图 1,在 k 时刻由 S_{k-1} 转移到某一状态分支数为 2,且分别对应输入 d_k 的值 $i=0$ 和 1,那么,取最大值实际上只有 $i=0, 1$ 对应的 S_{k-1} 转到 S_k 两项。式(3)可变成先计算每一状态的 $A_k(S_k)$, 再与所有状态中 $A_k(S_k)$ 最大值相差。其节点结构图如图 4, / 0 表示两数相差, ASC 表示比较选择器, ASC2 的输入是 8 个状态的 $A_k(S_k)$ 进行大小比较,可以采用树型结构的方法,最后得到的 $A_k(S_k)$ 再存入状态寄存器。

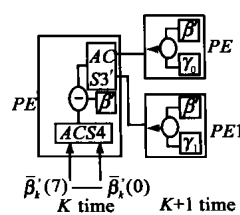


图 5 B_k 计算的节点结构图

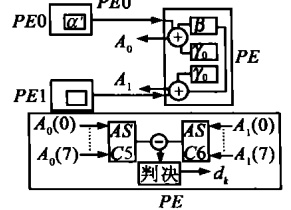


图 6 + 计算结构图

3.1.3 B_k 计算的节点结构

B_k 的递归方向与 A_k 是反向的,在时序上,应先从左至右计算 A_k ,再从右至左计算 B_k ,由式(3),对 (15, 13) RSC 码,最大值的比较只有输入 $i=0, 1$ 对应的两项,定义:

$$B_k = \max_{(S_{k+1}, i)} (C_i((y_{k+1}^s, y_{k+1}^r), S_k, S_{k+1}) + A_k(S_{k+1})) \quad (6)$$

结构方向应从右至左,其结构图如图 5,要计算 k 时刻,状态 S_k 的 B 值,先将 k+1 时刻对应输入分别显 0 和 1 相联状态 S_{k+1} 的 B 与 C 相加,经 ASC3 比较选择后的结果存入状态 S_k ,对 $S_k(0)$ 至 $S_k(7)$ 的值送入 ACS4 进行比较,ACS4 采用树型结构,将 ASC3 比较得到的最大值与 ACS4 最大值之差,得到 k 时刻 S_k 状态的 B 值。 B_k 在送入 ASC4 之前先进行 C 与 A 之和并取最大。

3.1.4 $+(d_k)$ 计算的节点联接结构

由式(4)可知, $+(d_k)$ 的计算,就是将每一状态计算的 A_k, B_k 与 C_1 之和,进行最大值比较,再与每一状态的 A_k, B_k 与 C_0 三项之和的最大值之差,若大于 0,输出 d_k 为 1,若小于 0,输出 d_k 为 0。其节点结构如图 6。图中虚线表

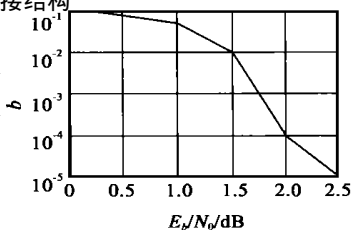


图 7 3GPP 中 Turbo 码的译码实现仿真

示对状态 0 至 7 的最大值比较,再将最大值之差进行判决,得到译码结果.处理器 PFC 只在与状态 S_0 对应有处理单元中,而不是在每一处理单元中.以上分析是分别讨论了四个中间量 A、B、C、+ 的计算实现,在实际电路中,处理器的结构可以包含这四个部分,并需用有限数据长构成加减和比较器,而不是实数运算器.

4 结论

本文给出了 Turbo 译码器的构成方法与结构,为了验证本章所提出的量化方法与译码结构的正确性,在计算机上进行了仿真,结构对应上采用了多维数组的方法,得到了 Turbo 码在高斯信道下的性能,如图 7 所示.在对并行结构的仿真中,利用的是 MATLAB 仿真平台,并利用了多维数组进行计算,在输入量化中采用了 6bit 量化,中间计算采用了 8bit 量化,在 PC 机平台上未能发挥并行处理的优势.但由于使用了并行处理技术,数据的中间存储量比串行小,是提高译码速度的一种有效途径,这种方法的实用化还需用 FPGA 技术对译码性能进一步仿真.

参考文献:

- [1] WCDMA proposal: 3GPP proposal TS S1. 12 V2. 0. 0, TS 25. 212. V2. 2. 0 [Z].
- [2] Berrou C, Glavieux A. Near optimum error correcting coding and decoding: Turbo2 codes [J]. IEEE Trans. on Commun. 1996, 44(10): 1261-1271.
- [3] Hagenauer J, Hoehner P. A Viterbi algorithm with soft decision outputs and its applications [A]. In: Proc GLOBECOM'89 [C], 1989: 1680-1686.
- [4] Koch W, Baier A. Optimum and suboptimum detection of coded data disturbed by time-varying intersymbol interference [A]. In: Proc. GLOBECOM'90 [C], 1990: 1679-1684.
- [5] Robertson P, Hoehner P. Optimum and suboptimum maximum a posteriori algorithms suitable for Turbo decoding [J]. Europ. Tran. On Tele. and Related Areas 1997, 8(2): 119-125.
- [6] Erfanian J, Pasupathy S, Gulak G. Reduced complexity symbol detectors with parallel structures for ISI channels [J]. IEEE Trans. On Commun. 1994, 42(2/3/4): 1661-1671.

作者简介:



张中培 1967 年生,西南交通大学计算机与通信工程学院在职博士生,主要研究方向:差错控制编码与数据通信,在国内核心期刊发表论文章篇.



周亮 1961 年生,1984 年在电子科技大学获硕士学位,在职博士生,电子科技大学抗干扰国防重点实验室副教授,研究方向为编码理论与应用.

(上接第 286 页)

- [3] John D Cressler, Jans H. Comfort, Emmanuel F. Grabbe et al. On the profile design and optimization of epitaxial Si2 and SiGe2Base bipolar Technology for 77K application2part 1: transistor DC design considerations [J]. IEEE Trans. Electron Devices, 1993, 40(3): 526-541.
- [4] J. C. Sturm, E. J. Prinz and C. W. Magee. Graded2base Di/Si12xGex/ Si heterojunction bipolar transistors grown by rapid thermal chemical vapor deposition with near2ideal electrical characteristics [J]. IEEE Electron Device Letters, 1991, 12(6): 303-305.
- [5] E. J. Prinz, et al. [J]. IEEE Electron Device Lett. , 1991, 12(2): 42-44.
- [6] D. L. Harame, et al. [J]. IEEE Trans. Electron Devices, 1995, 42(3): 455-467.
- [7] H. Kroemer, Proc. IEEE 70, 1982: 13-15.
- [8] Branimir Pejcinovic, et al. IEEE Trans. Electron Devices, 1989, 36(10): 2129-2137.
- [9] Zeljka Matutinovic2Krstelj, et al. Base resistance and effective bandgap reduction in n2p2n Si/Si12xGex/ Si HBTs with heavy base doping [J]. IEEE Trans. Electron Devices, 1996, 43(3): 457-466.
- [10] L2SHENG YU and CUN2DA WANG. Properties of p2N and n2N heterointerfaces in GaAs2AlkGe12xAs heterostructure LEDs [J]. IEEE Trans. Electron Devices, 1983, ED230(4): 326-329.