

# 一种新型的 SOI 灵敏放大器

刘新宇<sup>1</sup>,孙海峰<sup>1</sup>,海潮和<sup>1</sup>,和致经<sup>2</sup>,吴德馨<sup>1</sup>

(1. 中国科学院微电子中心,北京 100029;2. 中国科学院半导体所,北京 100083)

**摘要:** 本文利用“灵巧的体接触(Smart-Body-Contact)”技术设计出一种新型的 SOI 灵敏放大器.采用 Hspice 软件对体硅的和新型的交叉耦合灵敏放大器进行模拟和比较,发现新型的交叉耦合灵敏放大器比体硅的交叉耦合灵敏放大器延迟时间缩短 30%,最小电压分辨可达 0.05V.最后,我们成功地将该电路应用于 CMOS/ SOI 64 Kb SRAM 电路,电路存取时间仅 40ns.

**关键词:** SOI;交叉耦合灵敏放大器;灵巧的体接触技术

**中图分类号:** TP342<sup>+</sup>1. **文献标识码:** A **文章编号:** 0372-2112 (2001) 06-0857-03

## A new SOI Sense-Amplifier

LIU Xin-yu<sup>1</sup>,SUN Hai-feng<sup>1</sup>,HAI Chao-he<sup>1</sup>,HE Zhi-jing<sup>2</sup>,WU De-xin<sup>1</sup>

(1. Research and Development Center of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China;

2. Institute of Semiconductors, The Chinese Academy of Sciences, Beijing 100083, China)

**Abstract:** The paper proposes a new SOI sense-amplifier adopting smart-body-contact technology. Delay time characteristics of the SOI Cross-coupling sense-amplifier were analyzed by Hspice simulation and compared with conventional silicon Cross-coupling sense-amplifier. Delay time reduction of the SOI Cross-coupling sense-amplifier over conventional Cross-coupling silicon sense-amplifier is about 30%, and voltage differential is 0.05V. Finally, the circuit was adopted successfully in CMOS/ SOI 64 Kb SRAM with 40ns fast access time.

**Key words:** SOI(Silicon on insulator);cross-coupling sense-amplifier;SBC(Smart-Body-Contact) technology

### 1 引言

绝缘体上的硅(SOI)技术<sup>[1]</sup>,以其独特的材料结构有效地克服体硅材料的不足,充分发挥了硅集成技术的潜力,它被称为是“二十一世纪的硅集成电路技术”.

SOI 器件根据膜厚可分为薄膜全耗尽 SOI(FDSOI)器件和厚膜部分耗尽 SOI(PDSOI)器件,全耗尽 SOI 器件具有低电场、高跨导、良好的短沟道特性和接近理想的亚阈值斜率的特点,但随着器件尺寸的不断缩小,全耗尽 SOI 器件的阈值电压对硅膜厚度的灵敏度增大,正背栅的耦合作用使器件短沟道效应严重,且工艺难度较大等,使得目前 SOI 电路多采用部分耗尽 SOI 器件.部分耗尽器件虽然存在“浮体”效应,一方面,可采用体接触和多种工艺技术<sup>[2,3]</sup>加以解决,另一方面,可利用“浮体”来控制器件阈值电压,形成动态阈值 SOI MOS 管,从而提高器件和电路的性能<sup>[4-6]</sup>,该技术称为“灵巧的体接触(Smart-Body-Contact)”技术<sup>[7]</sup>.

本文对体硅的交叉耦合灵敏放大器进行分析和改进,利用 SBC 技术设计出一种新型的 SOI 灵敏放大器,并将其成功地应用于 CMOS/ SOI 64 Kb SRAM 电路.

### 2 电路设计与模拟

图 1 为体硅的交叉耦合灵敏放大器原理图,其工作原理

如下:当 HY 为“0”、C 为“1”时, M1 ~ M8 形成交叉耦合的两级源跟随器, M1 ~ M4 形成第一级交叉耦合源跟随器.若 H1 不变 I1 下降,引起 V2 下降,于是使 M3 电阻变大, V1 上升,反馈再使 M4 电阻减少, V2 进一步下降,于是形成正反馈,直至稳定,这种正反馈有利于提高放大倍数和电压分辨率; M5 ~ M8 形成驱动放大级,产生放大信号 H2(高电位)和 I2(低电位).

图 2 为新型的 SOI 灵敏放大器图.在 SOI 灵敏放大器电路中,我们采用体硅交叉耦合灵敏放大器的电路形式,同时,为了进一步提高电路的速度和电压分辨率,针对 SOI 部分耗尽器件和电路的特点,我们利用“灵巧的体接触”技术对体硅的交叉耦合灵敏放大器进行改进,设计出一种新型的 SOI 灵敏放大器.即主要在电路中增加辅助管 M9、M10 和 M11、M12,并将 M5 和 M7 由三端器件改为四端器件——将浮体引出,通过辅助管 M9、M10 和 M11、M12 组成的源跟随器产生信号 F1 和 F2,将它们与 M5 和 M7 的衬底引出端相连形成动态阈值 SOI MOS 管,利用信号 F1 和 F2 对 M5 和 M7 的阈值进行动态控制. SOI MOS 管的阈值公式为:

$$V_T = \phi_{MS} + 2\phi_F - \frac{Q_{ox}}{C_{ox}} + \frac{Q_b}{C_{ox}}$$
$$Q_b = \sqrt{2 \text{ siq} N_A (2\phi_F - V_b)}$$

收稿日期:2000-05-24;修回日期:2000-09-27

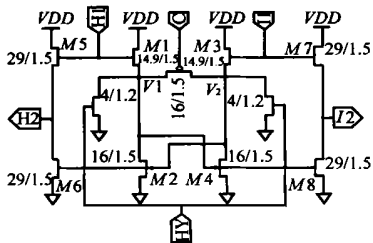


图 1 体硅的交叉耦合灵敏放大器原理图

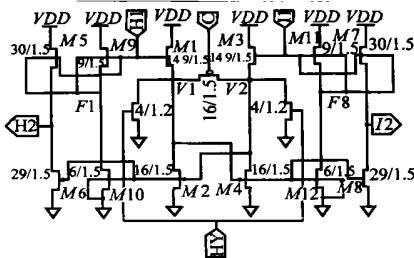


图 2 新型的 SOI 灵敏放大器

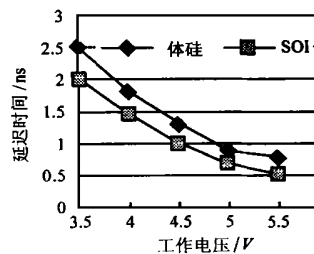


图 3 体硅和新型 SOI 灵敏放大器延迟时间同工作电压的模拟结果

其中  $V_b$  为晶体管的体电势。

在动态阈值 SOI MOS 管中, 体电势  $V_b$  与外部信号相连, 并随着外部信号变化而变化, 从而改变阈值电压. 动态 SOI MOS 管的阈值可表示为:

$$V_T(V_b) = V_{T0} + (\sqrt{2\phi_F - V_b} - \sqrt{2\phi_F})$$

$$\text{其中 } V_{T0} = \phi_{MS} + 2\phi_F - \frac{Q_{ox}}{C_{ox}} + \sqrt{2\phi_F} \\ = \frac{\sqrt{2} \epsilon_s q N_A}{C_{ox}}$$

根据动态阈值公式, 当信号  $F1$  为“1”、信号  $F2$  为“0”时,  $M5$  管的阈值下降,  $M7$  管的阈值不变, 导致  $M5$  管电阻下降、源漏电流增大,  $H2$  的电压得以提的更高更快, 从而进一步提高电路的速度和电压分辨率。

采用 HSPICE 对体硅的和新型的 SOI 交叉耦合灵敏放大器进行模拟, 图 3 为两种灵敏放大器在负载电容为 4pF 时, 电路延迟时间同工作电压的关系. 从图中可见新型的交叉耦合灵敏放大器比体硅的交叉耦合灵敏放大器延迟时间缩短 30%, 在工作电压为 5V 时, 新型的 SOI 交叉耦合灵敏放大器最小电压分辨可达 0.05V。

### 3 工艺实现与应用

我们在中科院微电子中心第一研究室进行工艺投片, 该电路采用 1.2μm 单层多晶、二层金属的 SOI CMOS 抗辐照工艺, 电路设计采用 1.2μm SOI CMOS 抗辐照设计规则<sup>[8]</sup> (见表 1). 硅片采用美国 IBIS 公司的 4 寸 SIMOX 基片 ( $t_{BOX}$ : 382nm

$t_{Si}$ : 198nm 衬底 P 100), 其主要工艺流程如下:

- (1) 作标记和在线监控图形;
  - (2) PBL (Poly-buffered LOCOS) 隔离;
  - (3) NMOS 管硅岛边缘注入;
  - (4) 预栅氧 18nm;
  - (5) 沟道掺杂工程
- NMOS: B 70KeV 3E13/cm<sup>2</sup>, BF<sub>2</sub> 50KeV 3E11/cm<sup>2</sup>;

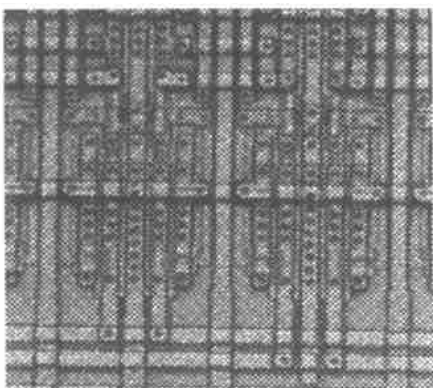


图 4 新型的交叉耦合灵敏放大器的芯片照片

PMOS: P 160KeV 2e11/cm<sup>2</sup>, P 100KeV 8E10/cm<sup>2</sup>; (6) 抗辐照薄栅氧 850 18nm; (7) LPCVD 多晶硅 350nm, 掺杂注入 BF<sub>2</sub> 70KeV 5E15/cm<sup>2</sup>; (8) 光刻和 RIE 多晶硅; (9) 源漏 Extension 掺杂; (10) 淀积 TEOS 330nm, RIE 形成 LDD 结构; (11) 源漏注入 NMOS: As<sup>+</sup> 80KeV 5.5E15/cm<sup>2</sup> PMOS: BF<sub>2</sub> 40KeV 3E15/cm<sup>2</sup>; (12) RTA 1000 6; (13) 注 Ge 硅化物工艺; (14) BPSG 淀积及回流; (15) 双层金属布线 (采用 SOG 法); (16) 钝化。

图 4 为新型的交叉耦合灵敏放大器的芯片照片. 该电路应用于 CMOS/SOI 64Kb SRAM 电路, CMOS/SOI 64Kb SRAM 电路采用两级灵敏放大技术, 第一级采用新型的 SOI 交叉耦合灵敏放大器, 第二级灵敏放大器为差分放大器. 经过工艺投片, 获得功能良好的 CMOS/SOI 64Kb SRAM 芯片, 在芯片处于“read”(即  $\bar{E}_1 = 0, E_2 = 1, \bar{G} = 0$  和  $\bar{w} = 1$ ) 状态, 工作电压为 5V、驱动负载为 100pf 时, 数据读取仅为 40ns, 图 5 为数据读取波形图. 当工作频率为 2MHz 时, SOI 64K CMOS 静态随机存储器工作电流为 72mA。

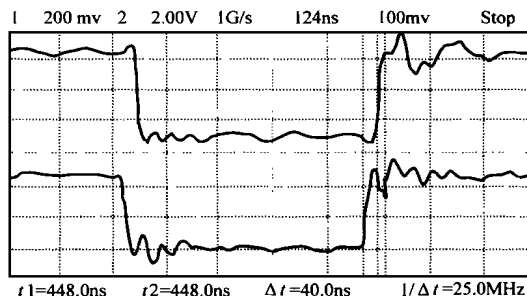


图 5 CMOS/SOI 64K SRAM 数据读取波形图

表 1 1.2μm SOI CMOS 抗辐照设计规则

Process	Double Level metal Single polysilicon 1.2μm SOI CMOS
Gate length	1.2μm
Gate oxide thickness	180A
LOCOS (width/ space)	2μm/ 1.8μm
Poly (width/ space)	1.2μm/ 1.0μm
First Al (width/ space)	1.8μm/ 1.3μm
2nd Al (width/ space)	2μm/ 1.5μm
First contact hole	1.2μm × 1.2μm
2nd contact hole	1.2μm × 1.5μm

### 4 结论

本文对体硅的交叉耦合灵敏放大器进行改进, 利用“灵巧

的体接触”技术设计出一种新型的 SOI 灵敏放大器,采用 HSPICE 进行模拟发现新型的交叉耦合灵敏放大器比体硅的交叉耦合灵敏放大器延迟时间缩短 30%,最小电压分辨可达 0.05V。最后,将其成功地应用于 CMOS/SOI 64 Kb SRAM 电路,在芯片处于“read”(即  $\bar{E}_1 = 0$ 、 $E_2 = 1$ 、 $\bar{G} = 0$  和  $\bar{W} = 1$ ) 状态,工作电压为 5V、驱动负载为 100pF 时,数据读取时间仅为 40ns。

致谢:感谢中科院微电子中心第一研究室全体工作人员对工艺研究和器件与电路测试的大力支持。

#### 参考文献:

- [ 1 ] J P Colinge. Silicon-On-Insulator Technology: materials to VLSI [M]. Boston: Kluwer Academic publishers, 1991.
- [ 2 ] Masatada Horiuchi, Masao Tamura. BESS: A source structure that fully suppresses the floating body effects in SOI CMOSFET's [J]. IEEE Trans. ED, 1998, May, 45(5): 1077 - 1083.
- [ 3 ] Makoto Yoshimi, Mamora Terauchi, Akira Nishiyama. Suppression of the floating-body effect in SOI MOSFET's by the bandgap engineering method using a  $\text{Si}_{1-x}\text{Ge}_x$  source structure [J]. IEEE Trans. ED, 1998, March, 44(3): 423 - 429.
- [ 4 ] Jong-Ho Lee, Young-June Park. High speed SOI buffer circuit with the efficient connection of subsidiary MOSFET's for dynamic threshold control [A]. proceedings 1997 IEEE international SOI conference [C]. Oct. 1997, 152 - 153.
- [ 5 ] L S Y Wong, G A Rigby. Dig. Tech. Papers [J]. ISSCC 1997, 292.
- [ 6 ] T W Houston. A novel dynamic Vt circuit configuration [A]. proceedings 1997 IEEE international SOI conference [C]. Oct. 1997, 154 - 155.
- [ 7 ] C T Chuang. Design considerations of SOI digital CMOS VLSI [A]. proceedings 1998 IEEE international SOI conference [C]. Oct. 1998, 5 - 8.
- [ 8 ] 刘新宇, 孙海峰, 海潮和, 吴德馨, 等. 一种 40ns 的 SOI 64K CMOS SRAM 研究 [A]. 第四届全国 SOI 会议论文集 [C], 2000. 5.

#### 作者简介:

刘新宇 男, 1973 年出生于安徽泗县。现在中国科学院微电子中心就读博士研究生, 导师吴德馨院士。主要研究方向: PD/FDSOI CMOS 工艺, PD/FDSOI CMOS 器件和电路 (全耗尽 2000 门门海, 全耗尽 CMOS/SOI 4KB SRAM 和 CMOS/PDSOI 64KB SRAM), PD/FDSOI CMOS 建模和 PD/FDSOI CMOS 抗辐照研究。



孙海峰 男, 1973 年出生, 1997 年毕业于清华大学, 获得学士学位, 2000 年毕业于中国科学院微电子中心, 获得硕士学位。主要研究方向: PD/FDSOI CMOS 工艺和器件研究及 PD/FDSOI CMOS 抗辐照研究, 参与了国家“九五”攻关项目“亚微米 CMOS/SIMOX 器件和电路”的研究。