

基于 TMS320C6201 的并行高速实时数字脉冲压缩系统研究

李方慧, 龙 腾, 毛二可

(北京理工大学电子工程系, 北京 100081)

摘 要: 线性调频脉冲是最经典的大时宽-带宽积信号形式,但是这种信号的数字处理需要极大的处理量.本文研制了一个基于 TMS320C6201 的高速实时数字脉冲压缩系统,具有 1600MIPS 处理能力.针对 TMS320C6201 的特点,提出了在 VLIW 体系结构下,提高 FFT 并行运算效率的方法,从而使系统完成 512 点数字脉冲压缩的时间仅为 124us,基本达到 TMS320C6201 的性能极限.针对系统定点运算的问题,提出了定点 FFT 的改进算法,可以兼顾运算速度和精度的要求;对所提出的定点算法的误差进行了理论分析,并在实际的系统中验证了理论分析的结果.研究并解决了系统实现中高速电路等关键技术问题.目前,该系统已成功应用于某雷达系统中,长期工作稳定可靠.

关键词: 线性调频; 数字脉冲压缩; FFT; VLIW; TMS320C6201

中图分类号: TN958.3 **文献标识码:** A **文章编号:** 0372-2112 (2001) 09-1272-04

Study of the High-Speed Real-Time Digital Pulse Compression System Based on TMS320C6201

LI Fang-hui, LONG Teng, MAO Er-ke

(Dept. E. E. of Beijing Institute of Technology, Beijing 100081, China)

Abstract: Linear frequency-modulated pulse is one of the most important large time-bandwidth product signals, but it demands large amount of calculations for digital processing. In this paper, methods to improve parallelism of FFT calculation in VLIW architecture processor are studied, and a modified fixed-point FFT algorithm is promoted to meet the need of computation speed and accuracy, the calculation error of new algorithm also analyzed. Then a high-speed real-time digital pulse compression system based on TMS320C6201 is realized. It can implement DPC processing within 124us, which is very close to the top performance of TMS320C6201. The whole system has been applied in some radar and proved stable and reliable.

Key words: linear frequency-modulated; digital pulse compression; FFT; VLIW; TMS320C6201

1 引言

现代雷达系统采用大时宽-带宽积信号具有很多优越性,线性调频脉冲是其中最重要的一种.对这种信号的脉冲压缩有基于匹配滤波和相关接收^[1]两种方式.当采用数字处理时,由于匹配滤波是基于 FFT 的算法,因此是最为常用的数字脉冲压缩算法(图 1).

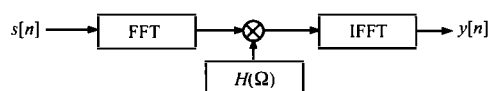


图 1 DPC 算法流程

FFT 运算一般有专用芯片和通用处理器两种实现方案,其中专用芯片运算效率高,但是灵活性很差;而通用处理器在算法和处理方式上则具有很高的灵活性,可以实现多种不同的算法.90 年代中期以前,通用处理器的速度难以达到专用芯片的水平,限制了它在实时数字脉冲中的应用.

TMS320C6000 是最新一代通用数字信号处理器,它采用了改进的甚长指令字(VLIW)体系结构,CPU 内部具有 8 个并

行运算单元,且软件上采用类似 RISC 的指令集,因此具有极高的运算速度.TMS320C6201 是其中第一代定点芯片,峰值处理能力为 1600MIPS 或 400MMAC.表 1 比较了专用芯片与 C6201 的 FFT 峰值处理能力.

表 1 1024 点 FFT 速度比较

芯片	运算速度
TMC2310	514us
A41102(双片)	409.6us
PDSP16510	98us
LH9124	80.5us
C6201 @ 200MHz	66.14 us(基-4) 104.075 us(基-2)

新的 VLIW 结构提高了 C6201 DSP 并行运算的潜力,但是在实际的数字脉冲系统实现中,必须解决 8 个运算单元之间最优调度、配置的问题,并解决 DSP 定点运算与数字脉冲大动态范围之间的矛盾.本文基于 TMS320C6201 DSP 芯片,研究、解决了提高并行处理效率和有限字长效应的问题,实现了 124us 内完成 512 点数字脉冲压缩的实时处理系统.

收稿日期:2000-06-29;修回日期:2001-03-20

2 基于 C6201 的高效定点 FFT 算法

2.1 VLIW 体系结构的运算并行性分析

VLIW 属于超标量计算机体系结构的一种^[2],影响 VLIW 内核并行度的主要因素有两方面:一是有限的硬件并行资源,包括 CPU 功能单元,寄存器,数据通道及其宽度,不同功能单元以及不同寄存器组之间的交叉通道等等;二是算法软件的指令相关性的处理。

C6000 的内核结构是针对乘加操作进行的一个优化设计,其特点是确保了 MAC 操作所需运算资源的正交性.这意味着 MAC 操作需要的所有指令可以在一个周期内同时执行,经过软件流水处理后,能够在一个周期并行完成两次 16-bit 数据的乘加运算,因此可以实现很高的并行度.对其他运算,只有合理地进行片内资源分配和调度,提高算法指令的正交性,并使之与 VLIW 内核的正交性尽量一致,才能获得理想并行效率。

2.2 VLIW 体系结构下 FFT 的并行效率

假设输入复信号以及旋转因子已预先存于片内存储器中,实部和虚部的字长均为 16-bit,采用基-2 算法,并且不考虑有限字长的运算溢出问题.首先在算法选择上,经过比较,DIF 算法对于 VLIW 运算资源的调度,比 DIT 算法具有更高的效率,可以更好地发挥 C6201 的并行运算能力.图 2 是在充分考虑并行效率后设计的蝶算部分的指令依赖关系流图,连线上的数字是指令间必须间隔的周期数,它们决定了整个运算的效率.在此基础上,经过程序优化,获得逼近 C6201 峰值并行能力的一个结果:利用 28 条指令在 4 个周期内完成一次复数的蝶算(200MHz 主频下,每 20ns 完成一次蝶形运算).实验表明,此时的 C6201 有 25% 的时间工作于 1600MIPS 的峰值处理能力下,平均运算速度为 1400MIPS.由于当前没有考虑有限字长的问题,因此这也是理论上最快的一种 FFT 处理实现.此时的执行速度可以作为后续改进算法的一个速度比较基准。

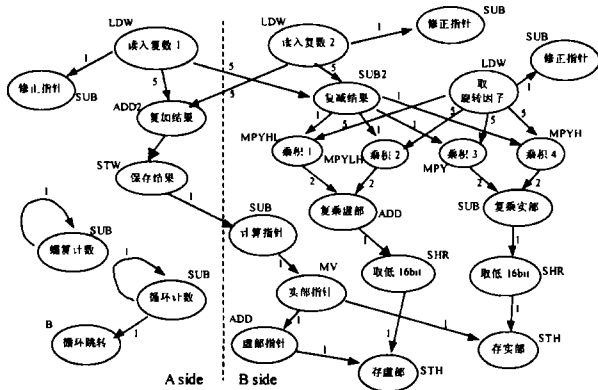


图 2 从并行度考虑的蝶算依赖关系流图

2.3 定点算法的改进

定点处理器在运算中存在有限字长的问题.为了保证整个 FFT 运算不溢出,多采用自动衰减法进行字长保护.传统的处理的方式是,在每一级蝶算之前预先将信号幅度减半(图 3).对于 C6201,出现的问题是,在这种处理方式下,指令间具

有很差的正交性,因而加剧了对 VLIW 运算资源的竞争状况,降低了软件流水的并行度.实验表明,算法的并行度退化非常厉害.因此必须从算法上寻找新的改进方式。

从平衡 VLIW 体系结构中各种运算资源的调度、维系运算的理想并行状态出发,我们提出了定点 DIF 的一种新的改进算法,如图 4 所示,在每一级蝶算之后进行强制性字长保护.其好处在于,提高了相关指令之间的正交性,在数据调度和运算上减少了对 C6000 内部资源的竞争,有利于维持理想的并行度.优化结果表明,和传统的修正方式相比,尽管在增加的指令数量上只是减少了一半,但是获得的效率的改善提高却大于 6 倍。

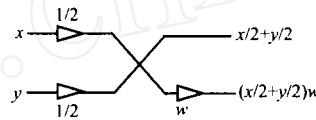


图 3 传统的定点 DIF 蝶算流程

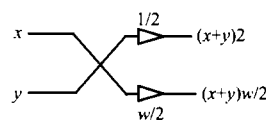


图 4 改进的定点 DIF 蝶算流程

改进算法由于在第一级蝶算前并未进行字长保护,因此输入数据的最大有效动态范围是 15-bit.如果输入数据动态范围达到 16-bit 满量程,需要预先将数据除 2.这对于大多数系统中,是可以接受的。

最后经过编译优化,改进算法与最初提到的 FFT 峰值处理速度相比,以每次蝶算仅增加一个时钟周期的代价,完成了定点 FFT 中的有限字长保护处理.测试表明,此时 C6201 有 20% 的时间工作于 1600MIPS 的峰值处理能力下,平均运算速度达到 1320MIPS,仍然非常逼近 C6201 的峰值性能。

3 定点 FFT 修正算法的精度分析

改进算法与传统的算法相比,不仅提高了并行效率,同时还获得了精度的改善。

假设旋转因子是精确的,只考虑有限字长运算所引入的各个补码截断误差 ϵ_i ,图 5 和图 6 分别给出了传统定点 DIF 算法以及改进算法下,蝶算的误差模型。

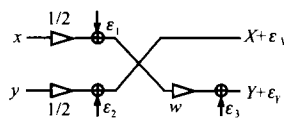


图 5 传统算法下蝶算的误差模型

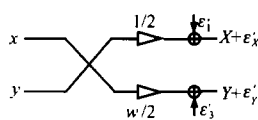


图 6 改进算法下蝶算的误差模型

传统的算法下(图 5),每次蝶算引入的误差

$$\begin{cases} X + \epsilon_X = x/2 + \epsilon_1 + y/2 + \epsilon_2 \\ Y + \epsilon_Y = (x/2 + \epsilon_1 - y/2 - \epsilon_2)w + \epsilon_3 \end{cases} \quad (1)$$

$$\begin{cases} \epsilon_X = \epsilon_1 + \epsilon_2 \\ \epsilon_Y = (\epsilon_1 - \epsilon_2)w + \epsilon_3 \end{cases} \quad (2)$$

对于改进算法(图 6),每次蝶算引入的误差

$$\begin{cases} X + \epsilon'_X = (x + y)/2 + \epsilon'_1 \\ Y + \epsilon'_Y = (x - y)w/2 + \epsilon'_3 \end{cases} \quad (3)$$

$$\begin{cases} \epsilon'_X = \epsilon'_1 \\ \epsilon'_Y = \epsilon'_3 \end{cases} \quad (4)$$

对比式(2)和(4),改进算法不仅减少了每次蝶算的误差源,而且误差值与旋转因子无关,避免了旋转因子对有限字长引起的运算截断误差产生加权。

由于复数乘法实际需要由四次实数乘法完成,所以上面的 ϵ_3 和 ϵ'_3 各自包含了四个实乘引入的截断误差,记为 ϵ_{3i} 和 $\epsilon'_{3i}, i=1,2,3,4$.若各个 ϵ_i 之间互不相关,由补码截断特点,可以假设 ϵ_1, ϵ_2 和 ϵ'_1, ϵ'_2 的实部和虚部是等概率分布在 $[-q/2, 0]$ 上的离散随机变量, ϵ_{3i} 和 ϵ'_{3i} 是等概率分布在 $(-q, 0)$ 上的连续随机变量^[3,4],若系统字长为 $b, q=2^{-b}$,可以得到:

$$\begin{cases} \mu_{\epsilon_1} = \mu_{\epsilon_2} = \mu_{\epsilon'_1} = -(1+i)q/4 \\ \sigma_{\epsilon_1}^2 = \sigma_{\epsilon_2}^2 = \sigma_{\epsilon'_1}^2 = q^2/8 \\ E(|\epsilon_1|^2) = E(|\epsilon_2|^2) = E(|\epsilon'_1|^2) = q^2/4 \end{cases}$$

$$\begin{cases} \mu_{\epsilon_3} = \mu_{\epsilon'_3} = -q(1+i) \\ \sigma_{\epsilon_3}^2 = \sigma_{\epsilon'_3}^2 = q^2/3 \\ E(|\epsilon_3|^2) = E(|\epsilon'_2|^2) = 7q^2/3 \end{cases}$$

由式(2)和式(4),并应用公式 $E(|x|^2) = \sigma_x^2 + |\mu_x|^2$,最后可以得到:

传统定点 DIF 算法下,每次蝶算引入的噪声方差及功率

$$\begin{cases} \sigma_{\epsilon_x}^2 = q^2/4 & E(|\epsilon_x|^2) = 3q^2/4 \\ \sigma_{\epsilon_y}^2 = 7q^2/12 & E(|\epsilon_y|^2) = 31q^2/12 \end{cases}$$

改进的定点 DIF 算法中,每次蝶算引入的噪声方差及功率

$$\begin{cases} \sigma_{\epsilon_x}^2 = q^2/8 & E(|\epsilon'_x|^2) = q^2/4 \\ \sigma_{\epsilon_y}^2 = q^2/3 & E(|\epsilon'_y|^2) = 7q^2/3 \end{cases}$$

假设 FFT 的点数 $N=2^n$,为了比较对最终输出的精度影响,不妨定义最终输出的平均噪声功率为:

$$P_N = \frac{1}{N} \sum_{i=0}^{N-1} |E[\epsilon(i)]|^2 \quad \text{其中 } \epsilon(i) \text{ 是各个输出点上的误差.}$$

由于改进前后的算法都是基于 DIF 流程,因此不论应用怎样的误差传递模型进行分析,在最终输出各点上,两者必然具有同样的误差积累结果形式,就最后的平均噪声功率而言,都可以得到同样形式的结果:

$$P_N = K(E(|\epsilon'_x|^2) + E(|\epsilon'_y|^2)), \text{ 其中 } K \text{ 为常数}$$

因此,算法改进前后在最终输出上的噪声功率比:

$$\eta = P'_N/P_N = (E(|\epsilon'_x|^2) + E(|\epsilon'_y|^2))/(E(|\epsilon_x|^2) + E(|\epsilon_y|^2)) = \frac{31}{40}$$

故改进算法在精度上也获得了改善。

4 DPC 系统实现

4.1 数字脉压处理系统设计

在前面的改进算法的基础上,我们采用 C6201 作为系统的核心处理器,设计实现了一个高速实时数字脉压系统,图 7 是系统的结构框图。

为了充分发挥 C6201 的高速处理能力和数据吞吐能力,提高整个 DPC 处理的效率,在周边器件上均选用了代表目前

最高性能的一些器件,包括 100M 速度的同步 FIFO,15ns 存取时间的双口 RAM,和 12bit@40M 的 ADC 等等。

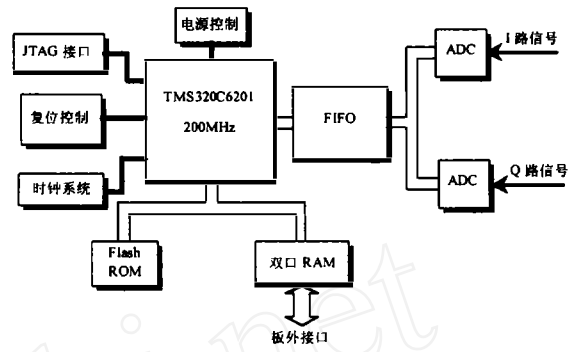


图 7 DPC 系统框图

4.2 逆序解决方案

对于 FFT 原位运算,输入数据流和输出数据流之中必定有一个是逆序的,C6000 系列 DSP 在寻址方式上,没有提供逆序寻址的能力,因此利用原位 FFT 运算进行数字脉压处理时,用户还需要考虑逆序数据流的解决。

逆序数据流出现在原位 FFT 运算的哪一侧取决于两个因素,一是采用的算法是 DIT 还是 DIF,二是旋转因子的预存放方式是正序还是逆序.实际上,逆序数据流允许出现在脉压运算的中间步骤,因此我们可以通过算法组配,来直接抵消处理过程中数据流的逆序.经过效率比较,我们采用了正序旋转因子的 DIF+逆序的匹配滤波+逆序旋转因子的 DIF 的方案.特点是以 DIF 算法为核心,中间的匹配滤波在逆序数据流上进行,其优点是实时性效率最高,代价是需要先在片内预先存放两套旋转因子,一套正序存放,一套逆序存放.表 2 给出了最后完成的 DPC 处理软件实现效率的评测结果。

表 2 运算速度测试结果(基-2 FFT)

运算点数 N	算法	时间(us)
512	FFT	59.49
	DPC	124.14
1024	FFT	130.66
	DPC	271.60

4.3 高速电路的实现

高速数字电路的设计与实现是 C6000 系统中的另外一个关键问题.由于周边应用了超高速存储器件,必须解决纳秒级稳定存储中的时序配合,实际上,由于 C6201 本身是一个主频 200MHz 的高速芯片,其输出信号的边沿斜率 $t_{skew} < 0.5 \text{ ns}$,因此即使是周边接口选用的是慢速器件,信号完整性(Signal Integrity)以及串扰(Crosstalk)问题仍然不可回避。

我们在设计中,不仅借助了专用 EDA 软件对高速数字电路进行辅助设计,同时还采取了许多新的技术措施,成功解决了 C6000 高速电路系统中几个主要难点,包括:数据/地址总线的重负载及其平衡,复杂线网的阻抗匹配,高速同步存储器的时钟信号分配,等等.新的技术措施使原型样机一次试制成功,整个系统运行稳定可靠。

5 结论

本文详细分析了 VLIW 体系结构下并行运算的特点,提出了在 VLIW 内核上提高 FFT 运算并行效率的方法,兼顾运算速度和精度要求,提出了一种定点 FFT 的改进算法,同时对改进算法的精度进行了分析.图 8-10 是脉压处理精度的一

个比较.在改进算法的基础上,基于 TMS320C6201 DSP 实现了一个高速实时的数字脉冲压缩系统,可以在 124 μ s 内,完成 512 点脉压.系统主频 200MHz,芯片间数据传输率达到 400Mbyte/s.整个系统已经应用于某雷达系统中,经长期使用证明,工作稳定可靠.

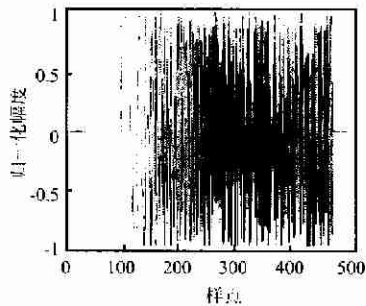


图 8 原始 chirp 脉冲(N=512,无噪声)

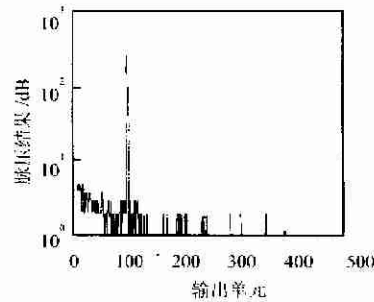


图 9 传统算法下的脉压结果(海明窗)

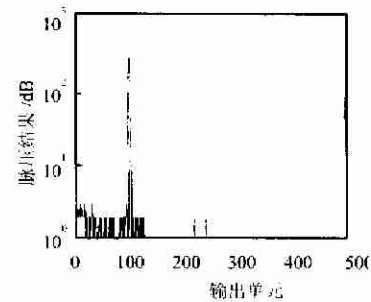


图 10 改进算法下的脉压结果(海明窗)

参考文献:

- [1] 林茂庸,柯有安.雷达信号理论[M].国防工业出版社,1984.
- [2] Kai, Huang. Advanced Computer Architecture: Parallelism, Scalability, Programmability [M]. McGraw-Hill, Inc., 1993.
- [3] Rainer Storn. Some result in fixed point error analysis of the brunn-FFT algorithm [J]. IEEE Transaction on Signal Processing, July 1993, 41 (7).
- [4] A V Oppenheim, C W Weinstein. Effect of finite register length in digital filter and the fast Fourier transform [J]. Proc. IEEE, Aug 1972, 60: 957-976.
- [5] TMS320C6000 Programmer's Guide [Z]. Texas Instruments Incorporated, 2000.

作者简介:



李方慧 男.1974年9月出生于四川万县.分别于1996年、2001年在北京理工大学电子工程系获得工学学士、工学博士学位.主要研究方向:数字信号处理,高速 DSP 系统.

龙腾 男.1968年1月出生于福建福州.博士.北京理工大学电子工程系教授、博士生导师;中国航空学会信号处理分会理事、无线电技术分会委员,中国电子学会高级会员,IEEE 会员.主要研究方向:雷达系统,数字信号处理,数据通信.

毛二可 男.1934年出生于内蒙古自治区.北京理工大学电子工程系教授、博士生导师,中国工程院院士,主要研究方向:雷达系统,数字信号处理.