

一个 128×128 CMOS 快照模式焦平面读出电路设计

陈中建¹, 李晓勇¹, 喻松林², 韩建忠², 吉利久¹

(1. 北京大学微电子所, 北京 100871; 2. 华北光电技术研究所, 北京 100015)

摘 要: 本文介绍了一个工作于快照模式的 CMOS 焦平面读出电路新结构——DCA(Direct injection Charge Amplifier) 结构. 该结构像素电路仅用 4 个 MOS 管, 采用特殊的版图设计并用 PMOS 管做复位管, 既可保证像素内存储电容足够大, 又可避免复位电压的阈值损失, 从而提高了读出电路的电荷处理能力. 由于像素电路非常简单, 且该结构能有效消除列线寄生电容 C_{bus} 的影响, 因此该结构非常适用于小像素、大规模的焦平面读出电路. 采用 DCA 结构和 $1.2\mu\text{m}$ 双硅双铝(DPDM Double Poly Double Metal) 标准 CMOS 工艺设计了一个 128×128 规模焦平面读出电路试验芯片, 其像素尺寸为 $50 \times 50\mu\text{m}^2$, 电荷处理能力达 11.2pC . 本文详细介绍了该读出电路的体系结构、像素电路、探测器模型和工作时序, 并给出了精确的 HSPICE 仿真结果和试验芯片测试结果.

关键词: 焦平面; 读出电路; 直接注入; 快照; DCA 结构

中图分类号: TN46 文献标识码: A 文章编号: 0372-2112(2001)11-1454-04

A 128×128 CMOS Snapshot Readout Circuit Design for Focal Plane Array

CHEN Zhong-jian¹, LI Xiao-yong¹, YU Song-lin², HAN Jiar-zhong², JI Li-jiu¹

(1. Institute of Microelectronics, Peking University, Beijing 100871 China; 2. NCRCEO, Beijing 100015, China)

Abstract: A novel CMOS snapshot readout structure called DCA (Direct injection Charge Amplifier) for focal plane array (FPA) is presented in this paper. The pixel circuit includes only four MOS transistors. Using PMOSFET as the reset transistor with careful layout design, this pixel circuit not only can keep the in-pixel capacitance large enough, but also can avoid the threshold voltage loss during the reset for the integration node. Thereby, charge capacity of the readout circuit is increased. Since the pixel circuit is very simple and this structure can eliminate the influence of column bus parasitic capacitance, it is very suitable for large format small-pixel readout circuit. An experimental 128×128 DCA chip has been designed with $1.2\mu\text{m}$ DPDM in-well CMOS technology. The charge handling capacity is 11.2pC with pixel size $50 \times 50\mu\text{m}^2$. A description of the readout circuit structure, pixel circuit, detector model, operation principle and chip layout is given in detail. Both excellent simulation results and experimental results of the fabricated DCA readout chip are presented.

Key words: focal plane array; readout circuit; direct injection; snapshot; DCA structure

1 引言

焦平面^[1~3]是电子成像系统的关键部件, 焦平面读出电路用于读出焦平面中各像素的信号, 并对信号处理后输出. 目前对高分辨率成像系统的需求越来越大, 这就要求加大阵列规模并缩小像素面积^[4]. 像素面积的减小会导致读出电路电荷处理能力的降低, 而读出电路的许多性能与其电荷处理能力有密切关系. 因此, 设计者必须使读出电路的电荷处理能力足够大来保证获得良好的电路性能. 为此, 像素电路必须非常简单, 以保证像素中用做 MOS 电容的积分管占有足够大的像素面积.

90 年代初期, 大多数 CMOS 读出电路采用 SF(Switched Follower) 结构^[4,5]. 这种结构的像素电路至少包括 5 个晶体管: 积分管、注入管、源随管、复位管和地址选择管, 这就限制

了用做 MOS 电容的积分管的面积, 从而降低电路性能.

当像素尺寸比较小时, 采用像素电路只用 4 个晶体管的 CBP(Column Bus Partition) 结构^[7]可以提高像素的填充比(即积分管面积与像素总面积的比值), 从而保证电路性能. 但该结构最大的缺陷是: 列线的寄生电容 C_{bus} 会分享从像素中读出的电荷; 当阵列规模加大时, C_{bus} 会随之加大, 引起严重的信号失真.

在 CBP 结构的基础上, 本文提出了一种新的读出电路结构——DCA(Direct injection^[6] Charge Amplifier). 该结构在每条列线的末端连接一个电荷放大器, 可有效地消除列线寄生电容的影响^[7]. 因此非常适用于小像素尺寸的焦平面.

本文第二部分将介绍该读出电路的结构和设计考虑, 包括体系结构、像素电路、探测器模型、工作时序. 第三部分给出

了精确的 HSPICE 仿真结果和试验芯片的测试结果以及芯片版图. 最后给出结论.

2 读出电路结构

2.1 体系结构

图 1 是 DCA 结构读出电路的框图. 该电路用于从一 128×128 探测器阵列中读出每一像素的信号. 同一列的像素的输出端接到一条列线上. 在每条列线的末端接一电荷放大器. 每一电荷放大器的输出端通过选通器, 连接到输出运放.

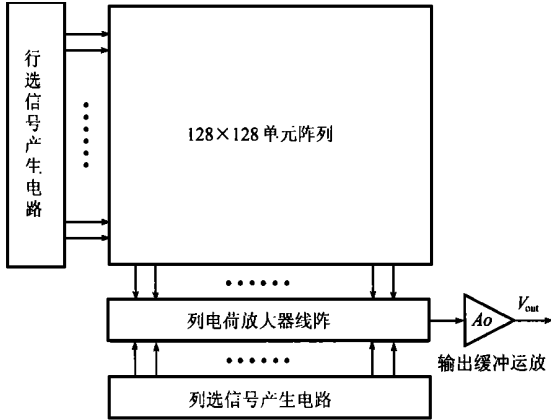


图 1 DCA 结构的读出电路框图

图 2 是 DCA 结构读出电路的电路图. 在此结构中, 若电荷放大器中列运放的放大倍数足够大, 则每条列线的电压是 V_{ref} , 并保持不变, 列线寄生电容不分享从各像素中转移出的电荷, 因此, DCA 结构可以消除列线寄生电容的影响.

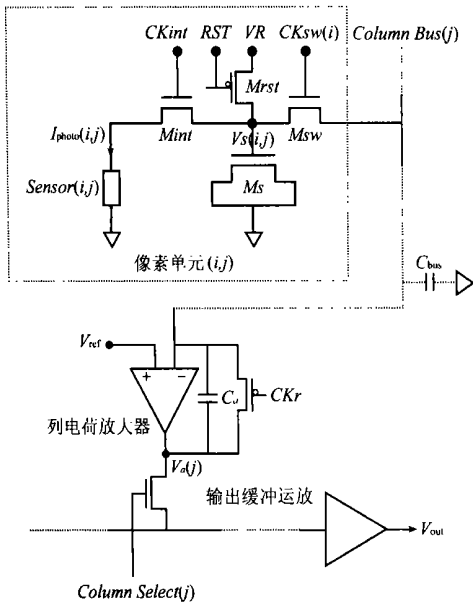


图 2 DCA 结构读出电路的电路图

其次, 该结构还可以提高读出电路的电荷处理能力. 像素中的 NMOS 管 M_s 用做存储电容 C_{int} . 当第 i 行、第 j 列像素的节点电压 $V_{s(i,j)}$ 比 M_s 的阈值电压 V_t 高时, 电容 C_{int} 是常值电容; 当 $0 < V_{s(i,j)} < V_t$ 时, C_{int} 就不再是常值电容. 因此在积分期间, 当 $V_{s(i,j)} > V_t$ 时, 电压 $V_{s(i,j)}$ 线性下降; 当 $0 < V_{s(i,j)} <$

V_t 时, 电压 $V_{s(i,j)}$ 非线性下降. 这种现象会导致 SF 结构读出电路的电荷处理能力下降, 但对 DCA 结构没有影响, 原因是: 在 DCA 结构中, 像素电路和列电荷放大器共同处理的电学量是电荷而不再是电压. 因此, 当 $0.3V < V_{s(i,j)} < V_t$ 时, DCA 结构仍能正常工作, 从而提高了电压 $V_{s(i,j)}$ 的摆幅, 也就提高了读出电路的电荷处理能力.

2.2 像素电路

图 2 中也给出了像素的电路. NMOS 管 M_s 用做存储电容 C_{int} , 其上极板为栅, 反型沟道做下极板. NMOS 管 M_{sw} 为行选管, 用做地址选择. 第 i 行像素的 M_{sw} 管的栅都接到行选信号 $CK_{sw}(i)$.

用作探测器的光电二极管通过 NMOS 管 M_{int} 连接到存储节点, 这样, 当给 M_{int} 管合理偏置时, 光电流可直接注入到存储电容 C_{int} , 实现积分功能. 时钟信号 CK_{int} 用于积分控制, 光电二极管的偏置电压可以通过调节 CK_{int} 为“高”时的电压水平来调节, 从而保证探测器在正常偏置下工作. 为了保证积分期间光电流基本不变, M_{int} 的尺寸必须优化设计来提高其沟道电阻.

PMOS 管 M_{rst} 用于把存储电容 C_{int} 上极板的电压 $V_{s(i,j)}$ 复位到电压 V_R . M_{rst} 采用 PMOS 管是为了消除复位电压 V_R 的阈值损失, 提高读出电路的电荷处理能力. 但是, 像素中同时存在 PMOS 管和 NMOS 管时就需要阱, 而阱往往会占用可观的像素面积, 导致用做存储电容的 M_s 管的尺寸减少, 从而降低读出电路的电荷处理能力. 本文采用了特殊的版图设计技巧: 相邻的四个像素共享一个 N 阱, 从而把上述阱的不利影响大大降低, 提高了像素的填充比.

2.3 探测器模型

像素电路中的探测器是工作于反向区的光电二极管, 不同光照下光电二极管的 $I-V$ 特性如图 3 所示^[8]. 图中暗特性指在完全没有光照的情况下, 光电二极管的 $I-V$ 特性.

根据在不同光照下测得的光电二极管的 $I-V$ 特性数据, 建立了探测器的模型, 如图 4 所示. 图中, D 为理想的结型二极管, 恒流源 I_B 是无光照时光电二极管的暗电流, 电流源 I_{photo} 用于仿真光电流, 电阻 R_d 为工作点处的动态电阻, 电阻 R_s 为串联电阻, 电容 C_d 为工作点处的动态电容.

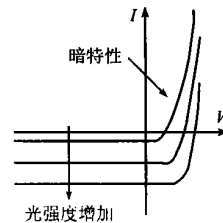


图 3 不同光照下光电二极管的 $I-V$ 特性

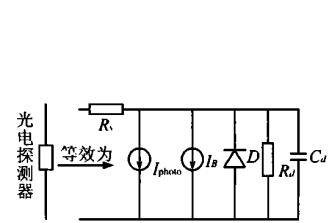


图 4 光电探测器的等效模型

2.4 工作时序

图 5 是该读出电路的工作时序图. 每一帧的时间分为两个阶段: 积分阶段和读出阶段.

2.4.1 积分阶段

所有像素中的 M_{int} 管的栅极连接在一起共同由时钟信

号 CK_{int} 控制, 同时开始和结束积分, 从而构成快照工作模式. 积分期间, 流经光电二极管的光电流被积分到像素内的存储电容 C_{int} 中, 积分时间是 CK_{int} 为“高”的时间. 积分期间, 积分节点的电压 $V_{s(i,j)}$ 随时间的变化有公式(1)给出. 式中:

T_{int} 是积分时间;

C_{int} 是像素内的存储电容;

V_R 是像素内的存储电容的复位电压;

$I_{photo(i,j)}$ 是像素 $pixel(i,j)$ 的光电流.

$$V_{s(i,j)} = V_R - \frac{I_{photo(i,j)} T_{int}}{C_{int}} \quad (1)$$

2.4.2 读出阶段

积分结束后, 各像素存储电容 C_{int} 中存储的电荷量与该像素探测器的光电流大小有关. 当第 i 行的行选信号 $CK_{sw}(i)$ 有效时, 电容 C_{int} 和电荷放大器的反馈电容 C_a 进行电荷再分配, 由电荷放大器实现电荷到电压的转换. 由前面体系结构的分析知: 当电荷放大器中列选运放的放大倍数足够大时, 每条列

线的电压始终为 V_{ref} , 从而列线寄生电容 C_{lus} 不参与电荷再分配过程, 这就消除了列线寄生电容的影响. 当列选信号 $Column Select(j)$ 有效时, 第 j 列的电荷放大器的输出被选送到最后的输出运放. 当每一列电荷放大器的输出信号都依次读出后, 由复位信号 CK_r 把各个电荷放大器复位到初始状态. 当 $CK_{sw}(i+1)$ 有效时, 开始第 $i+1$ 行的读出. 整帧的每一行都读出后, 由帧复位信号 RST 把所有像素中的存储电容 C_{int} 复位到初始状态(此时 $V_{s(i,j)} = V_R$), 等待下一帧的积分开始.

差分输入的电荷放大器用于实现电荷到电压的转换, 其输出端的电压 $V_{a(j)}$ 是光电流 $I_{photo(i,j)}$ 的函数, 如公式(2)所示. 式中:

T_{int} 、 C_{int} 、 V_R 、 $I_{photo(i,j)}$ 的含义同公式(1)中的含义;

C_a 是电荷放大器的反馈电容;

V_{ref} 是电荷放大器的参考电压.

由公式(2)知, 合理设计电荷放大器的反馈电容 C_a 的大小, 可以调节其输出摆幅.

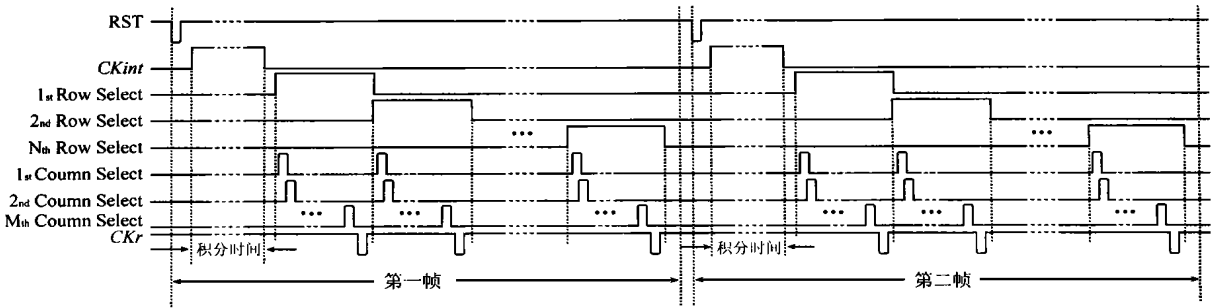


图5 读出电路的工作时序图

$$V_{a(j)} = V_{ref} + \frac{C_{int}}{C_a} (V_{ref} - V_R) + \frac{I_{photo(i,j)} T_{int}}{C_a} \quad (2)$$

3 仿真和测试结果

采用 1.2μm 双硅双铝标准 CMOS 工艺线提供的器件参数, 对该读出电路进行了精确的 HSPICE 仿真. 在积分期间 ($T_{int} = 1.49ms$, $C_{int} = 2.6pF$, $V_R = 5V$), 积分节点的电压 $V_{s(i,j)}$ 在不同光电流 I_{photo} 下(分别为 4.5nA, 5.5nA, 6.5nA, 7.5nA) 随时间的变化如图 6 示. 由图看出, 光电流不同时, 电压 $V_{s(i,j)}$ 随时间下降的斜率也不同, 都有良好线性度; 而且电压 $V_{s(i,j)}$ 可以被复位到 V_R (即 5V), 像素内的复位管 $Mrst$ 没有引入阈值损失.

积分结束后, 在读出期间列电荷放大器输出端的电压 $V_{a(j)}$ 随光电流 I_{photo} (分别为 4.5nA, 5.5nA, 6.5nA, 7.5nA) 的不同而变化, 如图 7 示. 由图看出, 随光电流的线性增加或减少, $V_{a(j)}$ 也线性增加或减少; 电荷放大器的信号建立时间约 2μs.

输出运放的仿真结果是: 在 5V 电源电压下, 输出摆幅为 3.0V; 在负载电容为 10pF 时, 工作频率可达 5MHz.

采用标准 1.2μm 双硅双铝 N 阱 CMOS 工艺, 设计了一个 128×128 阵列规模 DCA 读出结构的实验芯片并对该芯片进行了测试. 测试时激励信号和直流偏置电压由一电路板产生. 经测试, 该读出电路工作正常. 输出缓冲运放摆幅为 3.0V, 与仿真结果一致. 最大输出频率为 2MHz, 比仿真值(5MHz)小;

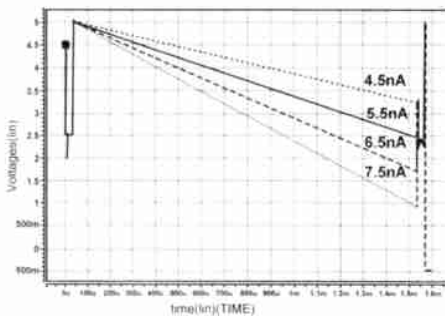


图6 不同光电流下, 积分节点的电压 $V_{s(i,j)}$ 随时间的变化

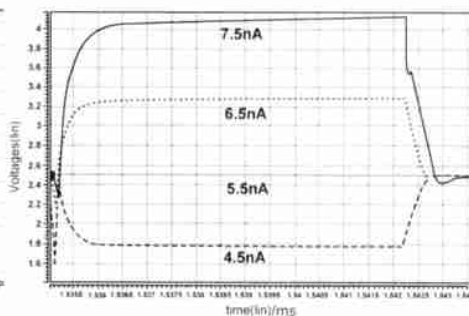


图7 不同光电流下, 列电荷放大器的输出电压 $V_{a(j)}$ 随时间的变化

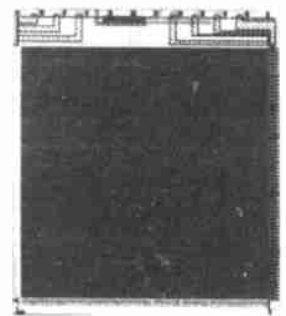


图8 128×128 实验芯片的版图

经分析是由于仿真时的负载比实际测试时的负载小导致. 表 1 总结了该芯片的特征参数. 图 8 给出了该芯片的版图, 芯片尺寸(含压点)为 $7.0 \times 8.5 \text{mm}^2$.

表 1 DCA 读出结构的芯片特征参数

探测器的界面电路	直接注入
电源电压	5V
阵列规模	128×128
积分(曝光)时间	1.49ms
填充比	61%
像素尺寸	$50 \times 50 \mu\text{m}^2$
积分电容	2.6pF
输出摆幅	3.0V
电荷处理能力	11.2pC
最大读出速度	2MHz
帧频	50Hz
芯片尺寸	$7.0 \times 8.5 \text{mm}^2$
工艺	1.2 μm DPDM

4 结论

本文介绍并分析了一个 DCA 结构的焦平面读出电路. 对像素电路采用特殊的版图设计并用 PMOS 管做复位管, 既可保证像素内的存储电容足够大, 又可避免复位电压的阈值损失, 从而提高了读出电路的电荷处理能力. 由于像素电路非常简单(只有 4 个晶体管), 且 DCA 读出结构能有效消除列线寄生电容 C_{bus} 的影响, 因此该结构非常适用于像素尺寸非常小、焦平面阵列规模比较大的读出电路. 由仿真和测试结果知, 随光电流的线性增加或减少, 输出电压也线性增加或减少电压, 有良好线性度; 读出电路有良好性能.

作者感谢上海贝岭股份有限公司张征、中国华晶电子集团公司彭力等先生在工艺方面给予的有益讨论和支持.

参考文献:

[1] B Ackland, A Dickinson. Camera on a chip [A]. 1996 ISSCD Tech Papers [C], 1996: 22–25.

- [2] F Low. Unfulfilled needs in IR astronomy focal plane readout electronics [A]. Proc SPIE [C], 1684, 1992: 168–174.
- [3] B Pain, E R Fossum. A review of Infrared readout electronics for space science sensors [R]. JHL Technical Reports, 1993: 1–47.
- [4] R H Nixon, S E Kemeny, B Pain, C O Staller, E R Fossum. 256×256 CMOS active pixel sensor camera on a chip [J]. IEEE Journal of Solid State Circuits, 1996, 31(12): 2046–2050.
- [5] Shyr Yih Ma, Liang Gee Chen. A single chip CMOS ASP camera with direct frame difference output [A]. IEEE 1998 Custom Integration Circuit Conference [C], 1999: 287–290.
- [6] K Chow, J P Rode, D H Seib, J D Blackwell. Hybrid infrared focal plane arrays [J]. IEEE Trans. Electron Devices, 1982, ED-29(1): 3–13.
- [7] E Mottin, P Pantigny, R Boch. An improved architecture of IRPA readout circuits [A]. Proc SPIE 2894 supplement [C], 1996: 37–46.
- [8] S G Chamberlain. Photosensitivity and scanning of silicon image detector arrays [J]. IEEE Journal of Solid State Circuits, June 1969, SC-4: 333–342.

作者简介:



陈中建 男. 1973 年生于山东汶上, 1997 年获北京大学微电子专业学士学位; 目前在北京大学微电子所攻读博士学位(硕博直读). 研究领域包括: CMOS 模拟和数模混合集成电路设计; 目前集中研究低功耗低噪声焦平面读出电路优化设计和模数转换技术.



李晓勇 男. 1975 年生于陕西宝鸡, 1997 年获北京大学微电子专业学士学位, 2000 年获北京大学微电子学与固体电子学硕士学位. 研究领域包括: CMOS 数模混合集成电路设计, 特别集中在成像系统焦平面读出电路设计、模数转换器设计.