

# SSN 研究及其在 VLSI 设计流程中的应用

徐栋麟, 郭新伟, 徐志伟, 林 越, 任俊彦  
(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘 要: 本文详述了同步开关噪声(SSN)影响 VLSI 电路可靠性的一个主要因素: 芯片-封装界面的寄生电感. 根据在芯片中插入电源/地线引脚, 减小芯片-封装界面的寄生电感的思想, 提出一种简便有效的基于 SSN 性能的输出驱动器优化布局方法并将之集成到 VLSI 设计流程中. 用 0.6 微米 CMOS 工艺进行了验证. 结果表明: 该优化设计可有效降低 SSN 对 VLSI 电路可靠性的影响.

关键词: 同步开关噪声; 超大规模集成电路; 电子设计自动化

中图分类号: TN401 文献标识码: A 文章编号: 0372-2112(2001)11-1471-04

## VLSI Design Automation Procedure to Optimize SSN Performance

XU Dong lin, GUO Xirwei, XU Zhiwei, LIN Yue, REN Jurryan  
(ASIC & System State Key Lab., Fudan University, Shanghai 200433, China)

Abstract: The effects of Simultaneous Switching Noise on VLSI have been elaborated. And an automatic CAD tool to optimize SSN performance of VLSI has been developed with optimized placement of inserting ground pads. Under the conditions provided by this paper, the equations in this procedure can be used in a very high speed environment. A set of test chips taped out by using this CAD tool proved the procedure can effectively reduce the SSN, which is more serious when feature size of VLSI is scaled down.

Key words: SSN(simultaneous switching noise); VLSI(very large scale integrated circuit); EDA(electronic design automation)

### 1 引言

同步开关噪声(Simultaneous Switching Noise, SSN)是由多个芯片内部逻辑门或输出驱动器同步开关引发的噪声. 输出驱动器在驱动片外负载时需要大驱动电流, 如图 1 所示. 因此电源/地线中的这些大(变化)电流流过芯片-封装界面的电源/地线寄生电感网络时, 由于电磁感应会在芯片的电源/地线上产生电压抖动噪声.

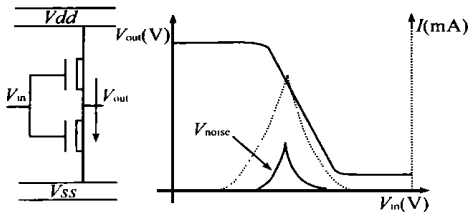


图 1 输出驱动器的大(变化)驱动电流

该噪声对电路的影响主要表现在: 误触发寄存器和内部逻辑, 恶化时钟性能(时钟脉冲漏失或增插)等. 随着 VLSI 电路规模和速度的不断提高, 开关电流(变化率)也不断增加, SSN 对电路可靠性的影响日甚. 我们可以从三个方面分析 SSN 对电路的影响: 输入接收器的抗噪声性能、输出驱动器的电

流变化率和芯片-封装界面的寄生电感. 增加输入接收器的噪声容限、减小输出驱动器的电流变化率和芯片-封装界面的寄生电感都可以降低 SSN. 文献 [1] 中给出了芯片-封装界面等效寄生电感的详细建模和基于拓扑方法的电感等效值计算. 在计算 SSN 时计入负反馈效应, 得到了更精确的结果. 但这种计算方法需详细了解封装模型、涉及复杂的计算和考虑等效电感与输出驱动器、内部逻辑门和电源/地线之间的负反馈.

本文将插入电源/地线引脚减小寄生电感的思想实现到 VLSI 电路设计流程中. 对芯片-封装界面等效寄生电感做了合理的简化计算, 并根据与工艺相关的电路噪声容限, 考虑最坏情况下的粗放引脚布局. 在满足电路噪声性能的前提下, 避免计算实际的 SSN 值, 显著地降低了计算复杂度. 所选用的电感模型在一定条件下可以适用至微波频率, 故对高频电路也有很好的应用. 该基于 SSN 性能的芯片输出引脚优化布局可以嵌入到一般的 VLSI 自动化设计流程中. 只要用户给定封装形式、引脚数和某些特定的布局要求, 可以最终优化 SSN 性能, 增加电路的可靠性.

### 2 SSN 与芯片-封装界面寄生电感

如前述, 变化的驱动电流会由于寄生电感, 在电源/地线感应出一个电压跳变:

$$V_{\text{bouncing}} = L_{\text{eff}} \frac{dI}{dt} \quad (1)$$

显然 SSN 随  $L_{\text{eff}}$  而增大, 因此小的等效电感有利于缓减 SSN 对 VLSI 电路规模和速度的限制, 主要有两种方法:

(1) 选择寄生电感较小的封装, 一般封装为 2nH~20nH; 而较先进的 PGA 封装可达 0.9nH.

(2) 在芯片中插入电源/地线引脚来减小寄生电感(如图 2 所示), 但增加了芯片封装成本.

因此必须合理地选择封装和电源/地线引脚的插入, 本文基于后者讨论 SSN 性能的优化.

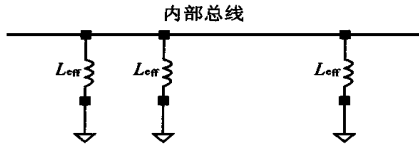


图 2 插入地线引脚减小寄生电感

### 3 插入电源/地线引脚降低 SSN

电源与地线上 SSN 的产生机理相似, 因此以下我们仅讨论地线上的 SSN 及其与地线引脚插入数目和位置的关系.

#### 3.1 芯片-封装界面的电感

芯片-封装界面寄生电感  $L_{\text{package}}$  主要由键合引线、封装基板金属连线和引脚的电感构成:

$$L_{\text{package}} = L_{\text{bondingwire}} + L_{\text{plane}} + L_{\text{pin}} \quad (2)$$

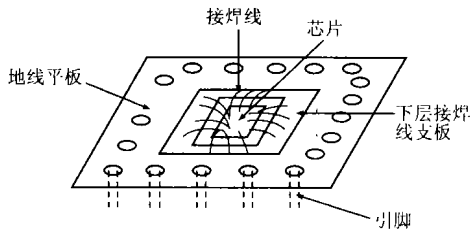


图 3 芯片的单层封装示意图

如图 3 所示, 芯片引脚到键合点的距离和角度不同, 键合引线的寄生电感也不同, 而且引入复杂的互感. 实际设计时只要粗略地估计最坏情况, 故可以忽略互感的影响, 而只是将各自感值之和再乘以经验系数得到最大等效电感值. 文献[2]表明, 在低于 10GHz 的应用中, 键合引线的长度和间距成一定比例(如 500 $\mu\text{m}$ : 200 $\mu\text{m}$ ), 其互感值比自感值小几个数量级. 这样, 键合引线的寄生电感值可由下式得到:

$$L_{\text{bondingwire}} = A \cdot l \cdot \left[ \ln \frac{4l}{d} - 1 + \frac{d}{2l} \right] \quad (3)$$

其中,  $A$  是由封装结构和材料决定的比例因子,  $l$  和  $d$  分别是键合引线的长度和直径(厘米). 电感的单位是微亨. 由于键合引线、封装基板上金属连线和引脚的等效电感由拓扑结构、封装类型和材料决定, 在本文中采用了封装厂家提供的数据. 记录最坏情况下的等效芯片-封装界面寄生电感值

$L_{\text{package}}$ .

#### 3.2 插入的地线引脚数目对 SSN 影响

插入地线引脚使芯片-封装界面的寄生电感并联, 所以等

效寄生电感随插入数的增加而减小. 但是 SSN 降低程度随之变缓(如下式). 考虑到互感效应随插入数目而增大, 上述变缓更甚.

$$L_{\text{eff}}^{(n)} = 1 / \sum_{i=1}^n (1 / L_{\text{eff}}^i) \approx \frac{L_{\text{eff}}^{\text{typical}}}{n} \quad (4)$$

$$\Delta L_{\text{eff}}^{(n)} = L_{\text{eff}}^{(n-1)} - L_{\text{eff}}^{(n)} = \frac{L_{\text{eff}}}{n \cdot (n-1)} \quad (5)$$

图 4 所示是不考虑寄生电感之间的互感时, 总的地线寄生电感值与地线引脚插入数目的关系. 当然在实际插入地线引脚时, 需考虑用户对封装引脚数的限制.

#### 3.3 插入地线引脚位置对 SSN 影响

由于输出驱动器往往集中布局, 因而在插入地线引脚时不仅要考虑芯片-封装的键合引线寄生电感, 还应考虑地线引脚与各输出驱动器之间的寄生效应, 如图 5 所示. 芯片内地线引脚的寄生电感可认为是一个横截面为方形的线型电感, 由经验公式(6)计算得到:

$$L_{i,j} = A \cdot l \left[ \ln \frac{2l}{w+t} + 0.5 + \frac{w+t}{3l} \right] \quad (6)$$

公式(3)和(6)出自文献[3], 在文献[4]中给出了详细的推导. 在寄生电感的磁导率接近 1 时, 频率适用范围可达到微波. 当然在较低频时会有一定的修正, 可以参考文献[4~6]. 其中,  $l$ 、 $w$  和  $t$  分别是插入地线引脚  $i$  与输出驱动器引脚  $j$  之间(金属)地线长度、宽度和厚度(厘米), 得出电感的单位是微亨,  $A$  是工艺决定的系数.

在设计时我们采用了地线引脚放置方式的最小等效电感模型. 假设有  $M$  个输出驱动器, 相应的驱动能力由  $I_j$  表示; 当插入  $N$  个地线引脚时, 地线上总的寄生电感值可如下计算:

$$L_{\text{eff}} = 1 / \left( \sum_{i=1}^N 1 / L_{\text{eff}}^i \right) \quad (7)$$

其中:

$$L_{\text{eff}}^i = L_{\text{package}} + \frac{1}{\sum_{j=1}^M \frac{1}{L_{i,j} \cdot \frac{I_j}{\text{Min}(I_1, I_2, \dots, I_M)}}} \quad (8)$$

公式(8)中的  $I_j / \text{Min}(I_1, I_2, \dots, I_M)$  称为地线引脚的等效电感权重因子, 即考虑了地线引脚与其附近输出驱动器之间的影响对总的地线引脚等效寄生电感的不同贡献. 设计完成后, 各个输出驱动器的最大驱动电流是已知的, 因而其等效电感权重因子是固定的. 确定芯片地线的最小等效电感, 即在于确定每个输出驱动器周围的地线引脚个数及分布位置. 对某种封装, 式(6)中  $w$  和  $t$  是确定的. 等效寄生电感的大小取决于引脚间的间距  $l$ . 式(6)对  $l$  进行求导, 可得:

$$\frac{dL_{i,j}}{dl} = A \left[ \ln \frac{2l}{w+t} + 1.5 \right] \quad (9)$$

一般的工艺中引脚宽度  $w$  与最小引脚间距  $l$  之比都大于 8, 而引脚厚度  $t$  要远小于引脚的宽度  $w$ , 如表 1. 正如公式(9)所说明的, 插入地线引脚的等效电感随输出驱动器引脚间距而减小, 这也意味着要减小总的地线等效寄生电感, 插入地线引脚的位置尽量靠近等效电感权重

因子大的输出驱动器; 或各引脚间固定时, 可以适当地在权重因子大的输出驱动器周围插入尽可能多的地线引脚. 而权重因子大的输出驱动器应尽量远离.

表 1 CSM 0.6 微米工艺的引脚宽度和最小引脚间距

引脚宽度 $w$ ( $\mu\text{m}$ )	90
最小引脚间距 $l$ ( $\mu\text{m}$ )	24

当某种放置方式使  $L_{\text{eff}}$  达到最小时, 我们就称之为满足引脚放置方式的最小等效电感. 这个模型可用来优化 VLSI 芯片设计中输入输出引脚的布局, 从而使引入的内在 SSN 最小.

#### 4 SSN 性能驱动的芯片输入输出引脚布局及 VLSI 设计流程

在芯片内核版图设计完成之后, 考虑芯片输入输出引脚

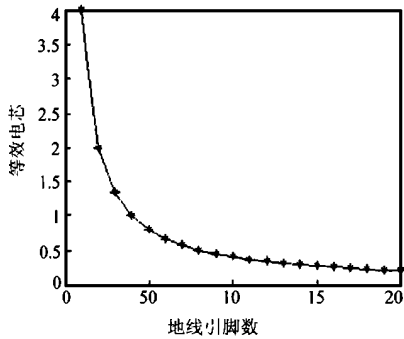


图 4 总地线电感与插入地线引脚数的关系

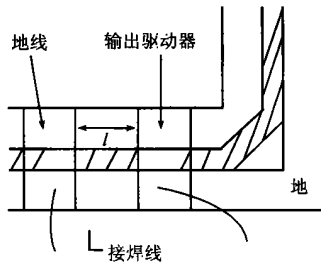


图 5 地线引脚与输出驱动器之间寄生电感

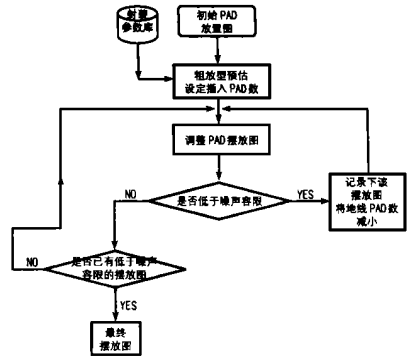


图 6 基于 SSN 性能的 VLSI 设计流程图

在确定整个芯片需要插入的地线引脚数目时, 我们采用了粗略的预估模型. 根据用户输入输出引脚定义得到芯片最大输出驱动电流:

$$I_{\text{all}} = \sum_{i=1}^N I_i \quad (10)$$

其中,  $N$  是芯片输出驱动器的数目,  $I_i$  是第  $i$  个输出驱动器的驱动电流. 取最快工作周期的十分之一 ( $T_{\text{clk}}/10$ ) 作为信号的变化时间  $T_{\Delta}$ , 于是得到整个芯片工作时的电流变化率为:

$$dI/dt = 10 \cdot \alpha \cdot (I_{\text{all}}/T_{\text{clk}}) \quad (11)$$

其中,  $\alpha$  是输出驱动器同时开关的概率, 一般可以预设为 30%. 在预估模型中, 插入地线引脚数  $N$  由公式(12) 决定:

$$N = K - M \quad (12)$$

其中,  $K$  是最大的封装引脚数,  $M$  是用户定义的输出驱动器数. 考虑电路的稳定性, 设计人员往往选择封装的引脚多于所需输出驱动器数.

开始插入  $N$  个地线引脚时, 采用平均插入方式, 单位数量输出驱动器插入地线引脚数为:

$$P = N/M = (K - M)/M \quad (13)$$

由此可以计算预估的地线 SSN 幅度:

$$V_{\text{noise}} = L_{\text{eff}} \cdot \frac{dI}{dt} = \frac{10 \cdot \frac{1}{\sum_{i=1}^N 1/L_{\text{eff}}^i} \cdot \alpha \cdot I_{\text{all}}}{T_{\text{clk}}} \quad (14)$$

其中  $L_{\text{eff}}$  如公式(8) 定义. 从封装参数库中可以得到用户

的布局布线. 用户会对整个芯片的引脚布局有一个预估. 从该预估出发进行基于 SSN 性能的引脚布局. 同时用户应提供整个芯片的输入输出引脚的信号定义、各输出驱动器的驱动力、所希望采用的封装类型和整个芯片的同步噪声容限, 作为后期插入电源/地线引脚的数目和位置的标准.

表 2 给出了 0.6 微米 CMOS 单元库中输入接收器所能承受的噪声幅度及脉宽, 即同步噪声容限. 噪声容限的具体值可以通过 HSPICE 模拟或实测方便地得到. 图 6 是整个优化设计流程图.

表 2 输入接收器 PTXD00 所能承受的噪声幅度及脉冲宽度

噪声脉宽(ns)	1	1.5	2	3	4	5	6	8
噪声脉幅(V)	2.64	2.27	2.10	1.92	1.83	1.78	1.74	1.69

选用封装的典型寄生电感  $L_{\text{package}}$ . 噪声宽度是信号变化时间  $T_{\Delta}$  的函数. 由于地线电压变化对输出驱动器的负反馈影响, 这个函数异常复杂. 在粗略的预估模型中, 我们假设噪声脉冲宽度与信号变化时间相等. 于是在此脉宽下, 可以根据表 2 的同步噪声容限得到系统所能承受的噪声脉幅  $V_{\text{MAX}}$ , 并要求:

$$V_{\text{noise}} = \frac{10 \cdot \frac{1}{\sum_{i=1}^N 1/L_{\text{eff}}^i} \cdot \alpha \cdot I_{\text{all}}}{T_{\text{clk}}} < V_{\text{MAX}} \quad (15)$$

则,

$$\frac{1}{\sum_{i=1}^N 1/L_{\text{eff}}^i} < \frac{V_{\text{MAX}} \cdot T_{\text{clk}}}{10 \cdot \alpha \cdot I_{\text{all}}} \quad (16)$$

首先采用平均插入模型(或用户的预布局), 即把地线引脚平均地插入到各输出驱动器之间进行预放置. 这样可以预估 SSN 值. 与系统的 SSN 噪声容限进行比较; 若明显不符合要求, 则利用上述的最小等效电感模型, 尝试各种地线引脚的放置方式得到最优的布局并记录下来; 若符合噪声容限要求, 可以换为引脚数更少的封装. 所以要减小地线引脚的插入数目并且反复上述尝试, 直至地线引脚插入数目不能再减少为止. 此时得到的就是基于 SSN 性能的输入输出引脚布局优化设计流程.

由于本文提出基于 SSN 研究的主要目的在于其在 VLSI 设计流程中的应用. 主要讨论应用的模型、计算的方法、适用的范围和该流程是否对抑制芯片 SSN 有效. 具体的布局规划算法, 即对插入地线引脚位置和数量以 SSN 性能为指标进行

优化算法不是本文的重点,在此不加累述.

## 5 实验结果和结论

上述基于 SSN 性能的粗略引脚布局优化已内嵌于 VLSI 设计流程中. 我们采用新加坡特许半导体公司(CSM)的 0.6 微米 CMOS 工艺对该设计方法进行了验证. 使用该优化设计流程对 68 个引脚的 CLCC 封装进行了不同插入地线引脚数的优化运算.

如图 7 为: 在 24 个输出驱动器中平均插入 3 地线引脚的 SSN 芯片照片. 其中引入了片上电感, 目的是为了验证本文提出的引脚优化布局有效性. 使 SSN 绝对值的测对片外寄生电

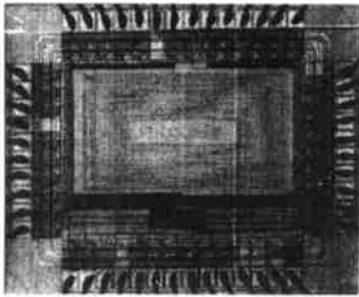


图 7 输出驱动器八插一布局的 SSN 芯片

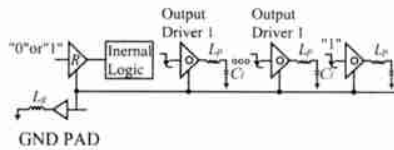


图 8 测量 SSN 噪声电路示意图

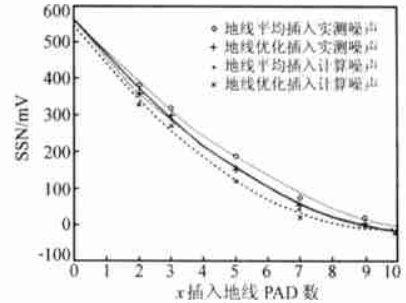


图 9 均匀插入地线引脚与 SSN 噪声图

通过插入地线引脚可以明显地降低芯片封装带来的同步开关噪声, 并且结合已知的电路噪声容限, 我们可以得到芯片 SSN 性能优化的引脚布局. 由于本文提出的基于 SSN 性能的引脚布局流程时, 采用的地线寄生电感模型在一定条件下可以适用至微波频率. 具有较高的精确性, 且计算效率比文献 [1] 高, 故该方法可适应不断提高了的电路集成度和速度, 有广泛的应用价值. 芯片实测结果表明: 该基于 SSN 性能的引脚布局自动化流程可以有效地缓解 SSN 对 VLSI 电路可靠性的影响.

### 参考文献:

- [1] Senthinathan, J L Prince. Simultaneous Switching Noise of CMOS Devices and Systems [M]. Kluwer Academic Publishers, 1994.
- [2] Hai Young Lee. Wideband characterization of mutual coupling between high density bonding wires [J]. IEEE Microwave and Guided Wave Letters, 1994, 4(8): 265-267.
- [3] H M Greenhouse. Design of planar rectangular microelectronic inductors [J]. IEEE Transactions on Parts, Hybrids, and Packaging, 1974, PHP-10(2): 101-109.
- [4] F W Grover. Inductance Calculations [M]. Dover Publications, New York, N. Y., 1962.

感不敏感. 此电感要求为 pH 数量级. 图 8 为测量 SSN 噪声值的电路. 通过测量片上电感上的 SSN 绝对值, 就可以比较不同布局的 SSN 噪声性能, 图中  $L_g$  是片上电感, 其它为寄生电感. 除此之外, 还有插入 2 个、7 个和 9 个地线引脚的 SSN 芯片. 图 9 给出了采用均匀插入引脚并经过上节描述的算法优化布局后, SSN 噪声幅度与插入地线引脚数目的实际测试曲线图. 流程计算得到的值完全反映了实际噪声随插入地线数和优化变化的趋势, 其中实测值和计算值之间固定偏差是测试芯片片上电感引入的系统偏差. 从图可见当插入地线数很少时, 由于优化的余地很小, 故平均插入和优化插入的两条曲线趋于一致.

- [5] F E Teman. Radio Engineering Handbook [Z]. McGraw Hill, New York, 1943: 48-60.
- [6] E B Rose, F W Grover. Formulas and Tables for Calculation of Mutual and Self Inductance [S]. Bulletin of the Bureau of Standards 8 1-238 (1912).

### 作者简介:



徐栋麟 男, 1977 出生于上海, 硕士研究生. 1999 年毕业于复旦大学电子工程系, 获理学学士学位. 现在复旦大学专用集成电路和系统国家重点实验室攻读硕士学位. 感兴趣的领域有: CMOS 模拟 RF 电路设计, 高速低电压低功耗集成电路设计和自动化设计流程的研究.

郭新伟 1977 出生于浙江省湖州, 硕士研究生. 1998 年毕业于复旦大学电子工程系, 获理学学士学位. 现在复旦大学专用集成电路和系统国家重点实验室攻读硕士学位, 硕士毕业论文题目为高速折叠内插式模数转换器, 感兴趣的领域有: 数模混合电路的噪声分析, 超大规模集成电路的高速模拟电路及其单元的设计.