

改进击穿电压和导通电阻折中性能的线性变化掺杂漂移区 RESURF LDMOS 晶体管

何 进¹, 张 兴¹, 黄 如¹, 林晓云², 何泽宏²

(1. 北京大学微电子学研究所, 北京 100871; 2. 绵阳应用电子技术研究所, 四川绵阳 646300)

摘 要: 本文提出了改进击穿电压和导通电阻折中性能的线性变化掺杂漂移区 RESURF LDMOS 晶体管新结构. 用二维器件软件 MEDICI 对具有线性变化掺杂漂移区的 RESURF LDMOS 晶体管的性能进行了数值分析并由实验对其结果进行了验证. 结果表明: 在相同的漂移区长度下, 该新结构较之于优化的常规 RESURF LDMOS 晶体管, 它的击穿电压可由 178V 提高到 234V, 增加了 1.5 倍, 而比导通电阻却从 $7.7\text{m}\cdot\text{cm}^2$ 下降到 $5\text{m}\cdot\text{cm}^2$, 减小了 30%, 显示了很好的击穿电压和导通电阻折中性能. 实验结果也证实了数值分析的预言.

关键词: LDMOS 器件; RESURF 原理; 线性变化掺杂漂移区; 击穿电压; 导通电阻

中图分类号: TN331 **文献标识码:** A **文章编号:** 0372-2112 (2002) 02-0298-03

Linearly-Graded Drift Region-Doped (LGDRD) RESURF LDMOS with an Improved Trade-off between the Breakdown Voltage and On-Resistance

HE Jin¹, ZHANG Xing¹, HUANG Ru¹, LING Xiao-yun², HE Zhe-hong²

(1. Institute of Microelectronics, Peking University, Beijing 100871, China;

2. Institute of Application Electrical Technology, Mianyang, Sichuan 646300)

Abstract: A linearly-graded drift region-doped LDMOS transistor is evaluated in this paper. The characteristics of the LDMOS with a linearly-graded drift region-doped profile have been demonstrated by the 2D semiconductor simulator MEDICI and verified by our experimental results. It has been shown that the reduction of the on-resistance by 30% from $7.7\text{m}\cdot\text{cm}^2$ to $5\text{m}\cdot\text{cm}^2$ in the on-state and increase of the breakdown voltage by a factor of 1.5 from 178V to 234V in the off-state are obtained for the presented LDMOS structure when compared with those of the optimized conventional RESURF device.

Key words: LDMOS; linearly graded doped profile; on-resistance; breakdown voltage

1 引言

LDMOS 晶体管是 HVIC 和 SPIC 中最重要和最广泛使用的器件之一, 对其优化设计的一个基本要求就是在获得尽可能大的击穿电压的同时也尽量减小导通电阻. 通常情形下, RESURF 技术是 LDMOS 设计优先采用的工艺方案^[1]. 然而, 在 RESURF LDMOS 中, 这两个参数常常是相互矛盾的, 高的击穿电压总是伴随着高的导通电阻. 尽管人们为减小导通电阻作出了许多努力, 先后提出了多重电阻漂移区, 漂移区表面离子注入层和漂移区上 SIPOS 淀积层等新技术, 但这些技术并未从根本上改进击穿电压和导通电阻的折中关系.

R. Stengl 和 H.J. Schulze 等人用横向变掺杂来提高 P-N 结的边缘击穿电压^[2,3]. 何进从理论上证明: 如果对 SOI 型 RESURF LDMOS 器件采用线性变化掺杂漂移区则可得理想的表面电场分布, 该结构从根本上改进了器件的击穿电压和导通电阻的折中关系^[4]. S. Merchant 等人也从实验上证实: 具有线性变化掺杂漂移区的 SOI 型 RESURF LDMOS 晶体管有很

好的击穿电压和比导通电阻性能^[5,6]. 尽管如此, 由于 SOI 材料高的成本和 SOI 器件特有的自加热效应, 该结构在 HVIC 和 SPIC 中的应用目前受到很大限制.

在本研究中, 我们根据上述掺杂变化调节电场分布的相似原理提出了结隔离型的线性变化掺杂漂移区 RESURF LDMOS 晶体管新结构. 用二维器件软件 MEDICI 完成的数值分析表明: 该新结构较之优化的常规 RESURF LDMOS, 在相同的漂移区长度条件下具有较高的击穿电压和较低的比导通电阻. 我们完成的实验也证实了数值分析所预言的线性变化掺杂漂移区 RESURF LDMOS 晶体管特性.

2 RESURF LDMOS 晶体管的数值分析

提出的结隔离型的线性变化掺杂漂移区 RESURF LDMOS 晶体管新结构就是在常规的 RESURF LDMOS 结构基础上, 由离子注入和退火实现其漂移区掺杂的线性分布, 浓度从源区到漏区逐渐增加. 在实际器件工艺中, 线性变化掺杂漂移区由掩模上一系列从小到大的窗口来实现^[7]. 而在器件的数值分

析中,则由多个具有不同浓度的均匀掺杂微区来模拟.为了对新结构的性能有一个更好的对比,我们也对优化的常规 RESURF LDMOS 器件进行了分析.除两者有相同的漂移区长度 $12\mu\text{m}$,外延厚度 $4\mu\text{m}$,沟道浓度 $5 \times 10^{16}\text{cm}^{-3}$,衬底浓度 $2 \times 10^{15}\text{cm}^{-3}$,栅氧化层厚度 $0.04\mu\text{m}$ 和源漏结构外,线性变化掺杂漂移区 RESURF LDMOS 晶体管漂移区掺杂为 $1 \times 10^{15}(1 + 10^4 x/L)\text{cm}^{-3}$, L 为漂移区长度;而优化的常规 RESURF LDMOS 器件漂移区掺杂浓度为 $1.8 \times 10^{15}\text{cm}^{-3}$.

本研究用半导体模拟软件包 MEIDICI 完成器件的数值分析.图 1 是两种 RESURF LDMOS 器件在击穿条件下的电势分布图.

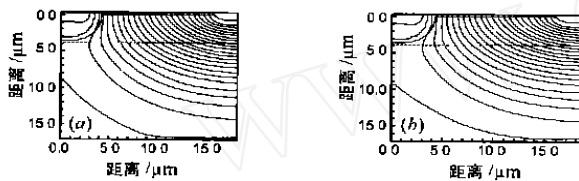


图 1 模拟得到的两种器件结构在击穿条件下的电势分布图(每格 10V). (a) 线性变化掺杂漂移区 RESURF LDMOS 电势分布. (b) 优化的常规 RESURF LDMOS 电势分布.

从图 1 可以看出:在线性变化掺杂漂移区 RESURF LDMOS 晶体管结构中,电势以几乎均匀的方式分布在漂移区中,仅仅在栅下和漏的边界出现电力线的集中,这是因为结的曲率效应.该结构的击穿电压达到了 234V .而在常规的 LDMOS 结构中,尽管优化的结构参数使它在栅下和漏的两个边界的电力线的集中几乎相同,但电势在整个漂移区是非均匀分布的,漂移区的中心部分电力线最为疏松,电力线的非均匀导致局部峰值电场的上升,结果是使其击穿电压大大下降,仅为 178V .

图 2 所示的在击穿状态下的一维表面电场分布更清楚地显示了两种器件在电场分布上的区别.对优化的常规 RESURF LDMOS,电场分布类似两个单边的线性缓变结构的结合,很高但几乎相等的两个峰值电场出现在栅下和漏的边界,然后逐渐向漂移区的中心部分下降,最后在漂移区的中心电场达到极小值.很明显,整个漂移区的电场是严重非均匀的,

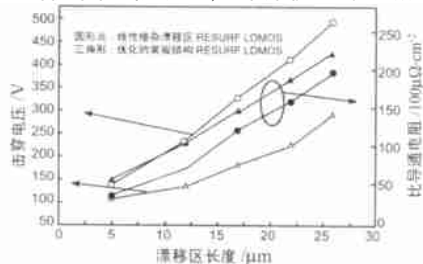


图 3 不同漂移区长度下由数值分析得到的线性变化掺杂漂移区和优化的常规 RESURF LDMOS 在击穿电压和比导通电阻的对比.

3 实验及结果

上述数值分析结果可由 CMOS 工艺线上加工的 LDMOS

击穿电压因边界高的峰值电场增强而受到限制,仅仅为 178V .对于非优化的常规结构,因电场分布的非对称性,击穿电压还会大大下降.

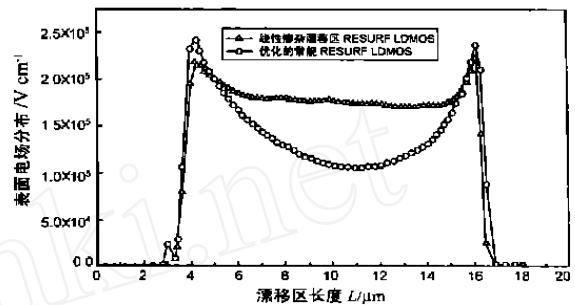


图 2 模拟得到的两种器件在击穿条件下的一维表面电场分布对比

作为对比,线性变化掺杂漂移区 RESURF LDMOS 晶体管的电场分布虽然也在栅下和漏的边界出现两个峰值电场,但该峰值电场较低.更重要的是:在整个漂移区的电场分布几乎是平坦、均匀的.该理想的电场分布导致了该结构的更高击穿电压.在相同的漂移区长度 $12\mu\text{m}$ 条件下,线性变化掺杂漂移区 RESURF LDMOS 晶体管击穿电压为 234V ,较之于即使优化的常规 RESURF LDMOS 晶体管提高了 1.5 倍.

数值分析发现:线性变化掺杂漂移区 RESURF LDMOS 在击穿电压提高的同时,其比导通电阻也有很大的改进.从器件的 $I-V$ 特性中可以方便地得到比导通电阻.对于模拟的漂移区长度为 $12\mu\text{m}$ 的结构,常规和线性变化掺杂漂移区 RESURF LDMOS 的比导通电阻分别为 $7.7\text{m}\Omega\cdot\text{cm}^2$ 和 $5\text{m}\Omega\cdot\text{cm}^2$,后者较之前者减小了 30% .为了对器件的性能有全面的理解,我们又模拟了不同漂移区长度时两种结构的性能.在不同漂移区长度下,由数值分析得到的优化的常规结构和线性变化掺杂漂移区新结构在击穿电压和比导通电阻的对比如图 3 所示.

从图 3 可以观察到:线性变化掺杂漂移区 RESURF LDMOS 晶体管具有改进的击穿电压和比导通电阻折中性能,一定程度上缓解了常规器件在击穿电压和比导通电阻上的矛盾.

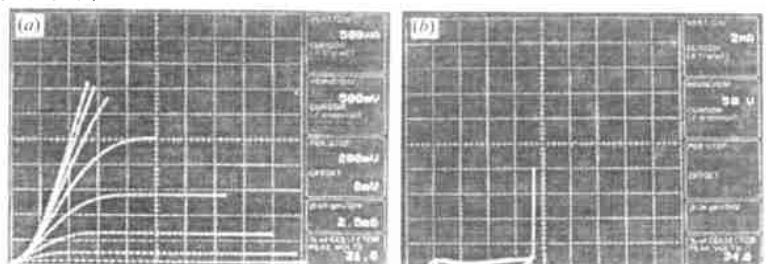


图 4 实验得到的线性变化掺杂漂移区 RESURF LDMOS 晶体管性能.

- (a) 线性变化掺杂漂移区 RESURF LDMOS 晶体管的 $I-V$ 特性;
(b) 线性变化掺杂漂移区 RESURF LDMOS 晶体管的击穿特性

器件的测试数据得到证实.线性变化掺杂漂移区 RESURF LDMOS 晶体管特殊的漂移区掺杂分布由类似文献[3]的掩模版得到,详细的设计规则和具体尺寸可参考文献[6]的内容.

所用开始材料为(100)晶向的硅片,衬底掺杂浓度为 $2 \times 10^{15} \text{cm}^{-3}$. 当外延 $4 \mu\text{m}$ 厚的漂移区后,特殊的漂移区版被用来形成一系列宽度不同的注磷窗口. 用 100eV 的能量和 $6.1 \times 10^{12} \text{cm}^{-2}$ 剂量进行漂移区的磷注入,并淀积 400nm 厚的 LTO 层以阻止磷在退火推进时的外扩散. 用 800 分钟 1200 的退火条件在 Ar 气氛中形成最后的掺杂分布. 其他的工艺步骤同常规的 CMOS 加工. 结果得到的器件性能如图 4 所示. 漂移区长度为 $12 \mu\text{m}$ 的线性变化掺杂漂移区 RESURF LDMOS 器件击穿电压为 240V . 当栅电压为 1.5V 时该器件的比导电电阻为 $5.4 \text{m} \cdot \text{cm}^2$. 实验得到的数据非常接近数值分析的 234V 击穿电压和 $5 \text{m} \cdot \text{cm}^2$ 比导电电阻.

4 结论

在本文中,我们提出了线性变化掺杂漂移区 RESURF LDMOS 晶体管新结构. 用二维器件软件 MEDICI 对该新结构 LDMOS 的特性进行了模拟分析. 结果表明:该新结构较之于优化的常规 RESURF LDMOS 晶体管显示了很好的击穿电压和导电电阻折中性能. 实验结果也证实了数值分析得到的该结构晶体管的性能.

参考文献:

- [1] J A Apples , H M J Vaes. High voltage thin layer devices [A]. in IEDM Tech. Dig [C], 1979 : 238 - 241 .
- [2] R Stengl , U Gøsele. Variation of lateral doping-A novel concept to avoid high voltage breakdown of planar junctions [A]. IEDM Tech. Dig [C], 1985 : 154 - 157 .
- [3] H J Schulze , R Kunhnert. Realization of a high-voltage planar junction terminations for power devices [J]. Solid State Electronics , 1989 , 32 : 175 - 176 .
- [4] Jin He , Xing Zhang , Ru Huang , Yangyuan Wang. Maximum breakdown voltage and ideal doping profile of TFSOI RESURF structure [J]. Chinese Journal of Electronics , 2001 , 10 : 310 - 314 .
- [5] S Merchant , E Arnold , H Baumgart , R Egloff , T Letavic , S Mukherjee , H Pein , R Pinker. Dependence of breakdown voltage on drift length and buried oxide thickness in SOI RESURF LDMOS transistor [A]. In Proc. 5th Int. Symp. Power Semiconductor Devices and IC 's , ISPSD [C], 1993 : 124 - 128 .
- [6] T M L Lai , J K O Sin , M Wang , V M C Poon , P K Ko. Implementation of linear doping profile for high-voltage thin-film SOI devices [A]. In proc. 7th Int. Symp. Power Semiconductor Devices and IC 's , ISPSD [C], 1995 : 315 - 320 .

作者简介:



何进男, 博士, 副教授. 1988 年本科毕业于天津大学电子工程系. 1993 年硕士毕业于电子科技大学信息工程学院. 1999 年在电子科技大学微电子所获得博士学位. 现在北京大学微电子所工作. 主要研究领域为新型 MOS 功率器件、深亚微米 MOS 器件新结构及半导体表面新的表征技术等. 作为第一作者, 已在国际权威期刊上发表研究论文 20 多篇, 在国内重要期刊上发表研究论文近 40 篇.



张兴男, 博士, 教授. 1986 年本科毕业于南京大学. 1989 年硕士毕业于 771 所. 1993 年在 771 所获得博士学位. 现在北京大学微电子所工作. 主要研究领域为深亚微米 MOS 器件新结构及 ASIC 技术等.