

一种适于数据通路应用的高性能可编程逻辑单元

郭斌林, 童家榕

(复旦大学微电子系专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 本文提出了一种适于数据通路应用的快速可编程逻辑单元. 该单元采用功能增强的 MUX 结构, 在配置为异或同或 多路选择器(XOR/XNOR/MUX) 结构时, 只用一个单元的开销就可实现一位全加器、基本乘法单元等适于数据通路应用的功能. 该单元还能实现全部 3 输入逻辑和部分 4~7 输入逻辑, 也是一种满足通用逻辑应用的结构. 这种单元的组合逻辑部分只采用了 3 个 2 选 1 多路选择器(2:1 MUX) 和两个功能增强的输入可反相编程的多路选择器(2:1 EMUX), 有效地节省面积和提高了速度. HSPICE 模拟分析表明, 在 5V、0.6 μ m 工艺条件下, 该单元的最大时延小于 0.6ns, 进位时延小于 0.1ns. 其性能、速度和面积优势非常明显.

关键词: FPGA; 可编程单元; 数据通路

中图分类号: TP332 **文献标识码:** A **文章编号:** 0372-2112(2002)02-0180-04

A High Performance Programmable Logic Cell for Datapath Application

GUO Birr lin, TONG Jiar rong

(ASIC & System State Key-Lab, Microelectronics Dept., Fudan University, Shanghai 200433, China)

Abstract: Presents a high speed programmable logic cell for datapath, whose architecture consists of enhanced multiplexer. When the cell is configured for XOR/XNOR/MUX scheme, it can achieve the functions such as one bit full adder and base multiplier cell and so on for datapath application. It is also configured for all 3 input logic and some logic between 4 and 7 input, and used for general combinational logic. The cell is only made up of three 2:1 MUX and two enhanced 2:1 MUX inverted by programming, achieves fast speed and costs little chip area. The advantages of its speed and area are proved by simulation analysis with HSPICE. The larger propagating delay is less than 0.6ns and the carry chain delay is less than 0.1ns under 5V, 0.6 μ s CMOS process.

Key words: FPGA; programmable cell; datapath

1 引言

在诸如声音图象处理、数字通信、实时控制等领域, 需要大量的加法、乘法、FFT、DCT 变换等运算. 这些运算用基于数据通路(Datapath) 应用的 FPGA 来实现能取得较 DSP 更快的速度, 与专用芯片(ASIC) 相比在速度上也非常接近些, 但在开发速度、开发成本上却要优越得多. 许多公司为了适应这一发展趋势的需要, 在其推出的 FPGA 器件中纷纷加入了对 Datapath 支持的特性, 如 Xilinx 的 XC4000^[1]、Altera 的 FLEX10k^[2] 等. 但是这些器件在实现数据通路应用时还存在着不尽人意之处, 其可编程逻辑单元 LC(Logic Cell) 都采用查询表 LUT(Look Up Table) 结构, 当实现一位全加器 FA(Full Adder) 时, 其时延还是较大、芯片面积利用率也不高. Actel 公司的 ACF-1 和 ACF-2 逻辑块, 是一种基于多路选择器 MUX(Multiplexer) 的结构, 这种结构占用面积小、速度较快. 然而, 当要配置为一个一位 FA 时, 往往要用两个逻辑块才能实现. 这不但增加了芯片的面积开销, 而且严重影响了时延性能. 因此, 人们提出了一些新结构^[3,4] 来克服这些问题. 希望新结构对 Datapath 应用有很好的

支持, 同时又能兼顾通用逻辑的实现.

本文提出了一种适于 Datapath 应用的可编程逻辑单元, 这种单元采用基于 MUX 的结构, 对实现 Datapath 应用是优化的. 实现一位全加器、基本乘法单元功能时, 只需一个单元的开销, 其速度和面积优势也非常明显. 一般来说, 可编程逻辑单元 LC 由组合逻辑和时序逻辑两部分组成, 大多数逻辑功能的实现及性能, 主要取决于组合逻辑部分. 本文研究的 LC 结构主要针对组合逻辑部分.

2 逻辑单元设计策略

基于 Datapath 的 LC 设计根据这样的事实, 即:“在大多数的数据通路应用中, 一位全加器是基本的运算单元”. 在此基础上, 外加一定的逻辑门及适当的连线可以实现乘法、FFT、DCT 变换等运算. 典型的一位全加器可表示如下:

$$Sum = A \oplus B \oplus C_{in} = P \odot C_{in} = \bar{P}C_{in} + P\bar{C}_{in} \quad (1)$$

$$C_{out} = AB + (A + B)C_{in} = AB + (\bar{A}\bar{B} + \bar{A}B + A\bar{B})C_{in} = G + PC_{in} \quad (2)$$

其中, Sum 为和数输出; C_{in} 、 C_{out} 分别表示进位输入和进

位输出; $G = AB$ 、 $P = A \oplus B$ 分别表示进位产生和进位传输. 如果用“异或”、“同或”门来实现式(1)和(2)的逻辑函数, 则可表示为如图 1 两种功能完全等价的电路形式.

图 1 中, 如果“同或”门和“异或”门的最大传输时延(简称时延)相同, 并且大于 MUX2 的时延时, 则对两种全加器的输入端 A 、 B 到输出端 Sum 的时延而言, 图 1(b) 要优于图 1(a). 另外, MUX1 为一级专用进位链, 两种电路的进位结构相同, 因此相应的进位时延也相同. 设计 LC 结构时, 应使这种结构能被配置为图 1(b) 所示的全加器, 以达到较快的运算速度. 为了构造可编程结构, 采用图 2(a) 所示的输入可编程反相的 2:1 MUX 来实现“同或”或“异或”逻辑, 图 2(b) 为其逻辑符号. 其中, $P1$ 、 $P2$ 为编程位; $I0$ 、 $I1$ 为输入端; S 为选择端. 显然, 通过编程、输入端和选择端的不同组合, 该电路能实现任

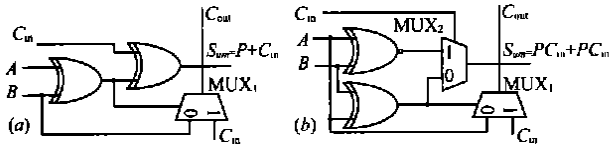


图 1 一位全加器的两种逻辑实现

3 逻辑单元结构

基于以上分析, 我们构造了一个基于 EMUX 结构的逻辑单元, 它能高效地配置为图 1(b) 所示的一位全加器, 如图 3 所示.

该基本逻辑单元由两个 2:1 EMUX 和两个 2:1 MUX 构成. 当要实现一位全加器时, MUX1、MUX2 可配置为“同或”和“异或”逻辑, MUX3 输出和数结果. MUX4 为一级进位链, 提供专用的快速进位输出. 图 4 为该 LC 被配置为一位全加器的逻辑结构及相应的全加器符号, 它在功能和时延上与图 1(b) 相同. 下面分析该 LC 实现普通组合逻辑的情况, 由于 MUX1、MUX2 的数据输入端都是可编程反相的, 在输入端可交换的条件下, MUX1、MUX2 能实现任意 2 输入的函数. 根据 Shannon 展开式^[5]可以证明, 该 LC 能实现任意 3 输入及部分 4~6 输入函数. 对多于 4 输入变量的函数, 由于数量很多尚未仔细研

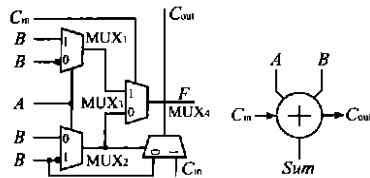


图 4 一位全加器的配置结构

增加一个 2:1 MUX 后, 会增加一些时延, 然而使 LC 实现函数的能力得到了增强, 这是值得的. 功能扩展后的逻辑单元 ELC 具有的特点为: (1) 在配置为全加器时, MUX1 和 MUX2 是并行工作的, 是一种同或异或 MUX(XOR XNOR MUX) 组态, 能取得较快的运算速度. (2) 被编程为一位全加器、乘法单元时, 器件功能发挥充分, 芯片的面积利用率高. (3) 在编程为一般组合逻辑使用时, 可实现任意三输入单输出函数, 部分 4~7 输入单输出函数, 能满足通用组合逻辑的需要. (4) 该结构

意 2 输入、部分 3 输入的函数. 我们把这种两个输入端可编程为反相的 MUX, 称做功能增强的多路选择器 EMUX(Enhanced Multiplexer).

由图 2 可见, EMUX 被编程为“同或”或“异或”门时, 其最大时延均为一个反相器加两级传输门的时延. 因此, 图 1(a) 的时延为两个反相器加四个传输门的时延, 比图 1(b) 要多出一个反相器加一个传输门的时延, 图 1(b) 的时延性能更好些. 虽然在面积开销上, 图 1(a) 要比图 1(b) 少一个 MUX, 但能配置为这种连接的 LC 并不一定能省面积. 因为, 为了能够实现较多的组合逻辑, LC 还必须包含其它器件, 这也会增加芯片的面积开销. 我们在考虑 LC 的结构时, 既要使其有良好的时延特性、能实现尽可能多的逻辑, 又要尽可能少地占用芯片资源提高芯片面积的利用率, 要在这些因素中作出权衡.

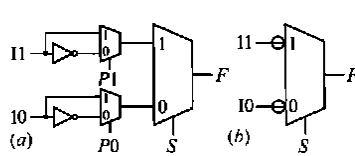


图 2 输入可编程反相的 MUX

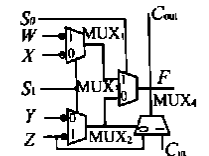


图 3 基本逻辑单元

究. 最明显的一个例子是, 图 3 的单元中, MUX1 和 MUX2 的输入均编程为同相时, 能实现 4:1 MUX, 它具有两个选择端(S_0 、 S_1)、4 个输入信号端(W 、 X 、 Y 、 Z). 该 LC 结构只用了 4 个 MUX, 就能编程为一个一位全加器, 及实现足够多的随机逻辑, 其面积利用率很高, 实现的全加器也能取得快速的速度性能.

但是这种 LC 结构还存在不足. 如, 还不能只用一个 LC 来实现乘法单元. 因为一般乘法器是由乘法单元组成的矩阵来实现, 而乘法单元又是由一个与门和一个一位的 FA 构成. 这意味着, 在实现乘法单元时要消耗两个 LC, 一个实现一位 FA, 另一个仅仅配置为与门, 这将严重降低芯片面积的利用率、影响 Datapath 应用性能. 解决这一不足的方法是: 在图 3 的 S_1 端增加一个 MUX, 以此来扩展基本 LC 的功能. 图 5 为功能扩展的逻辑单元 ELC(Extend Logic Cell) 结构. 图 6 为一个 ELC 配置为乘法单元时的情况及相应的符号.

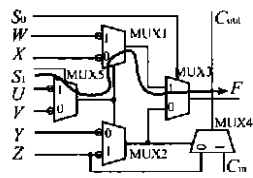


图 5 功能扩展的逻辑单元

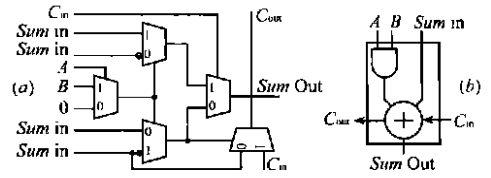


图 6 乘法单元的配置结构

全用 MUX 来实现, 非常规则, 有利于工艺映射.

4 时延分析

分析 ELC 时延性能的方法是, 先找出一条从信号输入端到输出端的最大时延的关键路径. 然后, 对这路径进行 HSPICE 模拟, 求出其最大时延. 本文 MUX 中的传输门采用 PMOS 和 NMOS 互补的方式来实现. 信号从 MUX 的输入端到输出端, 只经过一级传输门, 时延较小; 信号从选择端到输出

端的时延约为一个反相器加一个传输门的时延, 时延较大. 对如图 2(a) 的输入可编程反相的 MUX, 其最大时延为输入端编程为反相的情况. 此时为一个反相器的时延加两级传输门的时延, 时延最大. 因此, 可把时延分成大、中、小三种情况, 分别用 T_2 、 T_1 、 T_0 来表示:

$$T_2 = T_{inv} + 2T_{transm} \quad (3)$$

$$T_1 = T_{inv} + T_{transm} \quad (4)$$

$$T_0 = T_{transm} \quad (5)$$

其中: T_{inv} 、 T_{transm} 分别表示一级反相器和传输门的时延. 一般 T_{inv} 是 T_{transm} 的几倍, 可以看出, 到输出端 F 的关键路径 T_{p_max} 从选择端 S_1 开始, 如图 5 中的一条虚线所示. 可表示如下:

$$T_{p_max} = 2T_1 + T_0 = 2T_{inv} + 3T_{transm} \quad (6)$$

式(6)表明, 输出端 F 的最大时延为两个反相器的时延加三个传输门的时延, T_{p_max} 的 HSPICE 模拟实验曲线如图 7 所示. 模拟条件为 5V、0.6 μ m CMOS 标准, PMOS 管和 NMOS 管的宽长比分别为 2.4 μ m/0.6 μ m、1.2 μ m/0.6 μ m.

图 7 中的三条曲线分别为: S_1 端输入的驱动信号 (S_1 Driving Signal)、LC 的输出 ($Logic Cell Out$) 和 LC 经反相器输出 ($Inverter Out$) 的波形. 模拟结果显示, ELC 经反相器输出的最大时延 T_{p_max} 小于 0.6ns. 另外, 模拟实验还表明, 四级进位链串联后的总时延为小于 0.4ns, 如图 8 所示. 其中 $Co_1 \sim Co_4$ 表示每级进位链的波形, 经过一个反相器输出 ($Inverter out$) 的总时延为 0.5ns. 因此, ELC 平均每一级进位链的时延为小于 0.1ns.

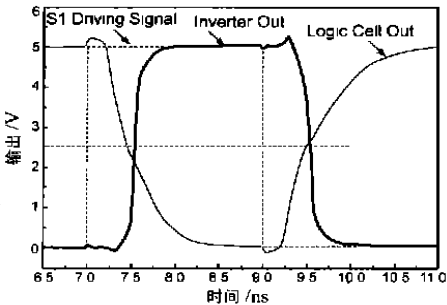


图 7 逻辑单元的输入/输出波形

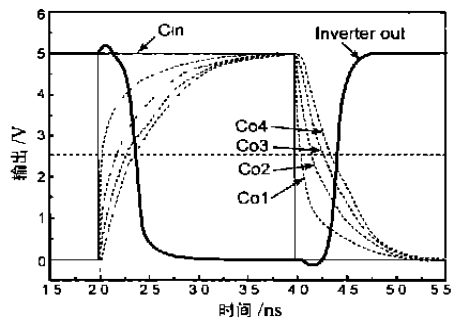


图 8 进位链各级输出波形

5 性能分析和比较

通过 ELC 结构的讨论和相应的时延分析, 再与目前商用 FPGA 的 LC 结构进行比较, 来说明 ELC 结构的逻辑实现能力和时延性能. 目前, 最有代表性的 FPGA 产品为 Xilinx 的 XC4000、Altera 的 FLEX 10K 和 Actel 的 ACT-2 结构. FLEX10K 和 XC4000 都是基于四输入 LUT 的结构. 但是 FLEX10K 的模块结构更加简单规则, 并且可以将四输入 LUT 分解成两个三输入 LUT, 以实现一位 FA, 实现数据通路逻辑所需的 MOS 管

数比 XC4000 要少, 性能较好. 所以选择 FLEX10K 进行比较, 首先比较时延性能. 在相似的工艺条件下, 用我们的实验数据与 FLEX10K 和 ACT 2 的 LC 结构的时延数据进行了比较, 比较结果如表 1 所示. 比较表明, ELC 在时延上是 FLEX10K LC 的 40%; 是 ACT 2 LC 的 50%. 这无论在数据通路应用, 还是组合逻辑应用上都是很优的. 在进位时延上, 也有非常明显的优势, 只是 FLEX10K LC 的 1/8.

表 1 时延性能比较

时延性能	基于增强 MUX 的 LC (ELC)	基于 LUT 的 LC (FLEX10K)	基于 MUX 的 LC (ACT-2)
输入数据的最大时延 T_{o_max} (ns)	0.6	1.5	1.2
进位时延 T_{c_max} (ns)	0.1	0.8	0.2*

注: * ACT 2 无专用进位逻辑, 需用一个 LC 来实现进位逻辑. 在此, 仅计算单元被配置为进位逻辑的情况.

在逻辑能力的实现上, 主要以 Datapath 应用中的一些典型电路为实例, 来进行比较. 比较内容为实现相同功能的逻辑时, 所需的芯片面积开销. 比较的器件为 Altera 的 FLEX10K, 比较结果如表 2 所示. 其中, FA8 是带溢出判断的 8 位行波进位加法器; CAS8 是可控 8 位加减器; MUL4x4 是采用斜向进位的阵列乘法器.

表 2 面积比较结果 (仅计算组合电路部分)

Datapath 电路	FLEX10K 占用 LC 的数目	使用 ELC 的数目	FLEX10K 折合的 MOS 管数	用 ELC 时折合的 MOS 管数
FA 8	11	9	1870	360
CAS8	16	9	2720	360
MUL4x4	31	19	5270	760

每个 ELC 组合部分的 MOS 管数为 40 个, 而 FLEX10K 的 LC 约为 170 个. FLEX10K 也用了一个逻辑单元就实现了基本的一位全加器, 但对输入端出现的某些附加逻辑 (如乘法器中的 AND2 等简单门), FLEX10K 就不得不用整个四输入 LUT 去实现, 因此就占用了较多的硬件资源. 表 2 的结果显示, ELC 比基于 LUT 的 FLEX10K 平均大约节省 30% 的逻辑单元; 折合成管子级, 则比 FLEX10K 少用 80% 的 MOS 管. 器件的节省, 减少了所需的硬件资源, 进一步提高了时延特性.

6 结论

(1) 通过分析一位全加器的功能, 构造出一种功能增强的可编程逻辑单元 ELC 结构. 模拟实验表明, 这种结构的最大时延小于 0.6ns, 进位时延小于 0.1ns. 是一种快速的 LC 结构. 这种 ELC 非常适合于作为快速“硬件计算”的 Datapath 应用.

(2) 该 ELC 的时延和芯片面积利用率均较一般商用 FPGA 的 LC 高, 结构的组合部分采用两个 2:1 MUX 和两个 2:1 E-MUX. 除了能很好地应用于数据通路应用外, 也能实现全部 3 输入和部分 4~7 输入单输出逻辑, 组合逻辑功能也得到很好的发挥.

(3) 由于该结构除了有速度快外, 还有结构规则、精简的特点, 非常有利于用算法实现工艺映射, 能充分发挥 CAD 工具的作用. 该结构还能用作 IP 核, 嵌入到数据通信、多媒体、实时控制等应用中.

(4) 影响 FPGA 性能的因素很多,除 LC 外,连线结构对 FPGA 的性能也是至关重要的.限于篇幅,不在此详述,以后将另文阐述.

参考文献:

- [1] Data Book, Xilinx [S]. Inc., 1999.
- [2] Data Book, Altera [S]. Inc., 1999.
- [3] T Miyazaki, A Takahara, M Katayama. PROTEUS like project: Dedicated to developing a telecommunication oriented FPGA and its applications [J]. IEEE J. VLSI System, Aug. 2000, 8: 401- 415.
- [4] P Chow, Soon O Seo, J Rose. The design of an smrn based field programmable gate array, Part I: architecture [J]. IEEE J. VLSI System, Aug. 1999, 7: 201- 225.
- [5] S Vincentell, A Ei Gamal, J Rose. Synthesis methods for field programmable gate array [J]. Proc of the IEEE, July, 1993, 81: 1057- 1083.

作者简介:



郭斌林 男, 1969 年 12 月 10 日出生于杭州. 微电子与固态电路专业. 现为复旦大学微电子系专用集成电路与系统国家重点实验室 1999 级博士研究生. 从事现场可编程阵列 FPGA, 现场可编程混合阵列 FPMA 及 ASIC 的研究.



董家榕 男, 1945 年 6 月 10 日出生于杭州. 教授, 复旦大学博士生导师, 信息科学与工程学院副院长. 长期从事微电子领域的研究工作, 主要包括 FPGA、FPMA、ASIC、IP 核的结构研究, 及工艺映射、布局布线、性能验证等 IC CAD 工具的研究, 取得多项成果.

被动式多雷达系统的多目标数据融合

王 成¹, 李少洪¹, 王鑫全², 黄 槐²

(1. 北京航空航天大学电子工程系, 北京 100083. 北京无线电测量研究所, 北京 100854)

1 概述

由于被动式雷达具有高度的隐蔽性和生存能力, 因此它被广泛应用到各种预警雷达和反辐射导弹系统中. 但被动式雷达没有距离量测, 无法对其进行定位. 完成目标三维定位需要多个被动式雷达联合工作, 并通过数据融合技术得到更精确的目标位置信息. 在多目标情况下, 要实现数据融合, 首先要进行测量值关联, 即分清各个雷达站的数据是否来自于同一个目标, 并把属于同一目标的多个站数据组合在一起, 然后根据一定的融合算法把属于同一目标的多个雷达站量测数据合成起来, 最后进行多目标量测点迹与航迹关联及卡尔曼滤波处理. 本文根据被动式雷达的具体情况, 讨论了几种融合算法, 并对其进行仿真, 找出了一种有效的方法.

2 多站多目标测量值关联

设有三个无源观测站分别置于 (x_{si}, y_{si}, z_{si}) $i = 1, 2, 3$, 各站对目标量测的高低角和方位角为 (θ_j, ϕ_j) $j = 1, 2, \dots, m$, 其中 m 为目标数. 假设虚警概率和漏检概率均为零, 即每个观测站的每次量测都是正确的. 由于每站的量测对目标定位缺少距离信息, 需要利用至少两个站对同一目标的测量值才能对其定位, 这就要求对三个观测站量测值进行数据融合. 在融合之前首先要进行测量值关联, 在各观测站的量测值中各任取一个, 形成一种组合, 判断它们是否来自同一目标, 如果来自同一目标, 则是一种正确的组合, 找出 m 个正确组合就完成了测量值关联. 在理想情况下, 即各观测站没有量测误差, 则它们对于同一目标测量值确定的射线相交于一点, 这交点就是目标的真实位置. 但在实际情况下, 各观测站的测量均有误差, 对于同一目标测量值确定的射线并不相交于一点, 所以

数据关联就是在某种判决准则条件下, 寻找一个测量值集合, 使其形成目标位置最接近目标真实位置.

设有三个观测站, 在三个观测站中各取一组测量值, 其中任意两个测量值可以确定空间中的一点, 三个测量的组合共可确定三个交点, 设对第一个站取第 j 个测量 (θ_{1j}, ϕ_{1j}) , 对第二站取第 k 个测量 (θ_{2k}, ϕ_{2k}) , 第三站取第 l 个测量 (θ_{3l}, ϕ_{3l}) , 其中 $j, k, l = 1, 2, \dots, m$, 则所确定的三个交点为:

由第一、二站测量值 (θ_{1j}, ϕ_{1j}) 、 (θ_{2k}, ϕ_{2k}) 可确定空间一交点 $X_{12}(j, k) = [x_{12}, y_{12}, z_{12}]$,

由第二、三站测量值 (θ_{2k}, ϕ_{2k}) 、 (θ_{3l}, ϕ_{3l}) 可确定空间一交点 $X_{23}(j, k) = [x_{23}, y_{23}, z_{23}]$,

由第三、一站测量值 (θ_{3l}, ϕ_{3l}) 、 (θ_{1j}, ϕ_{1j}) 可确定空间一交点 $X_{31}(j, k) = [x_{31}, y_{31}, z_{31}]$.

当无测量误差情况下, 当这组测量值来源于同一目标时, 由这组测量值求得的三个交点必为同一点, 否则, 这三个交点在空间上是分散的. 当存在测量误差情况下, 假设各站的测量误差(相对于目标间距)很少, 当这组测量值来源同一目标时, 三个交点接近于同一点即三点的平均值, 否则它们对于三点的平均值分散程度很大. 我们定义三个交点的分散度来描述这组测量值的关联程度:

$$d_{ij} = D[X_{12}(j, k), X_{23}(k, l), X_{31}(l, j)] = \sqrt{d_1^2 + d_2^2 + d_3^2}$$

其中: $d_1^2 = (x_{12} - x_0)^2 + (y_{12} - y_0)^2 + (z_{12} - z_0)^2$; $d_2^2 = (x_{23} - x_0)^2 + (y_{23} - y_0)^2 + (z_{23} - z_0)^2$; $d_3^2 = (x_{31} - x_0)^2 + (y_{31} - y_0)^2 + (z_{31} - z_0)^2$; $x_0 = (x_{12} + x_{23} + x_{31})/3$; $y_0 = (y_{12} + y_{23} + y_{31})/3$; $z_0 = (z_{12} + z_{23} + z_{31})/3$.

(下转第 204 页)