

小面积低功耗掩膜 ROM ASIC 设计

崔 崑, 韩月秋, 陈 禾, 李 昀

(北京理工大学电子工程系, 北京 100081)

摘要: 本文介绍了一种利用 0.6 μm 单硅双铝双阱 CMOS 工艺实现的 4Kbit 掩膜 ROM 专用集成电路设计 (ASIC)。ROM 单元应用串行结构, 整个芯片的面积为 0.082mm²。在 5 伏电源下, 功率延迟积为 0.036pJ/bit, 最大工作电流为 1.2mA, 最大静态漏电流为 0.1 μA 。采用一种新颖的灵敏放大器有效地提高了 ROM 的访问速度, ROM 的访问时间为 36ns。

关键词: CMOS 工艺; 只读存储器 (ROM); 低功耗; 译码器; 灵敏放大器

中图分类号: TP333 **文献标识码:** A **文章编号:** 0372-2112 (2002) 06-0934-03

A Small Area Low Power Consumption Mask ROM ASIC Design

CUI Wei, HAN Yue-qiu, CHEN He, LI Yun

(Department of Electronic Engineering, Beijing Institute of Technology, Beijing 100081, China)

Abstract: The ASIC design of a 4K bit mask-programmable CMOS ROM is introduced, and the ROM has a small area of 0.082mm² with a power-delay product of 0.036pJ/bit. The high packing density and the excellent power-delay product have been achieved by using double well, single polysilicon, double metal 0.6 μm CMOS technology and a serial ROM cell structure. The power supply currents in active and quiescent modes are 1.2mA and less than 0.1 μA at +5V, respectively. Using a novel and simple sensitive amplifier/driver structure efficiently reduces the memory access time. The memory access time is 36ns.

Key words: CMOS technology; ROM; low consumption; decoder; sense amplifier

1 引言

只读存储器 (ROM) 作为 VLSI 的代表产品而被广泛应用于各个领域。一个性能优良的 ROM 应具备面积小, 功耗低及读取快等特点。在本文所述的 ROM 设计中, 面积是最主要的优化目标同时兼顾功耗和速度的优化。本文所述的 ROM 的拓扑版图如图 1 所示。

我们设计了 2⁸ × 16 位 ROM, 它分为以下组成模块: (1) 存储阵列; (2) 译码电路 (分为行译码器和列译码器); (3) 地址瞬态检测 (ATD) 电路; (4) 灵敏放大器。我们将在下文中依次讨论这些模块的设计。

2 存储阵列结构

ROM 芯片的面积主要决定于其存储单元的尺寸, 因此保持存储单元的尺寸尽可能小是非常必要的。对于小规模

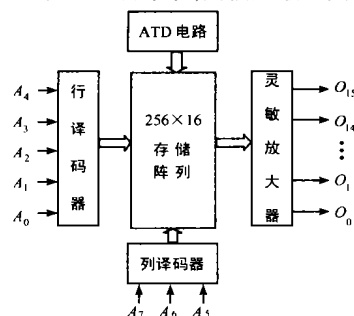


图 1 ROM 的拓扑结构框图

ROM 设计经常被采用的单元结构有两种^[1,2]: 或非门类型或并行单元结构及与非门类型或串行单元结构。

在并行单元结构中, 代表每个存储单元的晶体管并行连接, 存储单元的内容 ('0' 或 '1') 由金属到扩散区接触孔的有无来决定。这种单元结构有着高速访问的优势, 但它的缺陷是接触孔的存在大大增加了单元尺寸^[3]。

ROM 串行单元结构是被 Hiroto Kawagoe 提出^[4]。代表每个存储单元的 MOS 晶体管串行连接, 每个存储单元的内容由 MOS 晶体管的增强或耗尽模式来决定。这种单元结构的不利是相对较慢的访问速度, 但接触孔的去除使其尺寸大大减小。因此我们采用串行单元结构。

值得注意的是, 在串行单元结构中, 由于串行链的存在, 低电平输出电压 V_{OL} 是串行链中晶体管行数及晶体管掩膜编程二者的函数。因此, 为保证有效的低电平输出, 必须精心设计上拉晶体管的宽长比 (W/L)_p 以使上拉晶体管的等效电阻大于下拉晶体管链的等效电阻。当串行链中所有下拉晶体管处在开通状态时, 上拉晶体管宽长比的最大值能够被得出。在我们的 ROM 设计中, 行地址 5 位, 串行链中晶体管数为 25 = 32 行。NMOS 晶体管使用最小尺寸 (W/L)_N = 4/2。不失一般性地假定 32 个晶体管能够被一个 32 倍长度的晶体管等效代

替,电子的迁移率是空穴的 2.5 倍,PMOS 的开启电压 V_{Tp} 和 NMOS 的开启电压 V_{Tn} 数值相等,即 $V_{Tn} = |V_{Tp}| = V_T = 0.75$,则上拉晶体管的最大宽长比能由下式得出^[5].

$$V_{OL} = (V_{DD} - V_T) \left(1 - \sqrt{1 - \frac{k_p}{k_n}} \right)$$

$$= (5 - 0.75) \left(1 - \sqrt{1 - \frac{32(W/L)_p}{2.5(W/L)_n}} \right) \quad (1)$$

取 $V_{OL} = 2.5V$ 得出 $(W/L)_p = 0.13$. 在我们的 ROM 设计中,考虑到噪声容限,取 $(W/L)_p = 0.1$.

3 地址译码器

地址译码器的设计对整个 ROM 的访问速度和功耗有着重要的影响. 在我们的设计中,地址译码器由两部分组成:行译码器和列译码器. 和 ROM 存贮阵列类似,行译码器也能通过或非及与非阵列结构实现. 两种结构的 2~4 线译码器如图 2 所示.

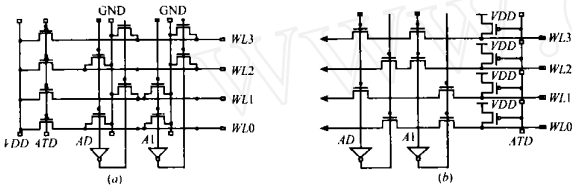


图 2 两种结构 2~4 线译码器. (a) 2~4 线或非译码器; (b) 2~4 线与非译码器

或非译码器能达到更快的译码速度,但由存贮阵列一节分析知其占用面积较大. 并且或非结构译码器功耗较大,因为在访问 ROM 过程中几乎所有译码字线都存在直流通路,而在非结构译码器中只有一条译码字线存在直流通路. 从面积和功耗方面考虑,与非阵列译码结构被采用.

列译码器可以被视为多路选择器,但基于树状结构的列译码器的设计大大降低了 MOS 晶体管的数量. 对于一个 2^k 和八字线的列译码器而言,所需晶体管数量能够由式(2)近似得出^[6].

$$N_{tree} = 2^k + 2^{k-1} + \dots + 4 + 2 = 2 \times (2^k - 1) \quad (2)$$

$$N_{tree} = 2^k + 2^{k-1} + \dots + 4 + 2 = 2 \times (2^k - 1) \quad (2)$$

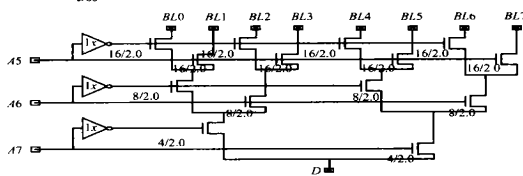


图 3 8 选 1 树状列译码器

在我们的 ROM 设计中采用图 3 所示的列译码器. 由于不需要预译码,获得了芯片面积和访问速度的双重收益. 值得注意的是在树状译码器中晶体管的尺寸要逐级加大以获得最优的访问速度及扇出能力.

4 ATD 电路

在我们的 ROM 设计中,地址瞬态检测(ATD)电路被用做 ROM 的预充电路,这使得整个 ROM 的静态功耗几乎为零. 输入地址上的任何一次变化均能引起 ATD 电路产生脉宽为 t_d

的低电平脉冲,这个脉冲信号作为 ROM 存贮阵列和译码阵列的预充信号. 考虑到其扇出较大,一个强驱动 buffer 被放置在输出级. 我们采用的 ATD 电路的原理如图 4 所示^[7].

在串行单元结构掩膜 ROM 设计中,由于每个存贮单元存‘0’还是存‘1’取决于扩散区多数载流子的掺杂浓度高低,一些串行链是对地连通的. 这使得预充信号有效时,存贮阵列串行链和行译码电路仍然是有比电路. 这也是我们在上文中进行上拉晶体管的宽长比 $(W/L)_p$ 讨论的原因.

为估算静态功耗,我们仿真了在存贮阵列最严酷的串行链(所有位均存‘0’)上电流随预充信号变化情况,仿真曲线如图 5 所示.

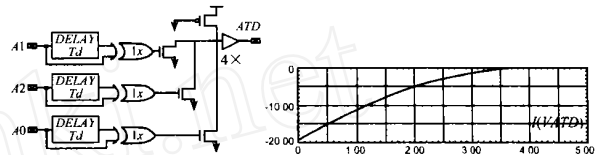


图 4 地址瞬态检测电路 图 5 串行链上电流随 ATD 信号变化曲线

仿真结果显示,在 ATD 信号有效时 ($V_{ATD} = 0V$),串行链上的最大电流是 $19.27\mu A$. 在我们的 ROM 设计中,预充时间等于 $18ns$. 假定地址转换频率用 f_{tran} 表示,不失一般性地假定整个 ROM 中 50% 的存贮单元存零,同时从上文的分析与非结构译码器的静态功耗可忽略不记,则 ROM 的静态功耗为:

$$P_{shat} = V_{DD} I_{leak} V_{DD} \times I_{ATD} \times N \times 0.5 \times f_{tran} \times t_d$$

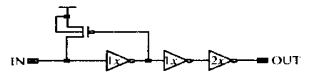
$$= 1.1 \times 10^{-10} f_{tran} \quad (3)$$

其中 V_{DD} 代表电源电压,在我们的设计中它是 $5V$, I_{leak} 表示 ROM 总的漏电流, I_{ATD} 表示每根串行链上的最大漏电流, N 代表串行链数目, t_d 表示预充时间.

由式(3)知 ROM 的静态功耗是非常小,几乎可被忽略. 譬如,当 $f_{tran} = 10MHz$ 最大静态功耗仅为 $1.1mW$.

5 灵敏放大器

在 ROM 设计中,灵敏放大器主要起两个作用:(1)恢复信号满幅值;(2)提高芯片扇出驱动能力. 但对于输入端变化较缓(充电时间较长)的信号,一般灵敏放大器很难既有效地实现信号放大,又能提高输入信号边沿变化率,从而提高 ROM



的访问速度. 在我们的 ROM 设计中应用了一种简洁的灵敏放大器结构,它能有效地解决信号放大及速度提升问题. 它的原理如图 6 所示.

在图 6 所示的结构中,在灵敏放大器的输入端连一上拉 PMOS 晶体管. 只要 PMOS 晶体管的宽长比选取合适,输入信号由低到高过渡时充电电流主要由 PMOS 晶体管构成的上拉路径提供. 在灵敏放大器输入路径上 PMOS 上拉晶体管存在与否两种情况下,我们对灵敏放大器的输入端信号进行仿真,得到图 7 所示曲线.

仿真结果显示,加入 PMOS 上拉晶体管后,输入信号的上升时间从 $16.8ns$ 降到 $10.7ns$ (信号从 $2.3V$ 上升到 $3.0V$). 上

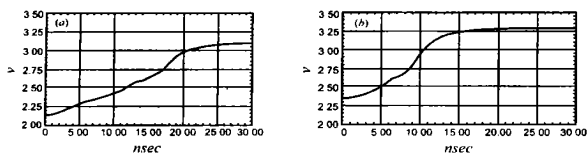


图 7 两种情况下输入信号电压上升曲线。(a) 不存在 PMOS 上拉管；(b) 存在 PMOS 上拉管

拉晶体管的使用直接提高了 ROM 的访问速度。

在设计中,信号的放大及驱动功能由三级反向器构成的反向器链完成。针对变化范围为 2.4V ~ 2.6V 的输入信号,各级反向器的输出信号如图 8 所示^[8]。

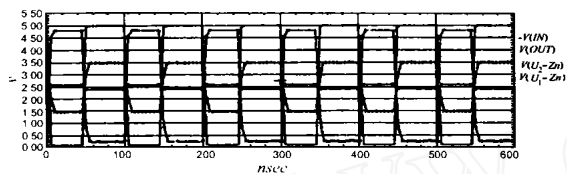


图 8 灵敏放大器中各级反向器输入和输出波形

6 芯片特性及测试结果

图 9 给出了我们设计的 ROM 芯片的版图。这个芯片设计有如下特点：

- (1) 运用全定制设计方法,采用有效的存储阵列和译码阵列结构,整个芯片的尺寸有效地获得了降低。采用标准的 0.6μA 单硅双铝双阱 COMS 工艺,芯片面积仅为 0.082mm²;
- (2) 使用 ATD 电路作为预充电路降低了芯片功耗,芯片功率延迟积等于 0.036pJ/bit;
- (3) 通过设计一种简单的灵敏放大器有效地实现了对信号的放大及对访问速度的提升;
- (4) 精心的版图设计及合理的尺寸匹配也直接提高了 ROM 的访问速度。这个芯片的访问时间是 36ns。表 1 给出了该芯片的特征参数。



图 9 4K bit CMOS ROM 版图结构

表 1 4K bit CMOS ROM 芯片的特征参数

存储器结构	256 ×16
电源电压	5V
访问时间	36ns
最大工作电流	1.2mA
最大漏电流	0.1μA
功率延迟积	0.036pJ/bit
存储单元尺寸	2.2 ×2.1μm
芯片尺寸	0.51 ×0.16mm ²

7 结论

本文介绍了一个 4Kbit 掩膜 ROM 的 ASIC 设计,对 ROM 的各个组成模块的设计进行了详细讨论。通过合理组织结构,设计取得了高的综合指标:芯片面积 0.082mm²,功率延迟积 0.036pJ/bit,访问时间 36ns。

参考文献:

- [1] Motorola. Memory device data. Specification Data Book [M]. Chicago : Motorola Company,1991.
- [2] Kamuro S, et al. A 256K ROM fabricated using n-well CMOS process technology [J]. IEEE J Solid-State Circuit, 1982, SC-17 (4) : 723 - 725.
- [3] Masuoka, et al. Reviews and prospects of non-volatile semiconductor memories [J]. IEICE Transactions, April 1991, E74 (4) : 868 - 874.
- [4] Kawagie, Tsuji N. Minimum size ROM structure compatible with silicon gate E/D MOS LSI [J]. IEEE J Solid-State Circuits, 1976, SC-11 : 360 - 364.
- [5] Rabaey Jan M. Digital Integrated Circuits :A Design Perspective [M]. Beijing : Tsinghua University Press, 2000.
- [6] Hodges P Jackson H. Analysis and Design of Digital Integrated Circuits [M]. New York :Mc Graw-Hill, 1999.
- [7] 甘学温. 数字 CMOS VLSI 分析与设计基础 [M]. 北京:北京大学出版社, 1999.
- [8] Foly D. MOSFET Modeling with SPICE: Principle and Practice [M]. USA :Prentice Hall, 1997.

作者简介:



崔 巍 男,1976 年生于内蒙古通辽市,1998 年北京理工大学应用物理系获理学学士学位;目前在北京理工大学电子工程系攻读博士学位(硕博连读),研究领域包括:CMOS 模拟和数字集成电路设计;数字信号处理的 VLSI 实现;高速实时信号处理。



韩月秋 男,1936 年生于安徽天长,教授,博士生导师,就职于北京理工大学电子工程系,主要研究领域包括:雷达信号处理,ASIC 设计及其在数字信号处理上的应用,曾获国家二等发明奖等多项奖励。