

可配置非幂方分频器的全新设计方法

张多利, 李 丽, 高明伦, 程作仁

(合肥工业大学微电子设计研究所, 安徽合肥 230009)

摘要: 本文采用基于计数空间完全划分和周期插入控制计数过程方法设计了非幂方分频器, 采用这种全新思路设计的非幂方分频器分频范围很宽, 分频输出对后续分频支持好, 非常适用于通讯接口中的波特率时钟设计. 此外, 这种设计思路对系统定时电路和节拍控制电路设计也有一定的借鉴意义.

关键词: 可配置; 非幂方分频器; Verilog-HDL

中图分类号: TN391 **文献标识码:** A **文章编号:** 0372-2112(2002)08-1250-03

A New Design Method of the Configurable Non exponential Prescaler

ZHANG Duo-li, LI Li, GAO Ming-lun, CHENG Zuoren

(Institute of VLSI Design, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: The core of the traditional arbitrary frequency divider is periodically resetting. This paper proposes a new concept for frequency divider, in which control element is periodically inserted into a counter to avoid reset. The mathematical work of the new concept is given in the paper. An algorithm based on the new concept is introduced also. And, a design practice based on the algorithm shows a visible improvement in terms of both performance and recourse cost, compared with the traditional design methodology.

Key words: configurable; non exponential prescaler; Verilog-HDL

1 引言

随着微电子设计的不断发展, 设计规模越来越大, 系统内部时钟也越来越复杂, 从而对时钟分频电路设计提出了更高的要求. 一般来说, 系统内部的分频时钟可以分为三种^[1]: 实现系统时序控制的主控时钟、实现系统定时功能的定时时钟和用于系统与外界通讯同步的波特率时钟. 这些时钟都是通过输入时钟或系统的内建时钟进行分频来实现的. 但由于这些时钟的作用不同, 相应的实现方法也不同.

时钟的分频是由分频器来实现的, 按分频倍数不同可分为幂方分频器和非幂方分频器. 幂方分频器的分频倍数都是2的幂方(如2, 4, 8等), 而非幂方分频器则可以是任意的倍数. 系统的主时钟通常是由输入时钟或内建时钟通过幂方分频得到的, 因此用简单的幂方分频就可以实现. 但对于复杂系统, 其工作频率多是可以软件配置的, 这时可能需要采用较复杂的非幂方分频器来实现. 波特率时钟用来控制系统与外界通讯的波特率, 一般要求有较宽的可配置范围, 所以波特率时钟通常是由包括非幂方分频器在内的一系列分频器分频生成的. 至于定时时钟, 其本身的生成并不复杂, 但定时控制电路的实现同样是一种周期信号生成电路^[2], 所以本文给出的可配置非幂方分频器设计方法对定时控制电路的设计也具有借鉴意义.

本文分析了可配置非幂方分频器设计方法中所包含的数

学思想, 并与传统的设计方法进行比较. 与传统的非幂方分频器相比, 本文所设计的分频器分频范围更宽, 且具有更大的可扩充空间.

2 传统非幂方分频器的设计

N 分频电路的设计思想是描述一个对输入时钟平均每 $N/2$ 个周期响应一次的控制流. 利用最简单的边沿触发控制流, 就可以实现2分频, 依次使用边沿触发控制流, 就可以得到2的幂方分频时钟. 这样的分频时钟描述简单, 综合出的电路也很简单, 但缺点是不能实现非幂方分频. 根据这种设计思想, 不难发现, 计数器刚好可以实现非幂方分频功能. 实际应用中的非幂方分频器设计也正是采用了计数原理.

传统非幂方分频器是计数原理的简单、直接应用^[3, 4]. 图3(a)给出了传统非幂方分频器的设计结构图. 从图中可以看出, 除计数电路外, 其它模块的描述方法都趋于固定, 没有优化的余地, 故传统的非幂方分频器都是围绕计数电路来设计的, 根据不同的分频需要, 选择不同计数电路的实现方法. 需要指出的是, 计数电路的设计通常不采用行为描述, 而是采用结构化描述方式, 原因在于综合工具的局限性, 通常行为描述综合后的面积比较大, 时序特性也不好.

不管选用哪种计数电路, 哪种描述方法, 分频范围都是相同的, 从设计结构图可以看出, 分频倍数由配置字直接决定, 分频输出只有一路, 可扩展性不好. 而对于波特率时钟的生成

来说,为了扩大其频率的覆盖范围,一般还要进行后分频,通常采用幂方分频.由于传统方法分频倍数是整数,经过后分频波特率时钟频率的连续性就会变坏.本文将介绍一种可配置非幂方分频器的设计,从分频效果上看它可以实现非整数分频输出,对后分频支持很好,有很好的可扩展性.

3 可配置非幂方分频器的设计

通过分析传统非幂方分频器的实现方法可以看出,它的局限性在于配置字只与分频输出时钟的翻转直接对应,对计数电路的计数过程影响十分单一——定时复位,计数器的所有计数状态没有被完全利用.我们设计一种算法,使它在不断断计数的情况下通过影响计数过程来获得需要的分频输出,这样可以利用计数器的所有计数状态.基于这种考虑我们设计了一种多路输出的非幂方分频器.

3.1 可配置非幂方分频器的分频原理

如果我们在计数过程中周期性插入延迟周期,就可以改变分频输出时钟的频率.以一个最简单的二分频为例.如果在每个低电平输出时插入一个输入时钟周期的延迟,即当低电平到来后,在下一个输入时钟上升时刻输出时钟并不翻转,仍然保持为低,延迟到再下一个时钟周期翻转.这相当于在 1 位计数器计数为 0 时插入一个输入时钟节拍,从而得到一个三分频输出.三分频的 RTL 级设计综合后的逻辑图和仿真波形见图 1.

从仿真、综合结果可以看出,在特定的节拍内插入延迟周期来影响计数过程,完全可以得到我们想要的非幂方分频.这里需要指出的是,从分频效果的角度来看,分频倍数是指在一个公共循环内分频输出和输入时钟上升沿(或下降沿)出现的次数比.三分频的输出波形占空比不为 1,但这并不影响它作为波特率时钟的功能,因为它的边沿是按三倍输入时钟周期出现的.而且非幂方分频通常并不单独使用,它的输出会送到后分频电路,经过再次分频后输出,其占空比就可以为 1 了,有很好的可扩展性.对于由二分频时钟获得三分频输出,只有一种周期插入方式,而对多位计数器进行周期插入控制,则可以有多重周期插入方式,并且可以得到多路分频输出.

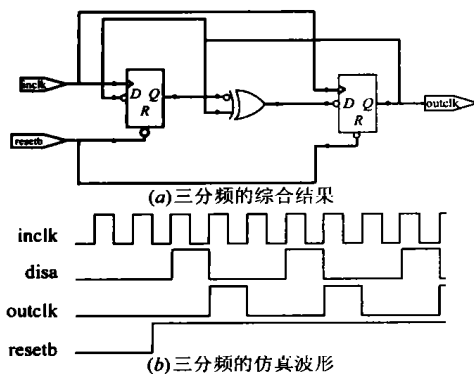


图 1 三分频综合逻辑图和仿真波形图

3.2 可配置非幂方分频器的分频算法

一个 8 位计数器有 256 个计数状态,理论上可以有 2^{256} 种插入组合,但考虑到周期插入的周期性以及有些组合效果的

重复性,有效组合远没有那么多.根据时钟周期性的要求,应有如下插入准则:若计数值为 N 时插入一个周期的输入时钟,

$N = a_7 * 2^7 + a_6 * 2^6 + a_5 * 2^5 + a_4 * 2^4 + a_3 * 2^3 + a_2 * 2^2 + a_1 * 2 + a_0$, 且有 $\prod_0^{j-1} a_i = 1$ 而 $\prod_0^{j+1} a_i = 0$, 其中 $j = 0, 1, 2, \dots, (j < 8)$, 这里 $a_i = 0$ 或 1, $i = 0, 1, \dots, 7$, a_8 恒为 0.

则当计数值为 M 时,也应插入一个周期, $M = a_7 * 2^7 + \dots + a_j * 2^j + 2^0 + 2^1 + \dots + 1$, 其中 $a_7 \sim a_{j+2} = 0$ 或 1.

依据这一准则,可以保证当计数循环一周后,整个计数过程可以完全回到初始状态,满足时钟插入的周期性.这样,实际的可能情况只有 $j = 0, 1, 2, \dots, 7$ 八种情况.显然这 8 种情况的组合全集都是满足周期性条件的,所以可能组合是 256 种,用一个 8 位的配置字就可以实现完全配置了.

前面的准则实际上是对计数器的 256 个状态进行了一个划分,依据这个划分,我们可以得出用配置字控制周期插入的算法.划分与配置的关系如图 2.图中,整个大的正方形平面表示计数器输出 $q[7:0]$ 的 256 个状态,依据准则刚好形成一个划分,有八个部分,他们分别代表 8 种周期插入比例,并按照等比数列的关系

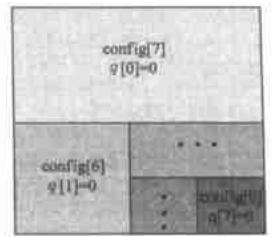


图 2 计数状态划分与配置关系

递减,8 种插入比例可以分别由配置字 config 的 7 到 0 位配置.当 config[7] 为 1 时,在计数器最低位为 0 时插入一个输入时钟周期,当 config[6] 为 1 时,则计数器后两位为 $2^2 b01$ 时插入周期,当 config[5] 为 1 时,在计数器后 3 位为 $3^2 b011$ 时插入周期…….不同的周期插入频率将导致计数器输出信号的不同翻转频率,进而产生不同的分频输出.config 各位之间不需要采用独热方式(one hot),因为它们并不重叠,由此可以很容易地得到周期插入的控制逻辑.

3.3 可配置非幂方分频器的 Verilog HDL 实现

分析了可配置非幂方分频器的原理,给出了算法之后,这种分频器的设计结构就很清晰了.它同样需要有一个计数模块,但不需要比较模块,取而代之的是用于控制周期插入的模块.此外,由于 8 位计数器的每一位都可以作为分频输出时钟,所以要有输出选择控制.可配置非幂方分频器的设计结构见图 3(b).设计结构图中的阴影部分表示可以优化的模块,可见,这种分频器设计中,除了可以进行计数电路的优化外,还可以通过选择不同算法,采用不同的组合逻辑,从而得到设计者所需要的不同分频效果.对于计数电路的优化,我们用一个结构级描述的计数器代替了行为描述的计数器,综合门数降低,从而节约了面积.对于组合逻辑,本文是在前面所提的全空间划分算法的基础上给出了一种组合逻辑描述方法.

3.4 可配置非幂方分频器的配置方法

根据图 2 的划分表可以得出,计数器循环一次插入的周期数为

$$P = \text{config}[7] * 2^7 + \text{config}[6] * 2^6 + \dots + \text{config}[0]$$

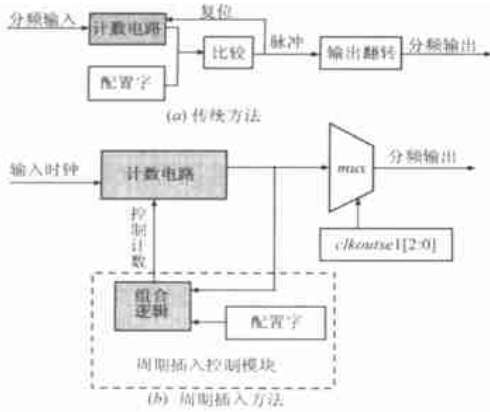


图3 传统方法和周期插入方法的结构比较

即为 config 的表示值大小,这也是我们选取这种配置关系的原因.若把 $q[7]$ 作为分频输出,分频倍数可由公式 $F = 256 + \text{config}$ 给出.实际上计数器的各位都可以作为分频输出,相邻位之间为 2 分频的关系,由此可得到一个各位的分频倍数表,见表 1.要实现某一分频输出,可从表 1 选择相应的输出项,依据如下公式设定配置字:

$$F_{obj} = f_{\min}(i) + \text{config} \times \text{step}(i);$$

其中 F_{obj} 是要获得的分频倍数, $f_{\min}(i)$ 是第 i 路分频输出的最小分频, $\text{step}(i)$ 是第 i 路分频输出的步长, config 是配置字.例如,要得到 28 分频,可选择第四路分频输出,设定配置字为 $8hc0$.则分频倍数为:

$$16 + 8hc0 \times \frac{1}{8h10} = 28$$

可以看出,若 config 的取值不是 $\text{step}(i)$ 分母的整数倍时,分频输出为分数.这是从效果上来说,二者上升沿(下降沿)在一个大的周期内(这里是计数器整个计数过程循环一次的时间)出现的次数比为分数.分频输出时钟在大的时钟周期内各时钟节拍的宽度会有不同,这种时钟很少直接使用,但与后分频结合起来使用,

可以获得标准时钟,还可以进而弥补后分频采用幂方分频对分频输出时钟频率连续性的破坏.

4 同传统设计方法的性能比较

同传统非幂方分频器相比,利用周期插入方法设计的非幂方分频器不仅有更大的可配置空间和更好的可扩充性,在

速度和面积上也优于前者.表 2 给出了 8bit 配置字的周期插入非幂方分频器和传统

表 2 综合后性能比较

	周期插入	传统 8bit	传统 9bit
面积(门)	204	271	301
速度(MHz)	216	186	156

8bit 和 9bit 非幂方分频器采用 Exempler 工具综合后的性能比较.这里列出了 9bit 传统非幂方分频器的性能,是因为 8bit 的周期插入非幂方分频器实际上可以达到传统分频器 9bit 的分频效果(511 分频).

5 结束语

周期插入的方法是一种新的分频方法,采用周期插入可以对整个分频过程(计数过程)进行控制,增加了可配置范围,因而对后分频支持很好.这对于通讯接口中的波特率时钟设计尤其重要.此外,这种设计思想对定时电路的设计及一些节拍控制电路的设计也有很好的借鉴意义.

参考文献:

- [1] Douglas J Smith. HDL Chip Design [M]. Doone Publication, 1998. 310 - 358.
- [2] 李丽,高明伦. 8 位 RISC 微控制器 IP 软核的设计 [J]. 微电子学与计算机, 2001, 4(3): 10-14
- [3] 樊昌信. 数字专用集成电路设计 [M]. 北京: 人民邮电出版社, 1993.
- [4] 高明伦,胡永华,等. IIC 总线接口及 PCFIIC 桥的 VLSI 设计 [J]. 微电子学与计算机, 1999, 增刊: 26-38.

作者简介:



张多利 男,1976 年 4 月出生在黑龙江省七台河市,博士研究生,目前主要研究方向为 SOC 设计方法学、微控制器设计方法的研究.



李丽 女,1975 年 1 月出生于黑龙江省双鸭山市,博士研究生,主要研究方向为计算机接口电路等 IP 技术的研究、微控制器设计方法的研究及 VLSI 体系结构的研究等.

高明伦 男,1945 年 7 月出生于北京,教授,博士生导师,主要研究领域为 VLSI 设计理论和方法的研究