

可编程 SAW 滤波器 CMOS 集成电路的研究

陈 英, 朱大中

(浙江大学信息科学与工程学院信息与电子工程学系, 浙江杭州 310027)

摘 要: 本文介绍了一种采用 $1\mu\text{m}$ CMOS 工艺实现的可编程声表面波滤波器的八位取样、加权、控制、叠加集成电路, 并对电路的性能进行了模拟和测试, 同时与延迟线型、多组 IDT 型的声表面波滤波器以多芯片模式进行在线功能测试. 该电路由两个三明治电容和两个高宽长比的高跨导 NMOS 晶体管组成. 该电路结构简单, 制造工艺与传统的 CMOS 工艺兼容. 该集成电路的工作频率范围为 $15\text{MHz} \sim 250\text{MHz}$ 时, 插入损耗为 $-8\text{dB} \sim -20\text{dB}$, 加权电路开关比 (on/off ratio) 为 $7\text{dB} \sim 18\text{dB}$ 左右.

关键词: CMOS 集成电路; 可编程声表面波滤波器; 加权开关比; 三明治电容

中图分类号: TN72 **文献标识码:** A **文章编号:** 0372-2112 (2002) 08-1207-03

The Research of Programmable SAW Filter CMOS IC

CHEN Ying, ZHU Da-zhong

(Department of Information Science and Electronics Engineering, Zhejiang University, Hangzhou, Zhejiang 310027, China)

Abstract: A $1\mu\text{m}$ CMOS eight-bit integrated circuit was designed and fabricated, used for sampling, weighting, controlling and summing of both SAW delay lines and SAW IDTs in multi-chip module (MCM) programmable SAW filter. Its characteristics and performances are simulated and tested. The circuit of each bit consists of two sampling capacitances which are made in sandwich structure of two layers of Al and one layer of poly-silicon and also consists of two high transconductance NMOSFETs with high W/L ratio. The circuit is simple and compatible with traditional CMOS processes. Its insertion loss is about $-8\text{dB} \sim -20\text{dB}$ within $15\text{MHz} \sim 250\text{MHz}$ frequency and the weighted circuit's on/off ratio is within the range from 7dB to 18dB .

Key words: CMOS IC; programmable SAW filter; on/off ratio; sandwich capacitance

1 引言

2000 年世纪之交时, 也是集成电路技术取得巨大成就的时刻(2000 年诺贝尔物理奖授予集成电路发明人 Jack Kilby 等人). 目前集成电路技术发展的主流方向为 SOC (System on Chip) 片上系统集成和 XYZ Chip (XYZ on a Chip) 多功能芯片集成. 本研究内容涉及了微电子学和固态电子学科中的一个新兴研究领域——固态微波电子学 (Solid state Microwave Electronics), 它是近年来随着信息产业的高速发展, 特别是通信技术和网络技术高速发展所涌现出的一个新兴的学科交叉点.

近十多年来, 可编程声表面波滤波器取得了迅速的发展, 国外已经报道了多种可编程 SAW 滤波器的实现方法, 采用的加权器件有: 双栅 MOSFET^[1], MOS 可变电容^[2], 二极管衰减阵列^[3]等等. 可编程声表面波滤波器最重要的创新在于可作为天线前置滤波器把接收的无线电信号谱用可编程的加权信号, 实现所需频段的信号的高灵敏度低噪声带通选择, 从本质上改变了传统的调谐接收技术, 实现了信号接收和处理的集成化和软件化, 在移动通信、计算机网络通信、全球卫星通信和航空航天一体化通信、导航、识别集成系统等方面具有重

要的前途. 本文应用高宽长比的 NMOS 晶体管的电阻特性作为加权控制, 并设计研制出了 $1\mu\text{m}$ CMOS 八位可编程声表面波滤波器的取样、加权、控制、叠加集成电路芯片. 它可以和多种结构的声表面波滤波器以多芯片模式进行组装, 组成可编程声表面波滤波器.

2 器件工作原理和芯片设计

可编程声表面波滤波器 $1\mu\text{m}$ CMOS 集成电路由八位单元电路组成, 其单元电路的等效电路和版图结构如图 1(a) 和 (b) 所示. 图 1(a) 中电容 C_1 和 C_2 串联作为信号源第一级分压器, 将输入信号 V_{SAW} 用固定因子 $F_1 = C_1 / (C_1 + C_2)$ 耦合到 NMOS 管 T_1 的源极. 由于在 V_{ds} 比较小的一定范围内, MOSFET 呈现出线性电阻特性, 其电阻值受栅电压的控制. 对于 NMOS 等 T_1 来说, 栅电压越高, 其电阻越小. 因此 T_1 管的可变电阻以及寄生的负载电阻形成了第二级分压器, 其可变因子为 $F_2 = R_{\text{load}} / (R_{\text{load}} + R_{\text{on}})$ ($0 < F_2 < 1$). 输入信号源 V_{SAW} 经过固定因子 F_1 和可变因子 F_2 的加权得到输出射频电压 V_b . 输入信号源 V_{SAW} 为声表面波滤波器声路中输出端的每个 IDT 的输出

信号, 因此改变 $T1$ 管的栅电压 V_G , 可以改变 $T1$ 管的源漏电阻, 实现对滤波器声路中输出 IDT 的权值大小的控制. 每一单元的 $T1$ 管的漏端接在一条输出叠加总线上, 声路输出端的

另一个 NMOS 管 $T2$ 控制单元电路加权电压 (V_W) 信号的写入. 当 $T2$ 管的栅压 V_{con} 保持导通状态, 加权电压 V_W 加到 $T1$ 管的栅极. 由于栅电容的存储作用, $T1$ 管的栅上的电压 V_G 将保持不变直到有新的加权信号 V_W 写入. 通过写入不同的加权信号, 就可以灵活地实现滤波器的输出信号的中心频率在可编程范围内的任意变化, 即可编程功能.

本电路采用 1 微米的单层多晶双层铝的标准 CMOS 工艺. 该电路中电容占的面积较大, 不宜采用薄氧化层电容. 因此, 决定选用 INS-IN-PS 三明治电容. 如果将 PS (多晶硅) 层、IN (第一层铝) 层和 INS (第二层铝) 层作为电容电极层, 并将这些导电层之间的氧化层作为介质层. 把 INS 和 PS 连在一起作为电容器的外极板, IN 作为电容器的内极板, 特征电容 (单位面积电容值) 就会变大, 这种电容被称为三明治电容, 如图 1(c) 所示. 在这种电容中, 电阻较高的 PS 层接触特性比较好, 而且平面化的影响也最小; 其电容的线性好, 受电压影响小; 其特征电容为 $118.5 \text{ aF}/\mu\text{m}^2$, 相当于 INS-IN 结构电容的特征电容 $65.0 \text{ aF}/\mu\text{m}^2$ 和 IN-PS 结构电容的特征电容 $53.5 \text{ aF}/\mu\text{m}^2$ 之和. 如图 1(b) 中电容 $C1$ 的大小为 7.3875 pF , 电容 $C2$ 的大小为 1.2789 pF .

在本设计中, $T1$ 管的作用是作为一个可变电阻, 可变因子 F_2 的范围在 0 到 1 之间. 由于寄生负载电阻的存在, 当 $T1$ 管处于导通状态下, 其阻值应该比较小 (50Ω 左右), 使得 F_2 接近于 1. 而在 $T1$ 截止时其阻值应该趋向于无穷大, 使得 F_2 趋向于 0. 通常 MOSFET 在截止状态时的阻值都比较大 ($4 \text{ k}\Omega$ 以上), 为了使其导通电阻比较小, 得到接近于 1 的 F_2 值, $T1$ 管的宽长比应该取较大值. 因此本电路中 $T1$ 管和 $T2$ 管采用多条栅结构. $T1$ 管的宽长比为 $W/L = 600$, $T2$ 管的宽长比为 $W/L = 100$. 本文研制的可编程声表面波滤波器集成电路芯片扫描照片如图 2 所示的.

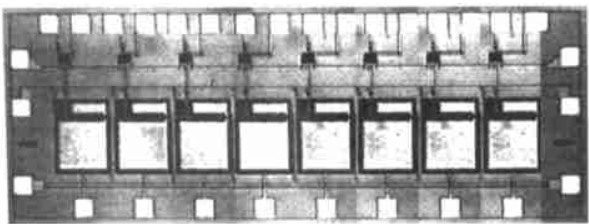


图 2 可编程声表面波滤波器 CMOS 集成电路芯片的扫描照片

3 器件性能和测试结果

本文对所研制的可编程声表面波滤波器的 $1 \mu\text{m}$ CMOS 的八位取样、加权、迭加、控制 CMOS 集成电路芯片性能进行了测试, 并对其功能进行了在线测试.

当输入信号频率 V_{saw} 在 30 MHz (幅度为 200 mV), 同时 $T2$ 管处于导通状态 (控制电压 V_{con} 保持在 3 V), 单元电路的开关

各叉指条取样来的信号经过该集成电路取样、加权后, 再叠加起来作为滤波器的输出, 输出信号的中心频率将会随着各叉指条权值的变化而变化.

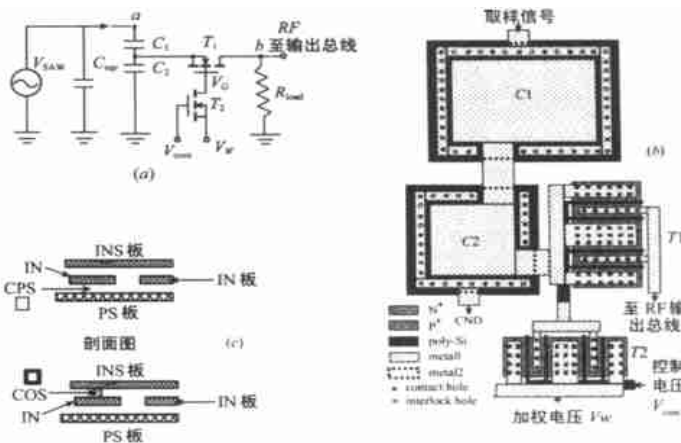


图 1 (a) 可编程声表面波滤波器 CMOS 集成电路单元结构的等效电路; (b) 可编程声表面波滤波器 CMOS 集成电路 $1 \mu\text{m}$ 工艺的单元结构的设计版图; (c) 三明治电容 INS-IN-PS 的剖面图.

比——加权电压 (V_W) 特性如图 3 所示. 当单元电路加权电压从 0.6 V ($T1$ 管的阈值电压 V_{T1}) 增加到 1.3 V 时, 开关比从 0 dB 增加到 16.4 dB . 从加权特性上来讲, 开关比就是加权后输出电压与权值最小时的输出电压的比值, 即 $20 \log (V_{OUT}/V_{OUTMIN})$, 单位为 dB . 从测试结果分析看到, 当加权电压小于 V_{T1} 时, $T1$ 管截止, 开关比为 0 dB ; 当加权电压大于 V_{T1} 时, $T1$ 管进入线性工作状态, 开关比线性变化. 当加权电压足够大时, 开关比趋于一个最大值, 最大值约为 16.4 dB . 加权电压在 0.7 V 到 1.0 V 范围内, 开关比的变化线性度较好.

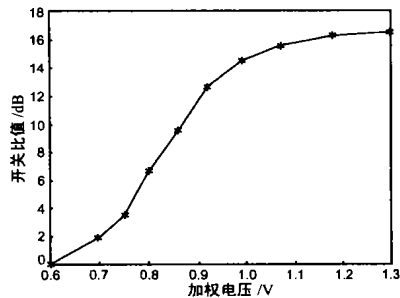


图 3 单元电路芯片的开关比——加权电压特性

当加权电压减小为 0.6 V 时, 该 SAWF 的最小取样的输出结果如图 4(c) 所示, 其损耗为 -60.06 dB , 该单元电路对信号的最小衰减为:

图 4 是该集成电路芯片其中一个单元电路对 35.5 MHz 的声表面滤波器的在线测试结果. 图 4(a) 为 35.5 MHz 声表面滤波器的输出信号, 其损耗为 -25.07 dB . 利用本文所研制的集成电路对该 SAWF 进行最大取样, $T2$ 管的 V_{con} 为 3 V , $T1$ 管的加权电压 V_W 为 1.3 V 时, 取样加权后的输出信号如图 4(b) 所示, 损耗为 -43.75 dB . 该单元电路对 35.5 MHz 信号的最小衰减为:

$$-43.75 \text{ dB} - (-25.07 \text{ dB}) = -18.68 \text{ dB}$$

当加权电压减小为 0.6 V 时, 该 SAWF 的最小取样的输出结果如图 4(c) 所示, 其损耗为 -60.06 dB , 该单元电路对信号的最小衰减为:

$$-60.06 \text{ dB} - (-25.07 \text{ dB}) = -34.99 \text{ dB}$$

则该电路的开关比为:

$$-18.86\text{dB} - (-34.99\text{dB}) = 16.13\text{dB}$$

经过上述的测试和分析, 证明了该可编程声表面波滤波

器的取样、加权、控制、叠加专用集成电路设计的正确性和可
行性。

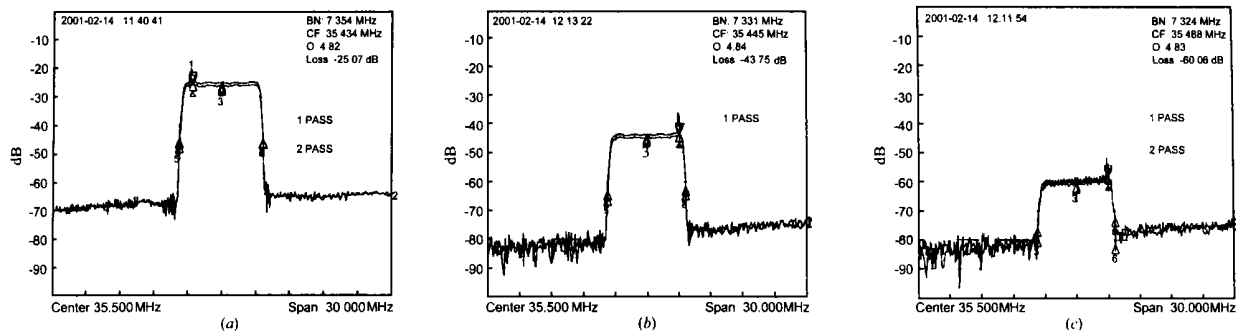


图 4 单元电路对声表面波滤波器($f_0 = 35.5\text{MHz}$)的取样控制。(a)滤波器的频率响应;(b)电路对滤波器的最大取样时的频率响应;
(c)电路对滤波器的最小取样时的频率响应。

4 结论

本文提出的可编程声表面波滤波器 CMOS 专用集成电路是一种微波模拟信号处理电路。它采用 CMOS 工艺制作而成, 可以与用 $\text{ZnO}/\text{SiO}_2/\text{Si}$ 工艺制造的声路器件兼容集成^[4], 从而实现硅基单片可编程声表面波滤波器集成电路。它的加权控制电路与国外文献已报道的相关电路相比具有如下特点:(1)电路结构简单;(2)具有一组制造在硅集成电路上的取样电容阵列;(3)采用短沟道、高跨导、低阻抗(设计值为 50Ω)的 NMOS 晶体管作为加权、输出元件;(4)制造工艺与普通 CMOS 工艺兼容;(5)可以对多种结构的声路(如延迟线型、多组 IDT 型)的信号进行取样和信号处理。

该集成电路的工作频率范围为 $15\text{MHz} \sim 250\text{MHz}$ 时, 插入损耗约为 $-8\text{dB} \sim -20\text{dB}$, 加权电路开关比(on/off ratio)为 $7\text{dB} \sim 18\text{dB}$ 左右。加权电压线性工作区约为 $0.7 \sim 1.0\text{V}$ 。

参考文献:

- [1] C M Panatik, L R Nawman. Programmable filter technology for integrated communication, navigation and identification systems [A]. Proc. 1982 National Aerospace and Electronics Conference [C]. New Jersey: IEEE Service Center, 1982. 1074-1080.
- [2] D E Oates, D L Smythe, J B Green, R W Ralston, A C Anderson. Wide band SAW/FET programmable transversal filter [A]. Proc. 1984 IEEE Ultrasonic Symposium [C]. New Jersey: IEEE Service Center, 1984. 312-317.

- [3] K Sugai, H Takauni, O Noguchi, K Omori. SAW programmable notch filters for adaptive interference suppression [A]. Proc. 1989 IEEE Ultrasonic Symposium [C]. New Jersey: IEEE Service Center, 1989. 201-206.
- [4] K Sugai, K Ohmori. Acoustoelectric attenuation analysis of Metal/ZnO/Oxide/SI SAW Device [A]. Proc. 1990 IEEE Ultrasonic Symposium [C]. New Jersey: IEEE Service Center, 1990. 269-274.

作者简介:



陈 英 女, 1978 年出生于浙江富阳, 1999 年, 2002 年毕业于浙江大学信息科学与工程学院信息与电子工程学系, 分别获得学士、硕士学位, 主要从事微波集成电路和微机械微波及传感电子学领域的研究工作。



朱大中 男, 1945 年出生于上海, 1967 年毕业于南京大学物理系, 1981 年在浙江大学无线电系获硕士学位, 现为浙江大学信息科学与工程学院, 信息与电子工程学系教授, 博士生导师, 主要研究领域包括混合信号集成电路、传感器集成电路、微波微机械集成电子学。