

一种用于流水线模数转换器的电容失配校准方法

李福乐, 李冬梅, 张 春, 王志华

(清华大学电子工程系, 北京 100084)

摘 要: 对于流水线模数转换器来说, 电容失配是一种主要的非线性误差源. 为了减小电容失配误差, 本文提出了一种电容失配校准的方法. 该方法通过一种电荷相加、电容交换和电荷反转移的电路技术, 可将电容失配误差减小至其 2 次项. 动态模型仿真演示了一个由 4 bit 电容匹配精度实现 12-bit 积分非线性(INL)的例子, 验证了电容失配校准的有效性. 与传统电路相比, 该方法只需在模拟电路中增加几个开关, 因此电路实现仍然简单. 另一方面, 由于一个转换周期需要 2 个以上的时钟相, 会影响模数转换的速度. 因此, 该方法适用于中等高速、高精度的应用场合.

关键词: 电容交换; 电容失配校准; 流水线模数转换; 电路技术

中图分类号: TN431 **文献标识码:** A **文章编号:** 0372-2112 (2002) 11-1704-03

A Capacitor Mismatch Calibration Technique for Pipelined A/D Conversion

LI Fu-le, LI Dong-mei, ZHANG Chun, WANG Zhi-hua

(Dept. of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: A novel capacitor mismatch calibration technique for pipelined analog to digital conversion is presented. The nonlinear capacitor mismatch error is reduced to the second order through an algorithmic circuit method, which involves charge summing, capacitors exchange, and charge redistribution. Simulation results confirm the observation and a case of 12 bit INL realized by 4-bit capacitor matching is shown. Compared to the conventional circuit, the new approach is still a simple implementation by requiring only some extra analog switches. On the other hand, the conversion speed is slowed because one conversion now requires three clock phases instead of two. Therefore this technique is most suitable when moderately high speed combined with high resolution is required.

Key words: capacitors exchange; capacitor mismatch calibration; pipelined A/D conversion; circuit techniques

1 引言

原理上可以采用流水线结构实现高速且高精度的模数转换器(ADC), 但是, 在实际电路实现时, ADC 的性能还要受到许多电路非理想因素的影响, 其中最重要的有电容失配, 比较器失调, 以及跨导放大器(OTA)有限增益等. 比较器的失调可以通过冗余位和数字校正技术来解决, 有限增益效应可以通过采用 Cascode, Gain boosting 等技术设计极高开环增益的 OTA 来解决, 这样, 电容失配, 作为现代 IC 工艺的一个基本的物理限制, 就成了限制分辨率提高的最重要的因素. 一般地, 对于没有电容修调(trimming)或校准(calibration)处理的流水线 ADC 来说, 可实现的分辨率在 10bit 以下.

为克服电容失配的限制, 一类方案是采用具有自校准能力的电路, 但是其缺点是通常需要增加大量的辅助硬件电路^[1~3], 并且周期性的重复校准要求会影响转换的连续性^[1,2]或进一步增加电路复杂度^[3]; 另外一类方案是利用模拟误差平均^[4,5], 但是其缺点是增加了模拟电路, 以及减缓了模数转换速度. 本文提出了一种新的模拟电容失配校准方法, 其特点是电路简单, 只需在模拟电路中引入几个开关, 而数字

电路除了时钟发生器外其他部分不变, 因而基本不增加功耗和面积. 除此之外, 与模拟误差平均类似, 此方法是一种线性不受温度漂移和电路元件老化影响的结构, 因此可胜任嵌入式应用和连续工作的场合, 与模拟误差平均方法一样, 也会减缓模数转换的速度, 如第 2 部分所述.

2 一种新的电容失配校准方法

在传统流水线结构的级电路中, 采样电容对输入和参考电压采样然后将电荷转移到反馈电容上, 而反馈电容上的电压作为输出. 由于电荷在不同的电容间转移, 电容的失配将带来输出电压的误差.

新方法中, 采样电容也对输入和参考电压采样并将电荷转移到反馈电容, 但反馈电容此时仅用来暂存电荷之和, 其上的电压并不作为输出电压, 最后, 采用了电容交换技术, 将反馈电容上的电荷转移回采样电容, 采样电容上的电压作为输出. 这样, 级电路在一个转换周期中从采样电容转移走的电荷最终又反转移到采样电容上, 故在原理上级输出的精度与电容失配基本无关, 达到了电容失配校准的目的.

新方法适用于有效分辨率 1bit/stage 的结构, 图 1 可用

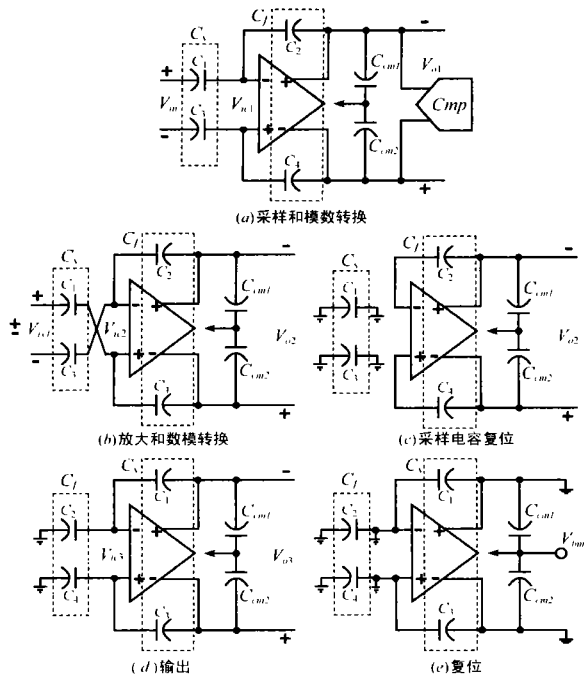


图 1 新方法原理的图解说

于简要说明新方法的电路实现。图 1 中, C_1 和 C_3 为采样电容, C_2 和 C_4 为反馈电容, C_{cm1} 和 C_{cm2} 为输出共模反馈电容。为了方便原理说明, 设采样电容 C_1 和 C_3 均为 C_s , 反馈电容 C_2 和 C_4 均为 C_f 。图 1(a ~ e) 依次对应于一个转换周期的 5 个工作相, 顺序说明如下:

图 1(a) 令 C_s 一端接 V_{in} 另一端接 OTA 输入端, C_f 两端跨接 OTA 输入和输出端, 假设 C_s , C_f 上的初始电荷为零, 则电荷转移稳定后 C_s , C_f 上电荷量均为 $V_{in}C_s$, 输出 V_{o1} 为 $-C_sV_{in}/C_f$, 比较器随之将 V_{o1} 和参考阈值电压做比较并迅速建立输出电压;

图 1(b) 根据比较器的比较结果将 C_s 从 V_{in} 切换到 V_{ref} 或 $-V_{ref}$, 同时交换 C_s 接 OTA 输入端的极性, 则电荷转移稳定后 C_f 上电荷量为 $(2V_{in} \mp V_{ref})C_s$, 输出 V_{o2} 为 $-(2V_{in} \mp V_{ref})C_s/C_f$;

图 1(c) 令 C_s 两端均切换到地, 以清除 C_s 上的电荷, 而其他电路不变;

图 1(d) 电容交换, 将 C_s 跨接到 OTA 输入和输出做为反馈电容, 而 C_f 接 OTA 输出的一端切换到地, 这样 C_f 上的电荷又转移到 C_s 上, 稳定后的输出 V_{o3} 为 $-(2V_{in} \mp V_{ref})$, 显然, 此即理想的级输出, C_s 和 C_f 的失配并不带来输出误差;

图 1(e) 将 C_s 和 C_f 两端及 OTA 输入输出端均接地, 为下一次转换做准备, 同时 C_{cm1} 和 C_{cm2} 的互连端连接到一共模参考电压上, 以刷新 C_{cm1} 和 C_{cm2} 上的电压。

图 1 所示的 5 个工作相中, (c) 和 (e) 的操作只是直接通过模拟开关释放电容上的电荷, 所需的时间大大少于其他 3 相, 故对于整个流水线结构来说, 可采用 3 相不交叠时钟的时序控制方案, 而级电路中电容的放电操作, 可在 3 相时钟的

不交叠区内完成。这样, 3 相主时钟所对应的级电路工作相分别为采样和模数转换 (a), 放大和数模转换 (b), 输出 (d)。由于一次转换需要 3 相时钟, 新结构较之传统结构减缓了转换的速度。

应用 3 相时钟的流水线结构的控制时序设计如表 1。

表 1 新方法下流水线结构各级电路间的时序关系

Stage I-1	Stage I	Stage I+1	Stage I+2
a	b	d	a
b	d	a	b
d	a	b	d

3 电容失配误差分析

实际上, 当图 1 中差分信号通道中的电容, 如 C_1 和 C_3 , C_2 和 C_4 , 或 C_{cm1} 和 C_{cm2} 之间不匹配时, 也会给输出带来误差。下面基于对图 1 各工作相中电荷转移关系的分析, 来推导级输出电压误差与电容失配的关系表达式, 以证明电容失配校准方法的有效性。为了单独考察电容失配的影响, 暂不考虑 OTA 有限增益、OTA 失调、比较器失调等非理想因素的影响。

图 1 中, 设 $V_{ic1} \sim V_{ic3}$ 分别为 a, b, d 工作相稳定后的 OTA 输入端共模电压, $V_{o1} \sim V_{o3}$ 分别为三个工作相稳定后的 OTA 输出电压。

根据电荷守恒定律, 对于图 1(a) 有:

$$\begin{cases} (V_{in+} - V_{ic1}) C_1 = (V_{k1} - V_{o1-}) C_2 \\ (V_{in-} - V_{ic1}) C_3 = (V_{k1} - V_{o1+}) C_4 \end{cases} \quad (1)$$

对于图 1(b) 有:

$$\begin{cases} (V_{o2+} - V_{k2}) C_4 = -(V_{in-} - V_{ic1}) C_3 \\ + (V_{in+} - V_{ic1}) C_1 - (V_{ref+} - V_{k2}) C_1 \\ (V_{o2-} - V_{k2}) C_2 = -(V_{in+} - V_{ic1}) C_1 \\ + (V_{in-} - V_{ic1}) C_3 - (V_{ref-} - V_{k2}) C_3 \end{cases} \quad (2)$$

对于图 1(d) 有:

$$\begin{cases} (V_{o2-} - V_{k2}) C_2 + V_{ic3} C_2 = (V_{o3-} - V_{k3}) C_1 \\ (V_{o2+} - V_{k2}) C_4 + V_{ic3} C_4 = (V_{o3+} - V_{k3}) C_3 \end{cases} \quad (3)$$

为简化分析, 设信号共模参考电平为 0, 对应于前级级电路的输出共模反馈电容为 C'_{cm1} 和 C'_{cm2} , 则有以下等式:

$$\begin{cases} V_{ref+} + V_{ref-} = 0 \\ \frac{C'_{cm1}}{C'_{cm1} + C'_{cm2}} V_{in+} + \frac{C'_{cm2}}{C'_{cm1} + C'_{cm2}} V_{in-} = 0 \\ \frac{C_{cm1}}{C_{cm1} + C_{cm2}} V_{o1+} + \frac{C_{cm2}}{C_{cm1} + C_{cm2}} V_{o1-} = 0 \\ \frac{C_{cm1}}{C_{cm1} + C_{cm2}} V_{o2+} + \frac{C_{cm2}}{C_{cm1} + C_{cm2}} V_{o2-} = 0 \\ \frac{C_{cm1}}{C_{cm1} + C_{cm2}} V_{o3+} + \frac{C_{cm2}}{C_{cm1} + C_{cm2}} V_{o3-} = 0 \end{cases} \quad (4)$$

且假设以下变量表征电容的相对失配:

$$\delta_m = 2(C_{cm2} - C_{cm1}) / (C_{cm2} + C_{cm1})$$

$$\delta_m = 2(C_{cm2} - C_{cm1}) / (C_{cm2} + C_{cm1})$$

$$\delta_j = 2(C_i - C_j) / (C_i + C_j) \quad (5)$$

δ_m , δ_m , δ_j 为相互独立的均值为 0, 方差为 σ^2 的高斯分布随机变量。

根据以上各式,可推导出:

$$V_o = V_{o3+} - V_{o3-} \\ = (2 + \varepsilon_1)(V_{in+} - V_{in-}) - (1 + \varepsilon_2)(V_{ref+} - V_{ref-}) + f(\delta^3) \quad (6)$$

其中,

$$\varepsilon_1 = \frac{3\delta_{13}\delta_m + 2\delta_{13}\delta'_m - \delta_{24}\delta_m + \delta_{13}\delta_{24} - \delta_{13}^2}{8} \\ \varepsilon_2 = \frac{\delta_{13}^2 - \delta_{24}^2 + 5\delta_m\delta_{13} - \delta_m\delta_{24}}{16}$$

以及 $f(\delta^3)$ 表示 $\delta_y (i, j = 1, 2, 3, \text{或 } 4)$, δ_m 和 δ'_m 的 3 次项及更高项的表达式。

式(6)中的最低项为 $\delta_y (i, j = 1, 2, 3, \text{或 } 4)$, δ_m 和 δ'_m 的 2 次项,并且经计算可得 $E[\varepsilon_1] = -\sigma^2/8$, $\text{var}(\varepsilon_1) = (17/64)\sigma^4$, $E[\varepsilon_2] = 0$, 以及 $\text{var}(\varepsilon_2) = (15/128)\sigma^4$, 说明所提出的方法能将电容失配误差减少到 2 次项。

4 ADC 模型仿真分析

基于所提出的电容失配校准方法构造了 1.5bit/stage 的 12bit ADC 模型,并进行 Monte Carlo 仿真以验证电容失配校准方法提高 ADC 线性的有效性。仿真时考虑以下电路非理想因素:电容失配、OTA 有限增益、OTA 失调、比较器失调。

假设流水线中的电容相对失配如式(5)定义,且为相互独立的零均值高斯随机变量;OTA 和比较器的失调电压也设为零均值的高斯随机变量;OTA 的增益分别为 100dB 和 80dB 两种情况。表 2 给出了用于 Monte Carlo 仿真的具体电路参数,其中除了 OTA 增益外,其它均以 3σ 值表示。

表 2 MONTE CARLO 仿真参数

参 数	电容匹配 (3σ)	比较器失调 (3σ)	OTA 失调 (3σ)	OTA DC 增益
情况 1	4bit	1/5Vref	1/100Vref	100dB
情况 2	4bit	1/5Vref	1/100Vref	80dB

表 3 12 BIT ADC 的静态特性统计

结果	INL	Yield	DNL	Yield
情况 1	$\leq 0.4\text{LSB}$	$\geq 98\%$	$\leq 0.4\text{LSB}$	$\geq 96\%$
情况 2	$\leq 0.78\text{LSB}$	$\geq 98\%$	$\leq 0.84\text{LSB}$	$\geq 96\%$

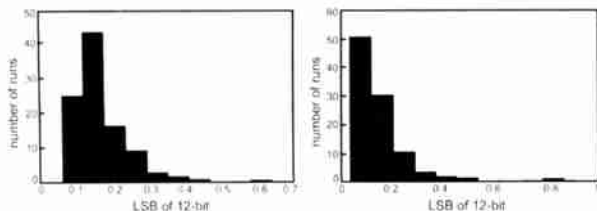


图 2 Monte Carlo 仿真结果, INL(上), DNL(下)

通过码密度仿真(code density simulation)可以得到以端点线性度^[6]表示的 ADC 积分非线性误差(INL)和差分非线性误差(DNL)特性,总结如表 3 所示。注意两种情况下 Monte Carlo 仿真条件的不同。第一种情况(直方图如图 2 所示), OTA 的增

益假设为 100dB,意味着以考察电容失配所带来的非线性误差为主;第 2 种情况,令 OTA 的增益为 80dB,意味着考虑有限增益带来的误差。综合表 2 和表 3 的数据,可证明新方法能将电容失配误差降低到电容匹配精度的 2 次方以下。

实际电路实现时,ADC 的线性还会受到诸如开关电荷注入(charge injection from switches)、噪声(noise)等非理想因素的限制,为减少它们的影响,需要对电路进行更深入的模拟设计。

5 结论

提出了一种新的电容失配校准方法。对此方法的理论分析和动态模型仿真表明,对于 N bit 的电容匹配,经校准后可得到超过 2N 位的电容匹配效果。与其他方法相比,新方法的电路实现较为简单,只需在模拟电路中额外增加几个开关,而不增加消耗功率的单元电路或复杂的数字校准电路。而且,新方法还是一种线性对温度漂移和电路元件老化不敏感的结构,不需要增加特别复杂的自校准后台化处理。然而,与模拟误差平均一样,新方法需要 2 个以上的时钟相来完成一次转换,从而减缓了模数转换的速度。因此,新方法适用于中等高速、高精度、嵌入式及连续工作的应用场合。

参考文献:

- [1] A N Karanicolas, H S Lee, K L Bacrania. A 15 b 1 Msample/s digitally self calibration pipeline ADC [J]. IEEE J. Solid State Circuits, 1993, 28(12): 1207-1215.
- [2] M K Mayes, S W Chin. A 200mW, 1Msample/s, 16 b pipelined A/D converter with on chip 32 b microcontroller [J]. IEEE J. Solid State Circuits, 1996, 31(12): 1862-1872.
- [3] U K Moon, B S Song. Background digital calibration techniques for pipelined ADC's [J]. IEEE Trans. Circuits Syst. II, 1997, 44(2): 102-109.
- [4] B S Song, M F Tomsett, K R Lakshmikummar. A 12 bit 1 Msample/s capacitor error averaging pipelined A/D converter [J]. IEEE J. Solid State Circuits, 1988, 23(6): 1324-1333.
- [5] H S Chen, K Bacrania, B S Song. A 14b 20Msample/s CMOS Pipelined ADC [A]. ISSCC Dig. Tech. Papers [C]. San Francisco: 2000: 46-47.
- [6] P E 艾伦, D R 霍尔伯格. CMOS 模拟电路设计 [M]. 北京: 科学出版社, 1995. 507-508.

作者简介:



李福乐 男, 1974 年 11 月出生于浙江, 1996 年和 1999 年获得西安电子科技大学电子工程系学士和硕士学位, 现为清华大学电子工程系博士研究生, 主要研究方向为高精度高速模数转换。

李冬梅 女, 1966 年 11 月生于北京, 1990 年获清华大学电子工程系微电子学专业学士学位, 1994 年获清华大学电子工程系电路与系统专业硕士学位, 现任清华大学电子工程系副教授, 主要从事模拟及数模混合集成电路教学和科研工作。