

高温 CMOS 集成电路闩锁效应分析

柯导明¹, 陈军宁¹, 周国祥², 代月花¹, 高 珊¹, 孟 坚¹, 赵海峰¹

(1. 安徽大学电子工程系, 安徽合肥 230039; 2. 合肥工业大学计算机系, 安徽合肥 230001)

摘 要: 本文详细地分析了 LDD 结构高温 CMOS 集成电路闩锁效应. 文中提出了亚微米和深亚微米 CMOS 集成电路闩锁效应的模型. 在该模型中, 针对器件的尺寸和在芯片上分布情况, 我们认为 CMOS IC 闩锁效应的维持电流有两种模式: 大尺寸 MOST 的寄生双极晶体管是长基区, 基区输运因子起主要作用; VLSI 和 ULSI 中 MOST 的寄生双极晶体管是短基区, 发射效率起主要作用. 但是他们的维持电流都与温度是负指数幂关系. 文章给出了这两种模式下的维持电流与温度关系, 公式在 25℃ 至 300℃ 之间能与实验结果符合.

关键词: 高温 LDD CMOS 集成电路; 闩锁效应; 解析表达式

中图分类号: TN309 **文献标识码:** A **文章编号:** 0372-2112 (2002) 12-1894-03

The Analysis of Latch Up Characteristics in High Temperature CMOS Integrated Circuits

KE Dao-ming¹, CHEN Jun-ning¹, ZHUO Guo-xiang², DAI Yue-hua¹, GAO Shan¹, MENG Jian¹, ZAO Hai-feng¹

(1. Dept. of Electronic Engineering of Anhui University, Hefei, Anhui 230039, China;

2. Dept. of Computer Science, Hefei Polytechnic University, Hefei, Anhui 230001, China)

Abstract: The paper has analyzed Latch-up characteristics in high temperature CMOS integrated circuits. In this paper, we propose a latch-up effect model for submicron and deep submicron integrated circuits. We find there are two sub-models about CMOS integrated circuit Latch-up effect. The base width of a parasitic transistor is long in a big size MOS IC, and the base transport factor dominates. The device size is small in VLSI and ULSI. The base width of a parasitic transistor is shorter, and emission efficiency dominates. But their holding currents are all negative index number power about temperatures. The paper has given relations between holding current and temperatures from 25℃ to 300℃ range. The experiment results are essential agreement with the model that the paper has given.

Key words: high temperature LDD CMOS integrated circuits; latch-up characteristics; analysis expression

1 引言

随着航空、航天技术的高速发展, 很多设备要工作在非常高的环境温度下, 因此高温 CMOS 集成电路得到了越来越广泛的应用^[1-3], 所以研究它的失效原因很有必要. 众所周知, 高温 CMOS 集成电路失效的主要原因之一是衬底的源、漏及阱的 pn 结形成了 pnpn 四层寄生可控硅结构, 温度升高后引起可控硅触发导通, 导致了闩锁效应的发生. 虽然一些文献讨论了 CMOS 电路的闩锁效应^[4,5], 但是并没有文献分析高温亚微米和深亚微米 CMOS 电路的闩锁效应. 本文针对亚微米和深亚微米集成电路的特点, 给出了高温亚微米和深亚微米 CMOS 电路闩锁效应维持电流与温度的变化规律, 实验结果表明给出的规律是合理的.

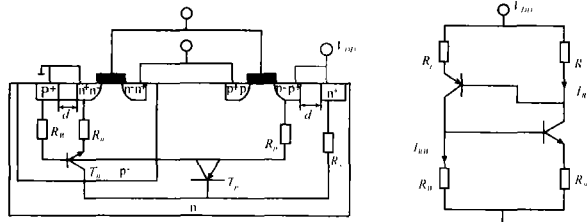


图 1 (a) 亚微米 CMOS 反相器结构图; (b) 集总参数等效电路

2 高温 CMOS 电路闩锁效应模型

在亚微米 CMOS 电路中, 为了防止热载流子注入, MOST 大多用 LDD 结构. 图 1 给出了 p 阱 CMOS 反相器的结构和等效电路. 图中 R_w 是阱的分流电阻; R_s 是衬底电阻; R_n 是寄生 npn 晶体管的发射极电阻; R_p 是寄生 pnp 晶体管的发射极电阻. 图 2 是图 1(b) 的简化等效电路. 为了计算方便, 这里略去了 R_n 和 R_p . 图 2 的电路形式上与长沟道 MOST 的 CMOS 电路闩锁效应等效电路相同. 但长沟道 CMOS 电路中, 由于 MOST 的沟道长, 器件密度低, 横向 pnp 管子基区是长基区, 所以电流放大系数 β_p 较小. 而亚微米和深亚微米电路中, 器件的特征尺寸很小, 横向 pnp 管子 T_p 的基区有可能是短基区, 故 T_p 的 β_p 较大. 闩锁效应发生的条件是 $\beta_n \beta_p > 1$ ^[7], 因而电路更容易发生闩锁效应.

寄生可控硅的维持电流是

$$I_H(T) = \frac{\beta_n(1+\beta_p)I_{RW} + \beta_p(1+\beta_n)I_{RS}}{\beta_n\beta_p - 1} - \frac{(1+\beta_n)(1+\beta_p)}{\beta_n\beta_p - 1} I_{W0} \quad (1)$$

式中 β_n 和 β_p 分别是 npn 和 pnp 管子的电流增益; I_{RW} 和 I_{RS} 分别是流过 R_w 和 R_s 的电流; I_{W0} 是阱的反向泄漏电流. 式(1)中

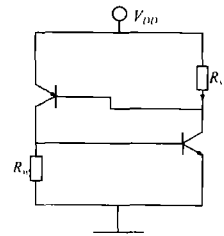


图 2 闩锁效应等效电路

收稿日期: 2001-11-24; 修回日期: 2002-10-15
基金项目: 国家自然科学基金 (No. 60276042)

第一项是两个三极管正反馈引起的维持电流,第二项是寄生三极管的反向泄漏电流。

本文只讨论 I_H 与温度的关系,故不考虑结构对参数的影响.假设两个三极管的发射结电压绝对值相等, $R_W = R_S = R$. 可以得到

$$I_{RW} = I_{RS} = V_{BE}/R \quad (2)$$

式中 V_{BE} 是管子发射结电压的绝对值。

根据寄生可控硅触发条件 $\beta_n \beta_p > 1$, 和 $\beta_n \gg \beta_p$, 将 $1/(\beta_n \beta_p - 1)$ 用幂级数展开,并略去高阶无穷小. 再将式(2)代入式(1)后得到

$$I_H(T) = (2 + 1/\beta_p) \frac{V_{BE}}{R} - (1 + 1/\beta_p) I_W \quad (3)$$

在上式推导过程中,应用了 $\beta_n > 1$ 的条件。

R 是半导体的体电阻,在室温至 300°C 左右,大致可以用 $R \propto T^x$ 来表示^[8]. 因此得到

$$R(T) = R(T_1)(T/T_1)^x \quad (4)$$

式中 T 为绝对温标. $R(T_1)$ 与温度无关,但是与掺杂浓度和器件结构相关,调整它会引引起维持电流 I_H 变化. 再假定 pn 结是突变结,可以得到

$$\frac{dV_{BE}}{dT} = \frac{1}{T} (V_{BE} - \frac{E_g}{q})$$

式中 E_g 为 Si 的禁带宽度,约为 1.12eV . $\frac{dV_{BE}}{dT}$ 在 $25^\circ\text{C} \sim 300^\circ\text{C}$ 基本是一常量^[9]. 设其绝对值为 P_0 , 由上式得到

$$V_{BE} = 1.12 - P_0 T \quad (5)$$

若不计 I_W 的影响,将式(4)和式(5)代入式(3)后得到

$$I_H(T) = \frac{1}{R(T_1)} [2 + \frac{1}{\beta_p}] (1.12 - P_0 T) (\frac{T_1}{T})^x \quad (6)$$

由上式可见, $I_H(T)$ 与分流电阻 R 、管子增益 β 和 pn 结的温度系数有关。

3 基区宽度与维持电流关系

3.1 大尺寸 CMOS 集成电路

在这种情况下,横向晶体管的基区很长, β_p 由基区输运效率决定, β_p 可以写成^[8]

$$\beta_p(T) = \beta_p(T_1) (T/T_1)^{x_p} \quad (7)$$

式中 $x_p = 1 \sim 2$ ^[9]. 取 $T_1 = 300\text{K}$, $T_{\max} = 600\text{K}(323^\circ\text{C})$, 在室温 27°C 下大约是 $0.01 \sim 1$ ^[10]. 若取 $\beta_p(T_1) = 0.01$, $1/\beta_p(T_1) (T/T_1)^{x_p} > 2$, 维持电流由式(6)求得, 大约为

$$I_H(T) \approx \frac{1}{\beta_p(T_1) R(T_1)} (1.12 - P_0 T) (\frac{T_1}{T})^{x+z}$$

若取 $\beta_p(T_1) = 1$, $1/\beta_p(T_1) (T/T_1)^{x_p}$ 是较 2 的高阶无穷小, 故有

$$I_H(T) \approx \frac{2}{R(T_1) \beta_p(T_1)} (1.12 - P_0 T) (\frac{T_1}{T})^z$$

根据上两式得到 $I_H(T)$ 大约是

$$I_H(T) = \frac{2}{R(T_1) \beta_p(T_1)} (1.12 - P_0 T) (\frac{T_1}{T})^y \quad (8)$$

式中 $y = z - z + x_p$, 上式表明, I_H 与 $\beta_p(T_1)$ 成反比。

3.2 亚微米、深亚微米 CMOS 集成电路

这时基区较短,基区输运系数 α_T 较大. 考虑极端情况 $\alpha_T = 1$, 则有

$$\beta_p(T) = \gamma/(1 - \gamma) = \beta^* \exp(-\Delta E_g/kT)^{[11]} \quad (9)$$

$$\beta^* = (\mu_B/\beta_E) \cdot (N_E/N_B) \cdot (X_E/X_B)^{[11]} \quad (10)$$

式中 γ 为发射效率; 式中 μ_B 、 N_B 、 X_B 分别为基区少子迁移率、掺杂浓度和基区中性区宽度; μ_E 、 N_E 、 X_E 分别是发射区少子迁移率、掺杂浓度和发射区中性区宽度; ΔE_g 是发射区重掺杂引起的禁带宽度变化。

由于发射区是重掺杂, μ_E 和 N_E 基本上不随温度变化. 而基区是轻掺杂, μ_B 随温度升高而减小. 但是由于按比例缩小的原因, 亚微米与深亚微米 CMOS 中的衬底掺杂浓度达到 10^{16}cm^{-3} 以上, 即基区的 N_B 可到 10^{16}cm^{-3} 以上. 本征载流子浓度 n_i 要达到 10^{16}cm^{-3} , 则要 400°C 以上. 所以在讨论的范围内, $\beta^*(T)$ 的温度关系仅与 μ_B 有关. 根据文献[12]知 $\mu_B \propto T^{-\alpha}$ ($\alpha = 2.5 \sim 2.7$). μ_B 和式(10)代入式(9)后得到:

$$\beta_p(T) = \beta_p(T_1) (T_1/T)^\alpha \exp(-\Delta E_g/kT) \quad (11)$$

式中 $\alpha = 2.5 \sim 2.7$. 式(11)代入式(6)后得到

$$I_H(T) = 1/R(T_1) [2 + 1/\beta_p(T_1) (T_1/T)^\alpha \exp(-\Delta E_g/kT)] (1.12 - P_0 T) (T_1/T) \quad (12)$$

4 维持电流的简化表达式

可以用指数表达式简化式(8)和式(12), 首先考虑式(8). 取 $V_{BE} = 0.7 \sim 0.8(\text{V})$, $P_0 = 1.4 \sim 1.7\text{mv}/^\circ\text{C}$, $T_1 = 300\text{K}$, $T_{\max} = 573\text{K}$. 设 $\Delta T = T - T_1$, 得到关于 $\Delta T/T_1$ 的一阶表达式是

$$A_1 (T_1/T)^{r_1} = A_1 (1 + \Delta T/T_1)^{-r_1} \approx A_1 (1 - r_1 \Delta T/T_1) \quad (13)$$

$$1.12 - P_0 T = (1.12 - P_0 T_1) [1 - \frac{P_0 T_1}{1.12 - P_0 T_1} \frac{\Delta T}{T_1}] \quad (14)$$

上两式相等, 得到 $A_1 = 1.12 - P_0 T_1 / (1.12 - P_0 T_1)$, $r_1 \approx 0.54 \sim 0.72$.

令 $A(T_1/T)^{r_1} = 1.12 - P_0 T$, 代入式(8)后得到

$$I_H(T) = I_H(T_1) (T_1/T)^{m_1} \quad (15)$$

$m_1 = r + z$ 或 $r + z + x_p$, z 取 2.3 ^[5], x_p 取 $1 \sim 2$, m_1 在 2.84 至 4.84 之间。

再计算式(12)的指数表达式. 令

$$A_2 (\frac{T}{T_1})^{r_2} = 2 + \frac{1}{\beta_p(T_1)} (\frac{T_1}{T})^\alpha \exp(-\frac{\Delta E_g}{kT}) \quad (16)$$

将式(16)两边都展开成小项 $\Delta T/T_1$ 的级数, 忽略其高阶项, 然后令其相等. 得到

$$A_2 = [1 + 1/\beta_p(T_1)] \quad (17)$$

$$r_2 = \alpha - \Delta E_g/(kT_1) \quad (18)$$

将式(17)和式(13)、式(14)代入式(12)后, 得到

$$I_H(T) = I_H(T_1) (T_1/T)^{m_2} \quad (19)$$

式中 $m_2 = r_1 + z + \frac{\Delta E_g}{kT_1} - \alpha$. 现在估算 m_2 的值. 取 $T_1 = 300\text{K}$, $z = 2.3$; 由前面知 α 为 $2.5 \sim 2.7$, z 是基区电阻率中迁移率的指数, 所以 α 应当不大于 z , 从估算角度出发, 取较小的值, 得 $\alpha = 2.5$. m_2 的计算结果如表 1 所示. 由表中可见, m_2 的值是 0.52 至 4.37 . 实际情况中的 r_1 , z , ΔE_g 和 α 都难以定量给出, 所以表 1 是估算结果。

综合式(15)和式(19),得到维持电流是

$$I_H(T) = I_H(T_1) \left(\frac{T_1}{T}\right)^m \quad (20)$$

式中 $m = 0.52 \sim 4.84$. 在计算式(20)时,没有考虑泄漏电流影响.由式(6)知泄漏电流影响与 $1/(1 + \beta_p(T))$ 有关.在 $T < 150^\circ\text{C}$ 时, I_W 为复合电流,值很小 $I_W \approx 0$;而 $T > 150^\circ\text{C}$ 以后, I_W 是反向扩散电流, $I_W \propto \exp(-E_g/kT)$,而 β_p 或正比于 T^m 或 T^{-n} ,故 $(1 + 1/\beta_p)I_W \approx I_W$,因此高温下的维持电流是

$$I_H(T) = I_H(T_1) \left(\frac{T_1}{T}\right)^m - I_W \quad (21)$$

式中在 $T < 150^\circ\text{C}$ 时为零, $T > 150^\circ\text{C}$ 时为反向扩散电流.

5 计算结果与实验结果的对比

对上述得到的结果进行了计算,与实验结果进行了对比.将寄生晶体管的基极引出电极有意地远离集电极,并有不同的值,这主要对 R 有影响. R 类似梳状晶体管基极电阻, $R \propto d$,得到 $I_H(T_1) \propto 1/d$,即维持电流的绝对值与 d 有关,指数 m 与 d 的关系较弱.用 p 阱 CMOS 电路,沟长 $2\mu\text{m}$,阱掺杂 $2 \times 10^{15}\text{cm}^{-3}$,衬底掺杂 10^{16}cm^{-3} .结果如图 3 所示,图中拟合曲线按照 $I_H(T) = I_H(T_1) \left(\frac{T_1}{T}\right)^{2.78}$ 绘出,改变 d 测量时,指数 m 变化不大.图中易见高温下实测数据小于拟合曲线结果,其原因是 I_W 较大.

表 1 m_2 随掺杂浓度的变化

掺杂浓度 (cm^{-3})	10^{17}	3×10^{17}	10^{18}	10^{19}
ΔE_g (eV)	0	0.01	0.03	0.1
m_2	0.52	0.9	1.13	4.37

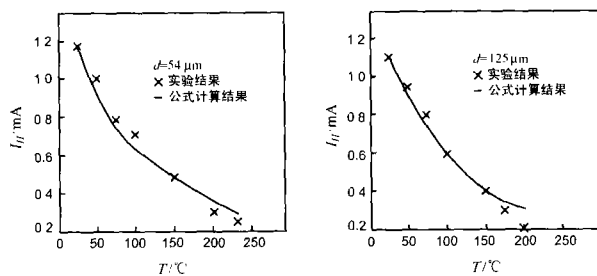


图 3 不同 d 的 CMOS 反向器维持电流与温度关系

测量了一些 LDD 结构的特征尺寸为 $0.9\mu\text{m}$ CMOS 反向器,发现 $I_H(T) \propto (T_1/T)^m$, m 在 $0.5 \sim 3.6$ 之间,但是大部分在 $1.2 \sim 2$ 之间.典型情况如图 4 所示,图中曲线按 $I_H(T) \propto (T_1/T)^{1.25}$ 绘出, m 与 d 的关系较弱.曲线与实验结果吻合,这说明所给模型是正确的.

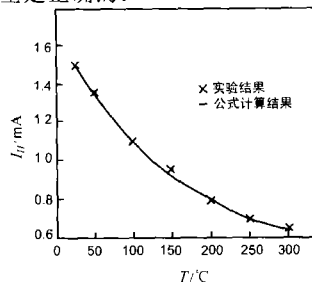


图 4 LDD 结构 $0.9\mu\text{m}$ CMOS 维持电流与温度关系

6 结束语

本文详细地分析了从室温到 300°C ,大尺寸 MOST 和亚微米及深亚微米 MOST 组成的 CMOS 集成电路自锁效应,给出了维持电流与温度的简化关系.得到了 $I_H(T) = I_H(T_1) \left(\frac{T_1}{T}\right)^m$ 的变化规律.计算结果与实验情况基本符合.推导的结果还说明指数 m 与电阻率、 β_p 、基区长度有关,详细计算结果比较复杂,但可以估算. N 阱 CMOS 电路也有类似的结果,只是横向晶体管应当是 npn 晶体管,双阱 CMOS 也可以按类似情况分析.

参考文献:

- [1] Tsuyoshi Tanaka, Hidetoshi Furukawa and Daisuke Veda, A GaAs Power FET with Zero-Temperature-Coefficient [A]. IEDM-97 [C]. Washing D C:1997.
- [2] Reinhold Schörner, Peter Friedrichs, Dethard Peters. Detailed Investigation of N-channel Enhancement 6H-SiC MOSFET's [J]. IEEE Trans, 1999, 46(3):533 - 541.
- [3] 刘海涛,陈启秀.宽禁带半导体功率器件[J].半导体技术, 1999, 24(2):1 - 4.
- [4] Richard, B. Brown, Kou cheng Wu, et al., Junction-Isolated CMOS for high Temperature Microelectronics[J]. IEEE Trans ED, 1989, 36(9): 1884 - 1890.
- [5] F S Shoucair. High Temperature Latch Up Characteristics in VLSI CMOS Circuits [J]. IEEE Trans ED, 1988, 35(12):2424 - 2426.
- [6] K Y Lim, X Zhou. A Physically-Based Semi-Empirical Series Resistance Model for Deep-sub-micron MOSFET I-V Modeling [J]. IEEE Trans. ED, 2000, 47(6):1300 - 1303.
- [7] R R 特劳特曼. CMOS 技术中的闩 CMOS 闩锁效应[M]. 嵇光大, 卢文豪译, 北京:科学技术出版社, 1996, 46.
- [8] 张开华,沈方,藤勇.温度对 CMOS 锁定效应的影响及观测[J]. 半导体技术, 1986, 5:16 - 18.
- [9] 张廷庆,张开华,朱兆宗. 半导体集成电路[M]. 上海:上海科技出版社, 1986. 51.
- [10] 刘忠立. CMOS 集成电路原理制造及应用[M]. 北京:电子工业出版社 1990. 149.
- [11] H M Rein, H V Ronr, P Wennekers. A Contribution to Current Gain Temperature Dependence of Bipolar Transistor [J]. Solid State Electronics, 1978, 21:439 - 442.
- [12] 叶良修, 半导体物理学(上)[M]. 北京:高等教育出版社, 1993, 181.
- [13] Donal A NEAMEN. Semiconductor Physics and Device-Basic Principles [M]. New Mexico R R Donnelley & Sons Company, U S A, 1992. 400.

作者简介:

柯导明 男, 1954 年 7 月出生于安徽省合肥市, 1992 年 10 月毕业于东南大学电子工程系, 获工学博士, 长期从事半导体器件物理与工艺的教学与科研, 现在的研究方向是半导体器件模拟与建模.

陈军宁 男, 1953 年 10 月生出于安徽省芜湖市, 1993 年 4 月毕业于东南大学电子工程系, 获工学博士, 1996 年从复旦大学 CAD 博士后工作站出站, 长期从事 VLSI 设计与制造, 半导体器件物理的教学与科研, 现在的研究方向是 VLSI 设计自动化与半导体器件物理与工艺.