

# 基于光纤通信可编程复接集成电路研究

赵文虎,王志功,吴 微,朱 恩

(东南大学射频与光电集成电路研究所,南京江苏 210096)

**摘 要:** 本文提出了一种可编程复接方法和结构,通过对编程端的设置可得到 2:1、3:1、4:1 及 5:1 的复接模式. 该方法鲁棒性强、应用范围广,其组合可实现除包含大于 6 的质数之外所有路数的复接,解决了光纤通信系统中不同复接模式对应不同复接结构的问题. 通过理论推导,本文着重分析了器件延时和时钟相位对芯片工作的影响,并指出了解决途径. 基于本方法和结构的全定制单片集成电路采用 0.35 $\mu\text{m}$  CMOS 工艺制造,芯片面积为 24.19 $\text{mm}^2$ ,实现了串行输出最高数据速率为 1.62Gbps 的 10:1 复接. 在 1.25Gbps 标准速率,工作电压 3.3V,负载为 50 $\Omega$  的条件下,功耗仅为 174.84mW,输出电压峰-峰值可达到 2.42V,占空比为 49%,抖动为 35ps rms. 测试结果表明芯片在复接性能、速度、功耗和面积优化方面的先进性,可满足不同吉比特率通信系统的要求,具有广泛应用和产业化前景.

**关键词:** 光纤通信; 复接器; 互补金属氧化物半导体工艺; 集成电路

**中图分类号:** TN929 **文献标识码:** A **文章编号:** 0372-2112 (2003) 08-1197-04

## Configurable Multiplexer CMOS IC Based on Fiber Communication

ZHAO Wen-hu, WANG Zhi-gong, WU Wei, ZHU En

(Institute of RF & OE ICs, Southeast University, Nanjing, Jiangsu 210096, China)

**Abstract:** A robust configurable multiplexing approach is proposed, which presented 2:1, 3:1, 4:1, 5:1 multiplex modes. Its cascade structure can realize all multiplexing modes except prime numbers of greater than 6. Based on this approach, an IC was designed to achieve the 10:1 multiplexing at the bit rate of 1.25Gbps. It used high speed units to improve the design efficiency and to realize low power. It has been developed using 0.35 $\mu\text{m}$  CMOS technology and the layout was finished in full custom method. The chip was realized through a foundry technology and measured on wafer. The chip area is 24.19  $\text{mm}^2$ . The power dissipation is 174.84mW under a 3.3V supply. The measured output voltage is 2.42V<sub>pp</sub> based on 50 $\Omega$  load, the duty cycle is 49% and the phase jitter is 35ps rms at the 1.25Gbps standard bit rate. The highest speed of serial data is 1.62Gbps.

**Key words:** fiber communication; multiplexer; CMOS process; integrated circuit

### 1 引言

现代网络通信系统发展的关键在于提高数据传输速率,以满足高速增长的信息传递需求. 而光纤通信系统的宽频带、大通信容量以及低传输损耗等优点,正适用于长距离高速信号的传输. 为此学术界和工业界均在研究和设计光纤通信超高速集成电路,目标是不断提高光纤网络系统的传输速率<sup>[1~5]</sup>. 提高数据传输速率的直接方法是对多路低速信号进行数据复接. 复接器作为光纤通信传输链路中的关键电路,在不同的协议标准中有不同的复接模式. 表 1 给出了同步光网络标准 (SONET) 和作为国际传输标准的同步数字体系 (SDH) 的速率级别,通过不同模式的复接可实现表 1 中速率等级的提升. 在千兆和万兆以太网标准中也是通过复接,将 8B/10B 编码后的 10 位数据串行化为 1 路高速信号在光纤中传输.

针对上文所述的不同复接模式,目前提出了多种复接系统的实现方法和结构<sup>[6,7]</sup>,然而它们都仅只能完成特定路数复接的功能,不同的复接模式要采用不同的复接电路,因此不

表 1 STM-N 和 OC-X 速率级别定义

同步数字体系		同步光网络标准	
STM-N	速 率	OC-X	速 率
		1	51.84Mb/s
		2	103.68Mb/s
1	155.52 Mb/s	3	155.52 Mb/s
4	622.08 Mb/s	12	622.08Mb/s
		24	1.244 Gb/s
16	2.488 Gb/s	48	2.488 Gb/s
64	9.953 Gb/s	192	9.953 Gb/s

利于整个传输系统设计的集成化、通用化.

本文分析了光纤通信中的复接结构以及在不同应用中对复接模式的要求,总结出 2:1、3:1、4:1 和 5:1 的复接模式及其组合可满足上文所述各种光纤系统的复接要求,提出了一种可编程复接方法和结构. 通过对编程端的设置,可灵活地实现 2:1、3:1、4:1 以及 5:1 的复接模式. 进而,本结构的不同组合可实现除了包含大于 6 的质数之外所有路数的复接. 研究表

明,本结构和方法的应用领域涵盖了主要的光纤复接系统,可有效地简化系统的设计、提高系统的集成度、增加系统的通用性.特别采用功耗小、集成度高、制作途径多、价格便宜的CMOS工艺实现本方法,更具有广泛的应用和产业化前景.

## 2 可编程复接方法分析

在复接系统中,目前已提出的实现方式有树型、并行和串行等结构,其基本思想是通过时分复用来实现数据的复接功能.由于树型结构只能处理  $2^N$  位并行数据的复接,因此SONET系统中从OC-1到OC-3的3:1的复接以及千兆、万兆以太网中10:1的复接就不能由树型结构直接实现.而并行结构是通过占空比为  $1/(N-1)$  的  $N$  个不同相位时钟对多路数据进行选择实现  $N:1$  的复接.但分析表明,并行结构中或门扇入系数的增大将会导致系统工作速度的降低,不适于多路高速复接系统.串行结构需要一个全速率时钟和一个占空比为  $1/(N-1)$  的工作时钟协同完成复接功能,在  $N$  值较大时则要求工作时钟有很大的驱动能力,这将增加实现难度、限制复接速率.以上这些结构都只能实现固定模式的复接,且有些结构对复接模式还有限制.因此,在系统设计中采用固定模式的复接方法和结构使得设计不灵活,应用受局限.

鉴于目前已有实现方法的不足,本文提出了一种可编程复接的方法和结构,可实现4种复接模式.如图1所示,该结构的核心部分是由一个可编程分频器和五级串联复接单元构成. $N$ 路数据信号通过五级串联复接单元输入到可编程复

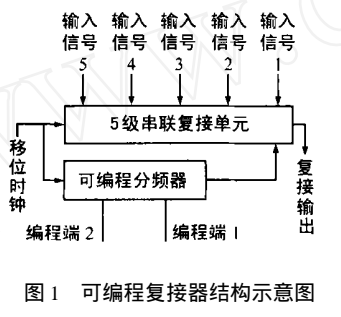


图1 可编程复接器结构示意图

接器,且工作在同步状态,并由占空比为  $1/N$  的移位时钟和由该时钟编程分频得到的占空比为  $1/(N-1)$  的时钟控制  $N$  路数据采样和时钟同步.在分频时钟的高电平状态,通过数据选择器对数据进行采样,继而在分频时钟低电平时刻采样得到的数据通过移位时钟在五级串联复接单元中同步移存生成高速复接数据.两位编程输入端根据应用不同,可设置为00、01、10、11四种状态.由其控制的时钟分频器所对应的状态跳转如图2所示,产生出四种占空比为  $1/(N-1)$  的  $N$  分频时钟控制数据采样时间和数据移存时间的比例,由此通过编程设置实现了四种不同的复接模式.编程端设置方法、分频时钟和复接模式的对应关系见表2.

根据不同复接模式的要求,图1中复接器的5位数据输入端由右向左顺序连接所要复接的信号.闲置的输入端信号

表2 可编程分频时钟和复接路数对应关系

编程端2	编程端1	分频时钟占空比	分频数、可复接信号数 $N$	复接模式
1	1	1/4	5	5:1
1	0	1/3	4	4:1
0	1	1/2	3	3:1
0	0	1/1	2	2:1

在可编程复接器中的工作状态,具体分析如下:当编程端设置为01时,复接器将完成3:1的复接功能,此时第4和第5信号输入端为闲置输入端.在1/2分频时钟的高电平时,闲置输

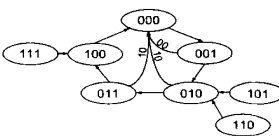


图2 分频时钟状态转换图

入端上的信号也被采样到五级串联复接单元中的最后两级D触发器中.在分频时钟变为低电平时,这两路被采样的闲置信号和前3路用于复接的被采样信号都通过移位时钟在串联结构中向输出端移存.经过两个移位时钟周期之后,前3路数据的复接完成,同时被采样到的闲置信号也被移存到串行结构的最前端两级D触发器中,也即在下一个移位时钟周期,将开始输出这两路复接所不需要的闲置端采样信号.然而,此时进行数据选择的3分频时钟信号已由低电平变为了高电平,复接器由数据移存状态变为数据采样状态,此时在串行结构最前端两级D触发器中的闲置端采样信号被数据选择器重新输入的第2、3两路数据所替代,开始了下个分频时钟周期的3:1复接,因此接在第4和第5端的信号不会影响3:1的复接过程.由此分析可得,由编程端设置确定的复接模式只和相应的复接数据输入端信号相关联,而由此产生的闲置输入端的信号不会对该模式的复接产生影响.

在此基础上,只要将复接所不需要的输入端接地,则可以灵活的实现复接系统的扩展.将本方法和结构进行两级树型级联,如图3所示,则可将复接模式扩展到13种.由此类推,更多级的扩展和灵活的组合,可实现除了包含大于6以上质数的所有复

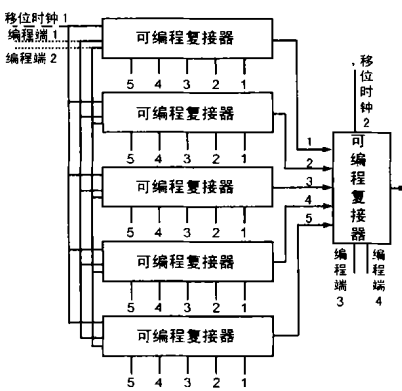


图3 可编程复接器树型级联

接模式.因此在设计中,只需要对编程端进行简单的设置,模块化的本方法和结构就可以方便地将通信系统功能不断扩展,从而实现数据通信中不同模式的复接.

## 3 芯片设计及仿真

考虑到目前国内所能提供的制造工艺以及以具有自主知识产权的芯片在国内产业化为目标,芯片采用  $0.35\mu\text{m}$  CMOS工艺设计、制造.在此特定的工艺条件下,要使得基于本方法的芯片能够高速工作以满足尽可能广泛的应用领域,则要对芯片结构以及单元电路进行优化和仿真.本芯片在结构上分为两个部分:第1部分是两个对称的、采用相同分频器的可编程复接器,第2部分则是一个工作在半速率时钟下的2:1复接单元,如图4所示.这样的电路结构可实现2:1、3:1、4:1、5:1、6:1、8:1以及10:1的多种复接模式,满足表1中所列数据等级之间以及千兆以太网标准中的复接要求.

为了使得复接速率能够达到 Gbps 以上,可编程复接器的五级复接单元采用如图 5 所示的模块化电路串联设计。同时可编程分频器也被设计为具有自启动功能,保证了芯片工作的可靠性。在仿真高速复接时,电路的时延可与信号的时钟周期相比,此时应考虑由时钟信号上大扇出系数产生的容性负载以及时钟信号

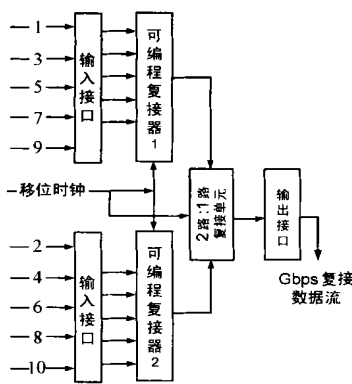


图 4 芯片结构图

号线的寄生电容对时钟信号传播的影响。通过仿真调整时钟相位及电路时延,以满足芯片工作时序的要求。信号在系统中经过同步输入、逻辑运算后到同步输出,据此在仿真中应优化同步电路的建立和保持时间,使之达到最小。同时减小组合逻辑电路的时延,以提高系统的工作速度。

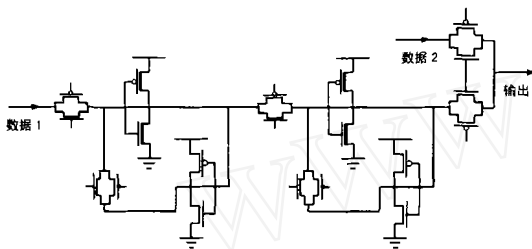


图 5 单元电路

为了增加电路仿真的可靠性,仿真还必须充分考虑互连线对系统工作的影响。在深亚微米 CMOS 工艺中,考虑 MOS 管理理想尺寸的缩小过程(恒场律),有如下结论:当电源电压和所有的线性尺寸均缩小为原来的  $1/\alpha$  ( $\alpha$  大于 1,为器件尺寸缩小因子)时,器件的延时也减小为原来的  $1/\alpha$ 。但局部互连线的  $RC$  延时仍保持不变,而长距离全局互连线的延时却是原来的  $\alpha^2 Sc^2$  倍( $Sc$  为芯片尺寸的增大因子)。因此互连线在决定芯片物理尺寸、功耗以及工作时序等方面起着极其重要的作用。互连线的电阻、电容是沿长度连续分布的,为了便于建立模型,将互连线分割成许多具有集中参数  $RC$  的小段。经近似计算可得其时间常数  $\tau = rL^2/2$ ,与信号线长度的平方成正比,其中  $r$  为单位长度信号线的寄生电阻, $c$  为单位长度信号线的寄生电容, $L$  则为信号线长度。在仿真中电路的关键连线可采用误差小于 3% 的  $\pi$  模型进行描述<sup>[8]</sup>。

通过提取版图参数,代入互连线模型进行仿真,本电路实现了 SIM-1 到 SIM-4 的复接、OC-1 到 OC-2、OC-3 的复接、OC-2 到 OC-12 的复接、OC-3 到 OC-24 的复接以及千兆以太网 10/1 的复接。当采用特征尺寸更小的 CMOS 工艺,本电路还可实现在更高速率等级上的复接。

在工作电压为 3.3V 时电路内部 CMOS 电平信号的仿真波形如图 6 所示,其中图 6(a)是编程端设置为 10 时分频器输出的占空比为 1/4 的时钟信号波形,可编程复接器输出的

SIM-1 到 SIM-4 的复接信号如图 6(b)所示。而图 6(c)为编程端设置为 11 时分频器输出的占空比为 1/5 的时钟信号波形,此时实现了千兆以太网标准中 10/1 信号的复接,见图 6(d)。功能仿真结果表明:改变工作电压(3~3.6V)、模拟温度(-10~90℃)以及输入信号的幅度和相位,电路工作正常。

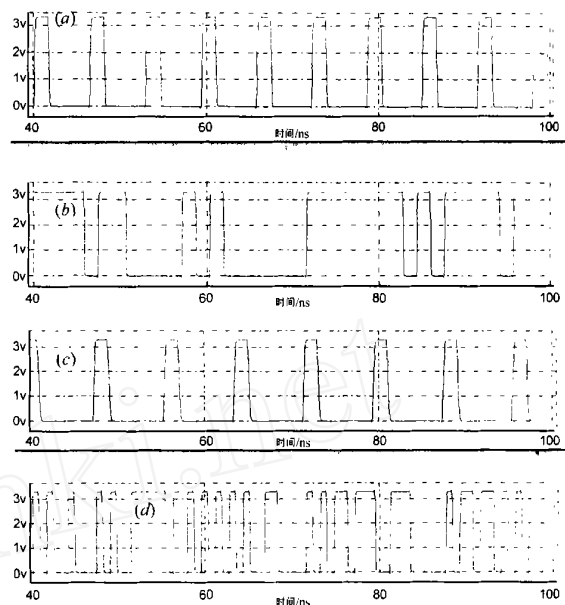


图 6 仿真波形

#### 4 芯片版图及测试结果

为了使芯片面积达到最优以降低产业化生产的成本,以及针对千兆以太网的具体应用,在版图中将复接器的可编程端设置为 11,用以实现将 10 路 1.25Gbps 的信号复接为 1 路 1.25Gbps 信号的功能。芯片版图设计采用自底向上的全定制设计方法,集成了近 2000 只 MOS 管。研究表明,版图布线方案对信号的传播延时影响显著。为此首先利用多层金属工艺,在局部采用尺寸较小的第一层金属作为互连线,而将长距离的互连线采用较宽的上层金属加以实现,从而可达到缩短信号传播延时的目的。其次,将互连线等长度地分割成若干段并在相邻两段之间加入最优化尺寸的驱动电路,以避免信号时延随互连线长度呈平方率增长。除时延特性外,MOS 管的叉指状布局设计可减小寄生参数,而单元模块的对称性和可重用性将提高版图的设计效率。同时为了便于使用微波探针进行在晶圆(on-wafer)测试,减小信号反射,芯片的接口电路有静电保护以及 50Ω 匹配功能。

芯片照片如图 7 所示。其中 A 和 B 所示区域为两个对称的编程端被设置为 11 的可编程复接器,而在其间的 C 区域则是两个可编程复接器公用的时钟分频器电路,产生占空比为 1/4 的五分频时钟。两个可编程复接器完成各自的 5/1 复接,再通过 D 区所示的单元电路进行 2/1 的复接。芯片完成了 10/1 的复接功能,产生出千兆比特率串行数据。包括焊盘在内的芯片面积为 6.1mm \* 3.96mm。

该芯片在 Cascade Microtech 公司的芯片测试台进行在晶

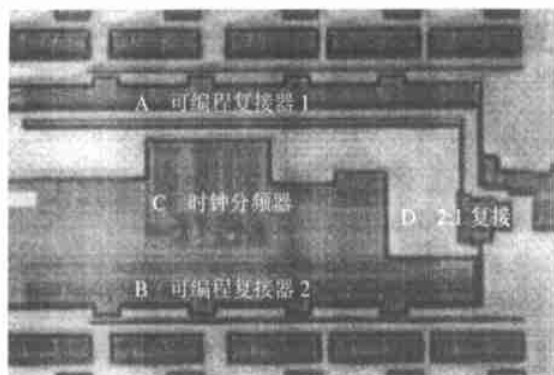


图 7 芯片版图照片

圆功能测试. 由 Agilent 86100A 宽带示波器得到的测试结果表明当工作电压在 3V 到 3.6V 之间, 由 ADVANTEST D3186 提供的输入时钟信号峰-峰值大于 1V, 输入数据信号峰-峰值不小于 0.9V 时电路功能完全达到设计目标. 特别在工作电压为 3.3V 时, 电路的工作电流仅为 52.98mA, 功耗只有 174.84mW. 此时 10:1 复接输出的 1.25Gbps 串行信号的眼图如图 8 所示.

从图中可看到眼图迹线清晰、张开明显、边沿陡峭、对称性好, 测试结果表明上升时间和下降时间都仅为 9ps, 抖动也只有 35ps rms, 信号具有很好的对称性, 其占空比为 49%. 不仅如此, 图中驱动 50 $\Omega$  负载时的输出电压峰-峰值高达 2.42V, 说明芯片具有很强的负载

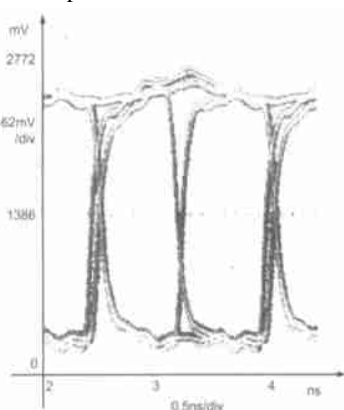


图 8 测试眼图

驱动能力, 有利于实现芯片间的级连, 将复接系统扩展. 进一步测得电路输出串行信号比特率最高可达到 1.62Gbps. 和模拟结果进行比较, 测试结果和芯片的设计目标一致. 因此本文的设计不仅提高了系统工作速度同时体现了在降低芯片功耗、减小芯片面积、提高芯片驱动能力等方面的先进性. 至于眼图中下眼帘不连续是由于测试条件所限而导致的, 具体原因在于目前的测试设备只能输出两路不同数据的动态信号.

## 5 结论

本文提出了可编程复接的方法, 并对其结构进行了分析研究. 针对已有方法的不足, 设计了可实现多种复接模式的可编程复接电路, 涵盖了光纤通信中的复接系统. 分析了器件延时和同步时钟相移对本集成电路所产生的影响. 进而以可编程复接方法为基础, 采用高速易重用单元电路, 结合千兆以太网的具体应用, 实现了具有我国自主知识产权的千兆比特率

10:1 复接集成电路. 测试结果表明, 本文的复接电路具有电路工作速度快、芯片驱动能力强、功耗低和芯片面积小的优点, 可以广泛应用于多种千兆比特速率的光纤通信系统, 加速我国的宽带网络建设进程.

## 参考文献:

- [1] 赵文虎, 王志功. 千兆以太网及 VLSI 集成电路设计[J]. 计算机应用与研究, 2002, 38(6): 177 - 178.
- [2] Tanabe A, Umetani M, Fujiwara I, et al. 0.18- $\mu\text{m}$  CMOS 10-Gb/s multiplexer/demultiplexer ICs using current mode logic with tolerance to threshold voltage fluctuation [J]. IEEE Journal of Solid-State Circuits, 2001, 36(6): 988 - 996.
- [3] Boni A. 1.2-Gb/s true PECL 100K compatible I/O interface in 0.35- $\mu\text{m}$  CMOS [J]. IEEE Journal of Solid-State Circuits, 2001, 36(6): 979 - 987.
- [4] Jing-Ling Yang, Chiur-Sing Choy, Cheong-Fat Chan. A self-timed divider using a new fast and robust pipeline scheme [J]. IEEE Journal of Solid-State Circuits, 2001, 36(6): 917 - 923.
- [5] JDMeindl, JADavis. The fundamental limit on binary switching energy for terascale integration (TSI) [J]. IEEE Journal of Solid-State Circuits, 2000, 35(10): 1515 - 1516.
- [6] Fukaiishi M, Nakamura K, Heiuchi H, et al. A 20-Gb/s CMOS multi-channel transmitter and receiver chip set for ultra-high-resolution digital displays [J]. IEEE Journal of Solid-State Circuits, 2000, 35(11): 1611 - 1618.
- [7] Fukaiishi M, Nakamura S, Tajima A, et al. A 2.125-Gb/s BiCMOS fiber channel transmitter for serial data communications [J]. IEEE Journal of Solid-State Circuits, 1999, 34(9): 1325 - 1330.
- [8] 赵文虎, 王志功. 时分复用可编程复接装置 [P]. 中国专利: 02138214. X.
- [9] 赵文虎, 王志功, 吴微, 等. 千兆以太网同步检测集成电路设计 [J]. 东南大学学报(自然科学版), 2002, 32(2): 161 - 165.

## 作者简介:



赵文虎 男, 1974 年 10 月生于江苏省徐州市, 1996 年毕业于东南大学无线电工程系, 获学士学位; 现为东南大学无线电工程系博士研究生, 国家 863 项目“10Gbit/s 以太网物理层上下行接口处理芯片研究”组主要成员. 主要从事超高速及大规模集成电路设计, 特别是千兆以太网、万兆以太网的物理层芯片设计.



王志功 男, 1954 年 5 月生于河南省荣阳市, 博士, 东南大学教授, 博士生导师, 从事超高速、微波和毫米波集成电路、光电集成电路设计, 主要应用领域包括光纤通信、卫星通信和雷达等; 现为国家 863 计划专家组专家, 东南大学射频与光电集成电路研究所所长.