

# 基于 FPGA 和 DSP 实现的实时图像压缩

赵保军,史彩成,毕 莉,安建波,毛二可

(北京理工大学电子工程系,北京 100081)

**摘 要:** 利用 FPGA 的并行分布流水特点,选用 exilinx 公司的 50 万门级芯片 XCV400E,设计并实现 CIF 格式(352 × 288 像素)图像实时 DCT 变换.该设计采用乒乓模式,只需设计一个快速算法模块( $F \times C^T$ )就解决了  $C \times F \times C^T$  的实现算法.当视频信号通过数字化后逐行输入 FPGA,在行、场同步信号和采样时钟的控制下,每输入一组数据(8 个),就进行行向量与  $C^T$  的矩阵乘运算( $F \times C^T$ ),并将结果按转置方式保存.每输入一个数进行一次(1 × 8) × (1 × 8) 矩阵运算,每行进行 352 × (1 × 8) × (8 × 8) 次矩阵运算,其中 44 次(1 × 8) × (8 × 8) 矩阵运算的结果需要按转置形式( $H^T = (F \times C^T)^T$ )存储;当输入下一组 8 行数据时,对该组数据进行与前述 8 行数据相同的矩阵运算,而对刚做完( $F \times C^T$ )运算的 8 行相应结果,则按正常顺序取出进行( $H^T \times C^T$ )运算,将结果按转置形式( $G^T = C \times H$ )输出.从而以实时流水的方式完成  $C \times F \times C^T$  运算.功能仿真、时序仿真和与 TMS320C62X 系统的成功对接验证了本设计及算法的正确性.

**关键词:** DCT; 乒乓模式; 并行流水

**中图分类号:** TN957 **文献标识码:** A **文章编号:** 0372-2112 (2003) 09-1317-03

## Implementation of Real-Time 2D-DCT with FPGA and DSP

ZHAO Bao-jun, SHI Cai-cheng, BI Li, AN Jian-bo, MAO Er-ke

(Dept. of Electronic Engineering, Beijing Institute of Technology, Beijing 100081, China)

**Abstract:** Because of the FPGA's parallel pipelining processing features, this paper designed and implemented the real time CIF format image DCT using Exilinx Company's 500000 gate grade chip XCV400E. Using ping-pong model,  $C \times F \times C^T$  is implemented only by designing one fast algorithm model ( $F \times C^T$ ). Digital video signal is input to FPGA line by line. Controlling by horizontal sync and vertical sync, every group data of 8 pixels as a vector is input and is multiplied  $C^T$  i. e. ( $F \times C^T$ ). The computed results are stored as transform format. Each pixel needs one (1 × 8) × (8 × 8) matrix operations. Each line needs 352 × (1 × 8) × (8 × 8) times matrix operations. 44 times (1 × 8) × (8 × 8) matrix operations results need storing as transform format ( $H^T = (F \times C^T)^T$ ). When next 8 line data are input, they are processed with the same way as the above. For the last 8 line's first processed results ( $F \times C^T$ ), they are read out and processed as ( $H^T \times C^T$ ). The final results are output as transform format ( $G^T = C \times H$ ). Therefore, the continuous real-time whole field pix DCT transform  $C \times F \times C^T$  is finished. Function and timing simulation and the successful connection with TMS320C62X system verified the design and implement.

**Key words:** DCT; ping-pong model; parallel pipelining process

### 1 引言

在战场上,尽可能远、详细和迅速地了解敌方情况,对指挥人员做出正确的决断起着至关重要的作用.获取敌方目标的高清晰图像,并将这些图像数据传输给指挥人员,是军用图像技术研究的关键问题.然而模拟信号远距离传输效果差,易受干扰.目前,数字传输正受到人们的重视,被广泛采用.由于图像数字数据量巨大,只有通过压缩才有可能用窄的通讯信道,并快速传到控制端.为导弹抑制电磁、光电和红外干扰、提高跟踪能力提供了可靠的保障.因此研究高压压缩比、高速红外图像实时压缩解压缩算法对提高导弹的抗干扰能力和直接命

中率具有极其重要的意义.

本文的重点是如何对高速红外图像进行实时的压缩解压缩处理,即满足两个要求:高压压缩比和实时性.常规的图像压缩解压缩处理器多使用以 MPEG 和 JPEG 为标准的专用芯片,主要应用于压缩比较低、时滞较大的电视直播以及声音等的编解码<sup>[1]</sup>.在高压压缩比和小延时的场合,常规的处理无法要求.而高速红外图像实时压缩解压缩处理器要求在保证图像失真度小的前提下,编/解码的延时尽可能小.根据信道要求,图像数据流为 512 Kbps,电视/红外图像压缩比应达到 50 倍以上.

另外,红外图像实时压缩解压缩处理器要求图像处理速

收稿日期:2002-05-23;修回日期:2003-05-20

基金项目:国家 863 计划项目(No. 2002AA813032)

度为 25 帧/秒,并且要求当场输出处理结果,每帧图像压缩解压缩的处理时间为 40 ms,由此决定了图像处理算法不能太复杂.因此设计一个既有高压缩比、又具备实时处理的软件算法,是本文的重点所在.

在高速信号处理技术中,目前比较通用的方法就是采用 FPGA + DSP + RAM 方式进行处理,如美国、俄罗斯、以色列和日本等军事强国多采用这种方式<sup>[2]</sup>.现场可编程逻辑器件(FPGA)具有现成的母片和现场编程等功能,不涉及到半导体加工,应用非常灵活,它将在相当长一段时间内比较适合我国的国情<sup>[3~5]</sup>.由于国外对中国的限制,中国机构无论化多少钱也买不到 FPGA 的核,因此本文利用 FPGA 的并行分布流水特点,选用 xilinx 公司的 50 万门级芯片 XCV400E,设计并实现了 CIF 格式(352X288 像素)图像实时 DCT/IDCT 变换<sup>[1,6]</sup>;选用 TI 公司的 TMS320C62X<sup>[7]</sup>实现预测、游长和 Huffman 编/解码和通信等.

在设计和实现实时 DCT/IDCT 变换时,采用乒乓模式,只需设计一个快速算法模块( $F_{8 \times 8} \times C_{8 \times 8}^T$ )/( $G_{8 \times 8} \times C_{8 \times 8}$ )就解决了  $C_{8 \times 8} \times F_{8 \times 8} \times C_{8 \times 8}^T / C_{8 \times 8}^T \times G_{8 \times 8} \times C_{8 \times 8}$  的实现算法.由于 DCT/IDCT 算法结构的对称性,本文以 DCT 为重点进行讨论.当视频信号通过数字化后逐行输入 FPGA,在行、场同步信号和采样时钟的控制下,每输入一组数据(8 个),就进行行向量与  $C_{8 \times 8}^T$  的矩阵乘运算( $F_{1 \times 8} \times C_{8 \times 8}^T$ ),并将结果按转置方式保存,每输入一个数进行一次( $F_{1 \times 8} \times C_{8 \times 8}^T$ )矩阵运算.每行进行  $352 \times (1 \times 8) \times (8 \times 8)$  次矩阵运算,其中 44 次( $F_{1 \times 8} \times C_{8 \times 8}^T$ )矩阵运算的结果需要按转置形式( $H^T = (F \times C^T)^T$ )存储.当输入下一组 8 行数据时,其处理过程与前述 8 行数据相同.对刚做完( $F \times C^T$ )运算的 8 行相应结果,则按正常顺序取出进行( $H^T \times C^T$ )运算,结果按转置形式( $G^T = C \times H$ )输出.从而以实时流水的方式完成  $C \times F \times C^T$  运算.功能仿真、时序仿真和与 DSP 系统的成功对接验证了本设计及算法的可行性.目前该装置已通过样机验收,各项功能达到了设计的要求.

## 2 用 FPGA 技术实现 DCT/IDCT 变换

本文设计并研制了一种性能先进的通用可见光/红外兼容型 DCT/IDCT 变换算法,在导引头中主要完成视频图像采集、DCT 变换、编码、数据通信和发射等功能.在飞机或指挥平台上,主要完成数据的接收、数据通信、解码、IDCT 变换、视频编码和图像显示等工作,从而实现人在回路的功能.

整个系统能否成功的关键在于 DCT/IDCT 模块的设计和实现.在进行 DCT 变换时,首先将 CIF 图像分成  $44 \times 36$  个  $8 \times 8$  模块,用  $F$  表示任意一个模块的图像,系数矩阵用  $C$  表示<sup>[2]</sup>,则图像  $F$  通过 DCT 变换后为  $G$

$$G = C_{8 \times 8} \times F_{8 \times 8} \times C_{8 \times 8}^T \quad (1)$$

由于上式为二维矩阵运算,矩阵  $G$  的任一元素都与  $F$  的所有元素有关,无法实现流水运算.

为解决 DCT 算法的流水实现,可将式(1)的运算分为两步实现.定义  $H$  为下式,即

$$H = F_{8 \times 8} \times C_{8 \times 8}^T \quad (2)$$

由式(2)可以看出,  $H$  的任一元素均由  $F$  中对应的行与系数矩阵相乘得到,将式(2)中的  $H$  和  $F$  用行向量表示即得

$$\begin{bmatrix} H_1 \\ \dots \\ H_8 \end{bmatrix} = \begin{bmatrix} F_1 \\ \dots \\ F_8 \end{bmatrix} \times C_{8 \times 8}^T \quad (3)$$

另一方面,由式(1)和式(2)可得

$$G = C_{8 \times 8} \times H \quad (4)$$

将式(4)转置得

$$G_{8 \times 8}^T = H_{8 \times 8}^T \times C_{8 \times 8}^T \quad (5)$$

比较式(2)和式(5)可以看出,只要在 FPGA 中设计一个算法模块,在存储和读取时采用转置方式,就可完成式(1)的运算.

考虑到算法模块和存储 8 行中间结果所需要的资源,本文采用 xilinx 公司的 50 万门级芯片 XCV400E,实现 CIF 格式(352 × 288 像素)图像的实时 DCT 变换.

式(2)所对应的快速实现算法模块如图 1 所示.顺序输入的同行数据中的 8 像素(8bit)数据通过 8 个触发器后并行输入 DCT 模块,为了避免溢出和提高运算精度,还需要将输入的 8bit 数据扩展为 16 bit,经过加、减、乘和除等运算,在第 3 个时钟输出 8 路中间结果数据.

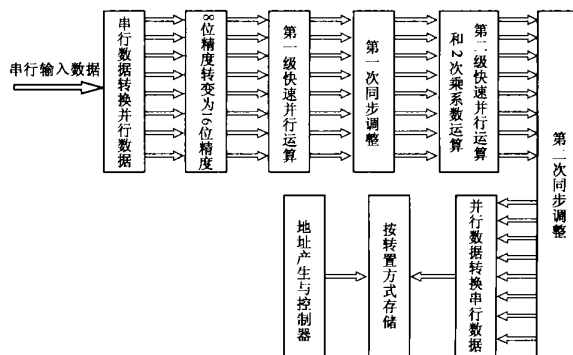


图 1  $F_{8 \times 8} \times C_{8 \times 8}^T$  快速实现算法结构图

对场频为 50Hz 的实时图像,每秒需要处理  $352 \times 288 \times 50$  像素,每个像素都需要进行  $G = C_{8 \times 8} \times F_{8 \times 8} \times C_{8 \times 8}^T$  变换,整个 2 维 DCT 算法的实现如图 2 所示.

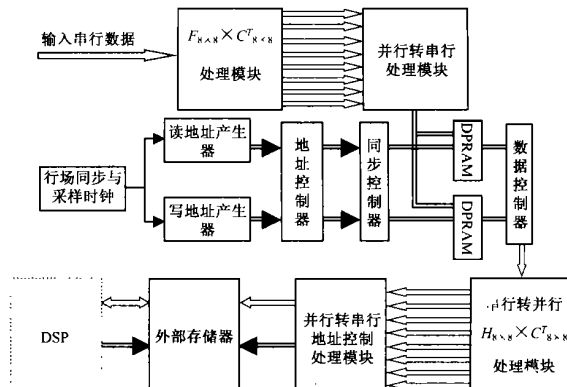


图 2 整个 2 维 DCT 算法的实现结构图

在图 2 中,ADC 转换的数据在时钟、行和场同步信号的控制下进入图 1 所示的 DCT 模块进行前半部  $F_8 \times 8 \times C_8^T \times 8$  运算,前半部运算结果通过并串转换模块的控制,按写地址产生器产生的转置地址被保存.而另一组存储器却处于读出状态,在输出电路的控制下,进行后半部  $H_8^T \times 8 \times C_8^T \times 8$  运算.最后总体运算结果通过串并转换模块的控制,按 FPGA 地址产生器产生的地址,在写信号的控制下,存入外部 32 位双口 RAM.变换结果正确与否,可通过 DSP 来观察,DSP 的主要任务是进行没有流水特点的编码工作.

### 3 2 维 DCT 在 FPGA 上的验证

当 2 维 DCT 算法的总体结构确定后,设计与实现过程与验证几乎是同时进行的,为了检验某个设计环节的正确性,往往在该模块设计完后即进行功能验证.在整个算法设计完成后,首先用功能仿真进行验证,该阶段仿真一般很容易通过.

关键是时序仿真很难通过,在本设计中时序仿真与调试几乎占 80% 的工作量.图 3 为时序仿真图,为了验证 2 维 DCT 算法的正确性,输入部分在内部设定为 255,通过输入端 DCT 模块 ( $F_8 \times 8 \times C_8^T \times 8$ ) 后,处理结果为 8 行数据,每行数据均为 02CCH,0000,0000,0000,0000,0000,0000,0000,如图中 ADC-TQ15 所示,在 CTRW 为高时 DCT 模块 8 路输出数据被锁存;通过输出端 DCIB 模块和输出模块后输出 07DDH,0000~0000 (共 63 个),在 CIR 为高时 DCIB 模块 8 路输出数据被锁存. DCT 变换后的相邻 2 数据分别由 DOUTH 和 DOU1L 写入相应的外部 32 位双口 RAM 的高 16 位和低 16 位.时序仿真结果与理论计算结果一致.

时序仿真结果正确后,将 FPGA 写入双口 RAM 中的数据通过 DSP 开发窗口进行检查,经检查数据正确,只是多写一个单元,检查后发现 FPGA 地址控制多一个,改正后正常.

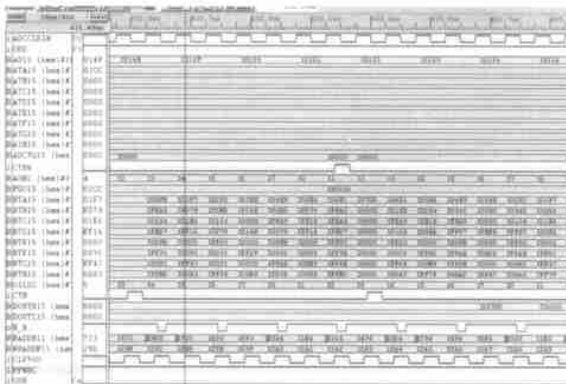


图 3 2 维 DCT 时序仿真图

### 4 结论

本文采用 DSP + FPGA + RAM 结构,在 FPGA 中实时、并行、流水实现 2 维 DCT 变换,使 TMS320C62X 处理器的工作主要集中在预测、游长和 Huffman 编码(解码),从而为整个系统的实时处理奠定了基础.由于 DSP 对双口 RAM 的透明控制,给 FPGA 的调试带来很大方便.实践证明,采用 FPGA 这种大规模并行流水方式实现诸如 2 维 DCT 变换等复杂运算是完全可行的,应该注意的问题是在制作印刷电路板时应考虑系统可测试性设计.目前该系统已调试完毕,各项指标达到设计要求.

### 参考文献:

- [1] 吴乐南.数据压缩的原理与应用[M].北京:电子工业出版社,1995.
- [2] 金革,等.可编程逻辑阵列 FPGA 和 EPLD[M].北京:中国科学技术大学出版社,1996.
- [3] 赵保军.可适用于多种模式的雷达视频信号处理研究[M].北京:北京理工大学博士后研究报告,1998.
- [4] 孟宪元.可编程专用集成电路原理、设计和应用[M].北京:电子工业出版社,1995.
- [5] 赵保军,史彩成,韩月秋,毛二可.利用 FPGA 和 DSP 结合实现雷达多目标实时检测[J].电子学报,2001(29):1145-1147.
- [6] K R Castleman. Digital Image Processing [M]. USA: Prentice Hall, INC, 1998.
- [7] TMS320C6X User's Guides [M]. USA: Texas Instruments, 1999.

### 作者简介:



赵保军 男,1960 年出生于陕西省西安市,教授,博士,1998 年从北京理工大学通信与信号处理博士后流动站出站后在该校工作,承担并完成近 20 项科研项目,获省部级奖 4 项,发表学术论文 50 多篇,主要研究方向为图像处理、信号处理、神经网络与模糊控制、DSP 与 ASIC 设计.



史彩成 男,1965 年出生于湖南省临澧,博士后,承担并完成近 10 项科研任务,获省部级奖 2 项,发表学术论文近 20 篇,主要研究方向为图像处理、DSP 与 ASIC 设计.