

# 基于 VLIW 处理器的高性能数据通道 设计及其 VLSI 实现

杨 焱, 侯朝焕

(中国科学院研究生院, 中国科学院声学所, 北京 100080)

**摘 要:** 本文提出一种新的基于 VLIW 处理器的层次化数据通道的 VLSI 结构, 通过独特的微码结构, 十分方便地得到了具有可配置特征的高速数据通道的控制模型, 模型能有效地改善系统扩展所需要的灵活性, 适合构建高性能的媒体处理器阵列. 运用 VHDL 语言实现的硬件设计通过了系统仿真. 100MHz 时钟频率下的最大数据吞吐率可达 11.28Gbit/s.

**关键词:** 高速数据通道; VLIW; 微码; 可重配置; VLSI 设计

**中图分类号:** TP333 **文献标识码:** A **文章编号:** 0372-2112 (2003) 12-1662-04

## The VLSI Implementation of the High Performance Data Path Design in VLIW Processor

YANG Yan, HOU Chaohuan

(Graduate School of the Chinese Academy of Sciences, Institute of Acoustics, Chinese Academy of Sciences, Beijing 100080, China)

**Abstract:** A novel VLSI architecture of hierarchical data path, based on VLIW core, is presented. Specific microcode structure is employed to exploit high speed and reconfigurable data path model that can efficiently improve the flexibility in system extending. It is also particularly convenient for high performance media processor array implementation. The design was implemented with VHDL and passed system simulation. The maximum data throughput will reach 11.28Gbit/s at 100 MHz system clock.

**Key words:** high speed data path; VLIW; microcode; reconfigurable; VLSI design

### 1 引言

学术界已基本确认, 在实现视频信号处理、实时信号处理、数据通信和未来 IP 网络中新兴的嵌入式计算, 由于实时性和交互性的要求, 应用更多是面向数据流而不是控制流, 对于几千兆的数据处理带宽而言, 传统的冯·诺依曼和哈佛结构的 RISC 处理机显得有些力不从心. VLIW(超长指令字)处理器具有面向数据流的处理优势<sup>[1]</sup>, 能有效地减少数字信号处理的复杂性, 无疑将成为媒体处理器设计领域主流的设计思想<sup>[2]</sup>. 值得重视的是, 一方面是芯片时钟频率越来越高, 形成对照的是存储器的存取带宽总是落后于 CPU 的处理速度, 无形中更快的处理速率已经成为一种巨大的负担<sup>[2]</sup>. 采用 SOC(片上系统)设计思想<sup>[8]</sup>, 包括配置大容量片内缓存或增加额外的功能模块<sup>[6]</sup>, 一定程度上缓解了这种不匹配性, 但是, 数据的存取瓶颈依然存在, 这在媒体处理器应用领域体现得尤为突出.

本文面向 VLIW 处理器设计提出一种新的可重配置的层次化数据通道 VLSI 结构. 鉴于 VLIW 处理器是一种结构相关

的处理器, 其缺陷在于: 对于实时动态环境难以响应. 从追求更小的硬件开销和保证更灵活的内存操作的角度, 我们引入了水平微码的设计思想, 达到了以下目的: (1) 基于微码控制流的数据缓冲队列控制, 减少了大量不必要的冗余操作和系统中断, 提高了数据流访问的连贯性, 从而提高了存取带宽; (2) 消除了 VLIW 处理器在系统横向扩展上的缺陷, 有助于以更灵活的方式和更小的代价构建多处理器阵列; (3) 对内存的操作更为灵活. 文章最后给出了基于 VHDL 语言实现的系统仿真结果和相关结论.

### 2 VLIW 处理器芯核简介

自 1983 年 Fisher 首次提出 VLIW 体系计算机以来, 由于主要受二进制目标代码不兼容和缺乏高性能的编译器所限, VLIW 原型机基本停留在实验室阶段. 直到 90 年代中期, 这一状况才有了很大改观. 现在可以基本肯定, 基于 VLIW 技术的体系结构将成为下一代高性能媒体处理器的主流架构.

VLIW 处理器使用具有单周期发射能力的超长指令字格式, 每条指令包括多个相互独立的并行操作<sup>[5]</sup>, VLIW 处理器

主要有以下特征<sup>[8]</sup>: (1) VLIW 依赖于长指令字次序, 按正常的指令流次序执行; (2) 指令的执行是由编译器静态调度的; (3) 具有比传统的超标量处理器结构更小的复杂度。

作为一种高度结构化的技术, VLIW 处理器的主要缺陷在于: 对于实时的动态环境难以响应。对此, 要满足实时、交互式环境下媒体处理器阵列对分布/集中式数据存取灵活性的要求, 通常的办法是引入固定的功能单元加以改善, 但同时也造成了系统更大的结构化差异, 实现效果并不理想。在大多数实际信号处理领域, 密集计算的压力往往需要借助处理器阵列才能完成<sup>[3]</sup>。VLIW 本身高度结构化的特征, 固然提供了多媒体应用环境所要求的峰值运算速度, 但同时也是以牺牲可编程灵活性和系统扩展性为代价的。许多研究表明, 阵列处理器因为结构体系的差异, 常常导致十分显著的性能下降。

### 3 层次化数据通道结构及其主要特征

#### 3.1 层次化系统设计

层次化描述之所以成为设计时的首选, 主要原因在于, 当电路设计是通过高级语言 (VHDL/Verilog) 编译获得时, 采用层次化的结构设计被证明是特别有效的。同时, 出于低功耗设计的考虑, 应有针对性地简化层次化控制模型。

#### 3.1.2 基于 VLIW 核的数据通道模型

针对 VLIW 处理器主要面向复杂多变的多媒体处理环境<sup>[1]</sup>, 其中集成了包括语音、图像、数据、网络等处理对象。设计高速数据通道的目的是充分利用硬件资源以获得更高的多媒体处理能力和更大的系统在线可编程空间, 并通过处理阵列的实现开发出空间并行处理能力。我们依据速度和优先级敏感程度将数据通道模型划分为: 同步、异步和共享等层次。层次化结构模型如图 1 所示。均设计为片上系统, EU 代表内核执行单元。

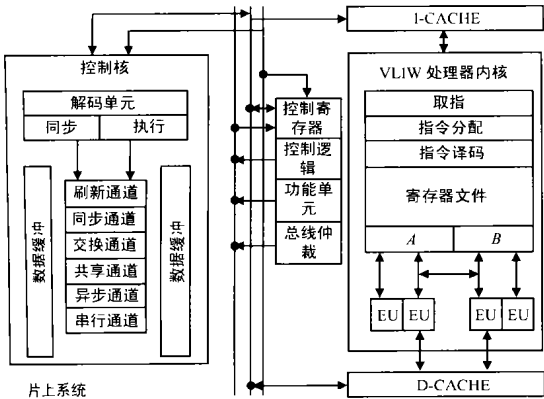


图 1 面向 VLIW 处理器的层次化数据通道模块图

必须强调的是, 单纯依靠层次化的结构模型还不足以构成完备的结构可配置特征, 在层次模型的基础上还应当依靠适当的逻辑控制层次, 才有利于构造具有可配置特征、易于扩展的高性能数据通道。

### 4 VLIW 处理器中扩展微码的控制特征

适合构建 VLIW 处理器数据通道的逻辑控制层, 我们的微码设计充分兼容了现有的 VLIW 指令集, 实现了对系统结构最小的依赖程度。很大程度上降低了系统结构化差异对空间并行处理效率的影响。

#### 4.1 微码的基本定义

微码是指具有微操作特性的一系列规则化的信号约定, 具有水平方向的独立不相关并行操作特性的往往又称为水平微码。我们认为, 大多数情况下微码都应在总线中进行传递, 目的是尽可能减少微码所带来的额外系统开销和增加系统的复杂性。借助微码的扩展可以使总线上的控制得到增强和扩展。对于 VLIW 处理器应用, 程序代码中含有一定比例微码特别有助于在提供灵活多样的数据传送模式的同时, 既能符合时间要求严格的多媒体信号处理<sup>[9]</sup>, 也能选择对动态应用环境中的代码实现优化。微码可以近似地看作是特殊的指令集合<sup>[4]</sup>作为 VLIW 指令集的内在扩展, 微码在延伸 VLIW 指令字操作特性的同时, 也减少了对系统结构的依赖。我们设计的 32bit 微码结构如图 2 所示:

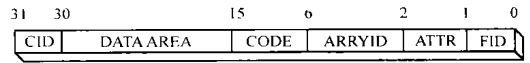


图 2 32bit 微码的基本结构

其中 CID 表示 CPU 编号, FID 表示功能单元编码, DATA AREA 映射 16 位操作数, CODE 映射控制编码, ARRYID 表示控制队列编号, ATTR 表示控制队列属性是 FIFO 或优先权方式。微码结构存在水平和垂直两个方向的可扩展性, 分别通过代码扩展和内存映射实现。

#### 4.2 控制特征

为进一步提高系统存取带宽, 微码结构选择同步方式工作, 微码一经启动, 数据通道即以系统很少干预的方式工作, 大大减少了系统中断概率和操作冗余, 数据输入输出是在微码流控制下以队列方式完成的, 同时借助大量传输自动化过

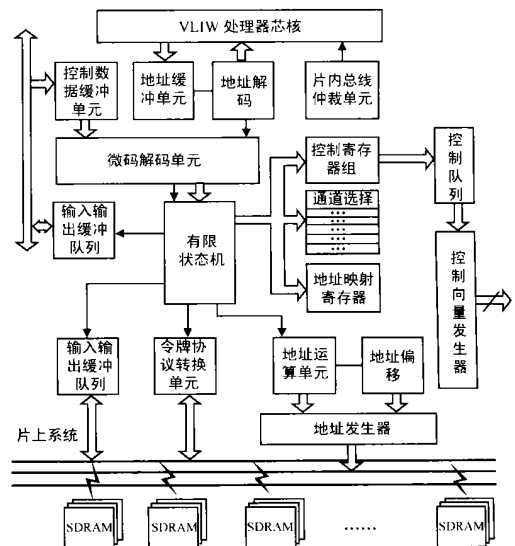


图 3 高速同步控制通道的微码控制模型

我们在研究中发现, 符合水平微码特性的控制结构非常

程和数据包的重新组合. 图 3 显示的是同步控制通道的局部控制模型.

图中列出了实际数据通道的工作模式示例, 包括满足高速传送要求的数据缓冲单元和 SDRAM 控制向量发生器, 为进一步改善数据传输效率, 片内总线仲裁单元采用独立的静态优先权仲裁模式. 核心控制主要由有限状态机(FSM)控制完成. 图 4 描述的是简化的同步通道有限状态机模型局部.

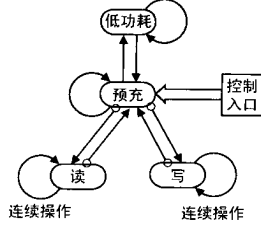


图 4 同步通道的有限状态机模型

微码解码单元主要解析微码指令驱动 FSM 正常工作. 地址发生器具有简单的地址加减运算和地址偏移功能, 例如: 可设计实现地址翻转功能, 显著缩短 FFT 运算时间.

为满足芯片互连的要求, 我们设计了双向的微码控制结构, 通过该方式建立的芯片间智能通信控制模型保证了微码在所有芯片间的传递. 表 1 给出了部分控制编码(STW 为数据写出命令).

表 1 基于 VLIW 的微码控制编码

定义	控制编码	语法	描述
Refresh	000000	STW AR <sub>x</sub> , Dx	刷新周期
Active	000001	STW AR <sub>x</sub> , Dx	预充
Read	000010	STW AR <sub>x</sub> , Dx	读
Write	000011	STW AR <sub>x</sub> , Dx	写
StreamR	000100	STW AR <sub>x</sub> , Dx	流数据读
StreamW	000101	STW AR <sub>x</sub> , Dx	流数据写
SelfRef	000110	STW AR <sub>x</sub> , Dx	节电模式

### 4.1.3 高速互连

多媒体信号处理所面临的计算压力, 要求 VLIW 芯片具有向处理器阵列扩展的能力<sup>[7]</sup>. 我们在共享通道的层次上采用一种简化的令牌技术实现了芯片间高速点对点连接, 令牌代表了一个控制点, 它在所有的芯片间传递. 其工作方式是通过微码在总线上的传递实现, 当芯片拥有令牌时就可以进入控制模式, 既能方便地实现存在体系差异的 VLIW 处理器互连, 支持芯片以更快的速度进行数据交互, 也可以灵活地改变连接方式实现规模可变的处理器系统. 图 5 显示的是 4 个 VLIW 处理器芯片所构成的处理器阵列.

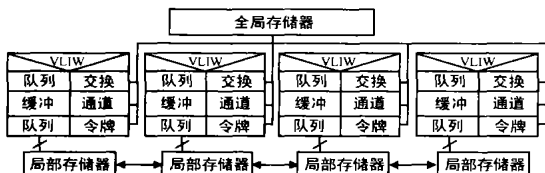


图 5 令牌模式下的 VLIW 处理器阵列

## 5 系统仿真

本文的主要设计思想已在 64 位 VLIW 芯片内得到应用, 通过了 RTL 级功能验证. 利用 Synopsys 软件完成了 0.25μm CMOS 工艺单元库综合, 综合后仿真结果满足 VLSI 设计所需要的收敛条件. 时钟频率为 100 MHz 时, 数据吞吐率可达到 1128Gbit/s. 图 6 是 MODELSIM 环境下的微码驱动下的连续读操作仿真结果.

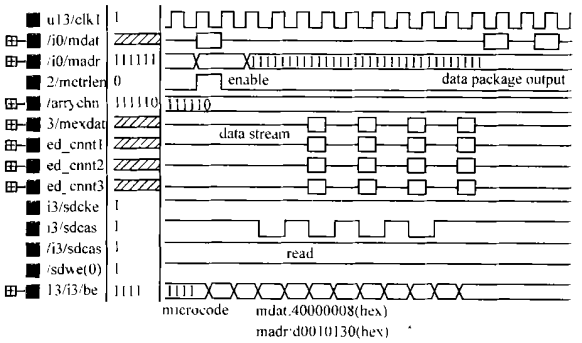


图 6 同步通道的流数据传送

图中描述的是 128bit 数据读操作的仿真结果, mdat 表示片内数据总线, mdr 表示片内地址总线, mcrlen 表示微码控制使能信号, array\_chn 为通道号, mexdat 为片外数据总线, ed\_cnnt123 为并行的片外数据. 对于任何一个通道, 数据操作范围可以灵活地设置为从 82bit, 162bit 到 1024bit 不等, 数据传送可以发生在宽度可编程的单通道、双通道或芯片之间.

## 6 结论

本文提出了一种新的数据通道 VLSI 设计, 针对 VLIW 处理器的局限, 设计中通过采用微码控制结构和层次化结构相结合的新方法, 所实现的结构具有灵活的可配置特征, 提高了数据存取连续性和灵活性, 避免了运行过程中的大量不必要的系统中断和功能切换开销, 减少了系统流水线停顿的几率, 芯片与芯片之间不仅能以更快的速度进行并行数据传输, 而且提供了一种多芯片互连的切实可行的简单途径, 从而实现规模可变的处理器系统, 这些特性都显著提高了数据传输带宽. 可以认为, 在媒体信号处理领域将有非常广泛的应用前景.

### 参考文献:

[1] S Y Kung. VLSI Array Processors[M]. Englewood Cliffs: Prentice Hall, 1988.

[2] J Miyake, et al. Architecture of 23GOPS video signal processor with programmable systolic array[J]. IEEE Trans on Circuits and Systems II, 1998, 45(9): 1272- 1278.

[3] J Du, et al. High performance DSP. s[J]. IEEE Trans on Signal Processing 2000(3): 16- 26.

[4] C K Chen, et al. A digital signal processor with programmable correlator array architecture for third generation wireless communication system [J]. IEEE Trans on Circuits and Systems II, 2001, 48(12): 1110-

1119.

- [ 5 ] W Gehrke, et al. Associative controlling of monolithic parallel processor architectures[ J]. IEEE Trans on Circuits and Systems for Video Technology, 1995, 5(5): 453- 464.
- [ 6 ] S Sutardja. A 50MHz vision processor, in proc[ A]. IEEE 1991 CICC [ C]. 1991. 12. 3. 1- 12. 3. 3.
- [ 7 ] R A Heaton, et al. A VLSI array processing chip[ A]. in Proc IEEE CC-CC. 89[ C]. 1989. 12. 1. 1- 12. 1. 5.
- [ 8 ] J Silc, et al. Processor Architecture From Dataflow to Superscalar and Beyond[ M]. Englewood Cliffs: Springer, 1998.
- [ 9 ] S Rixner. Stream Processors Architecture[ M]. Norwell, Massachusetts: Kluwer Academic Publishers, 2002.

## 作者简介:



杨焱男, 1968 年 10 月生于四川南充, 1990 年、1997 年分别获得电子科技大学微电子与固体电子学学士、四川大学无线电电子学硕士学位, 现在中国科学院声学所数字系统集成实验室攻读博士学位, 研究兴趣为高速数字信号处理及其实现.



侯朝焕男, 1936 年生于四川自贡, 现为中国科学院声学所研究员, 博士生导师, 中国科学院院士, 主要研究方向为多媒体信号处理和 VLSI 信号处理.