

## 基于自适应遗传算法的模拟电路自动设计方法

赵曙光<sup>1</sup>, 刘贵喜<sup>2</sup>, 王军宁<sup>3</sup>, 杨万海<sup>1</sup>

(1. 西安电子科技大学电子工程学院; 2. 西安电子科技大学自动控制系; 3. 西安电子科技大学通信工程学院, 陕西西安 710071)

**摘 要:** 针对电路进化设计的速度和规模瓶颈, 提出并讨论一种新的自适应遗传算法, 其特点包括: 支持结构自动生成和元件参数标准化的编解码方案, 兼顾功能设计和结构化简要求的多目标适应度评估, 考虑基因位影响力并跟踪进化进程的遗传参数调整策略等. 实验证明, 该方法可自动生成电路结构、优化元件参数和化简电路, 并显著地减小运算量和提高优化程度.

**关键词:** 电路进化设计; 遗传算法; 可进化硬件

**中图分类号:** TN702; TP18      **文献标识码:** A      **文章编号:** 0372-2112 (2004) 04-0680-04

### Automated Design Approach for Analog Circuits Based on a Multi-Stage Adaptive Genetic Algorithm

ZHAO Shu-guang<sup>1</sup>, LIU Gui-xi<sup>2</sup>, WANG Jun-ning<sup>3</sup>, YANG Wan-hai<sup>1</sup>

(1. School of Electronic Engineering, 2. Department of Automation,

3. School of Communication Engineering, Xidian University, Xi'an, Shaanxi 710071, China)

**Abstract:** To implement evolutionary design of analog circuits with larger scale and higher speed, we proposed a multi-stage adaptive Genetic Algorithm. It features an encoding-decoding scheme supporting creation of circuit structures and standard values (i. e. discrete values in common use) of components, a multi-objective fitness evaluation method based on PSpice simulation and penalty for the circuit size, and a genetic parameter adaptation technique considering the different effect of each locus on fitness and tracking the course of evolution. It is suggested by the experiment results of a series of active filter that the approach discussed can firstly search feasible circuit structures, then find an optimal combination of component values, and finally provide a simplified circuit with a response very close to the design target, whilst only a modest computational resource that a PC can provides is required.

**Key words:** evolutionary design of circuits; genetic algorithm; evolvable hardware

## 1 引言

作为可进化硬件(Evolvable Hard-Ware, EHW)<sup>[1]</sup>研究的重要分支, 近年来兴起的电路进化设计研究<sup>[2,3]</sup>已初步展示其在实现电路设计自动化方面的潜力. 它以进化算法(EA)特别是遗传算法(GA)为主要工具, 以电路结构和参数为进化对象, 可在不依赖先验知识和规则的条件下探索更为广阔的设计空间和获得更好的设计结果, 因而业已成为国际性的研究热点.

由于缺乏适用的可编程模拟器件且自动测试较为复杂, 模拟电路进化设计不便像数字电路那样借助硬件配置和实测(即内部进化)来加速进化<sup>[1-4]</sup>, 故多采用基于间接编码和软件仿真的外部进化方式<sup>[5,6,1-3]</sup>; 因其运算量巨大且随电路规模等呈指数律增加, 严重制约着进化设计的速度和规模. Koza等<sup>[5]</sup>基于遗传程序设计(GP)的工作代表着模拟电路进化设

计的现有水平, 但由于追求不依赖于先验知识和丰富的电路结构、参数变化, 针对放大器、滤波器等单元电路的一次进化设计实验亦需高性能并行计算机系统连续运算数日! Lohn等<sup>[6]</sup>为简化电路生成过程, 采用针对格形电路结构的“轨迹(trail)编码”, 并将三极管作为(第三端固定连接的)双端元件使用, 使运算量显著减少, 但仍需在工作站网络上运行. 此外, 现有方法大多未考虑电阻、电容等元件参数的标准化(离散化)问题, 其设计结果中的高精度取值若用于IC制造必然增加成本, 若用于分立元件实现则需近似为标称值, 相应的实际电路响应必然偏离设计目标和原有设计结果; 而对于如何化简自动生成的电路结构, 均未予考虑或说明.

本文立足微机的计算能力, 将常规设计方法的经验和规则融入最优保留遗传算法(EGA)<sup>[7]</sup>, 通过高效编码、遗传参数自适应、分阶段进化等措施, 可提高进化效率和设计结果的实用性.

收稿日期: 2002-05-23; 修回日期: 2003-12-29

基金项目: 国家自然科学基金(No. 60133010; No. 60374063)

## 2 编解码方案与 Pspice 仿真

为提高设计自动化程度,本文不规定具体的电路结构,而仅限定其包含的节点个数  $N_n$ 、允许选用的元件种类  $N_t$  以及元件个数  $N_c$ ,令程序自动生成和进化电路的结构。为便于 Pspice 仿真,仿照其网表格式进行基于元件标称值系列<sup>[3]</sup>的二进制编码。电阻、电容等双端元件的编码为

$$C_i = [type_i, node +_i, node -_i, value_i] \quad (1)$$

其中,  $type_i$  为其类型编号,  $type_i \in [1, N_t]$ , 编码长度为  $L_t = \lfloor \log_2^{N_t} \rfloor$ ;  $node +_i, node -_i$  为其两个端点连接的电路节点编号,  $node +_i, node -_i \in [1, N_n]$ , 其编码长度为  $L_n = \lfloor \log_2^{N_n} \rfloor$ ; 特别地,  $value_i$  并非参数值本身而是其在“标称值系列表”中的索引序号。当采用 12 级、24 级、96 级标称值系列时(即在 1 个数量级的范围内仅有 12、24、96 个标称值,误差等级分别为 10%、5%、1%),覆盖 5 个数量级以上的元件取值范围所需的编码长度  $L_v$  仅分别为 6、7、9 位,从而既可缩短编码长度和减少运算量,又可提高设计结果的实用性。三极管等复杂元件的编码格式与之类似,但需包含更多的节点,且  $value_i$  段需包含多个分别对应 1 个参数的子段。整个电路的染色体由其中所有元件的编码连接而成,其最大编码长度  $\approx N_c \cdot (L_t + 2 \cdot L_n + L_v)$ 。

在进行电路仿真前,需先根据上述编码格式将当前个体的染色体拆解和解码:①根据  $type_i$  码段,查表获得元件  $G_i$  的类型名(即 R、C、L 等);②将  $node +_i, node -_i$  转换为十进制数;③查表获得  $value_i$  对应的标称值。本文选用 96 级标称值系列,且令电阻取值范围为  $10\Omega \sim 2.1M\Omega$ ,电容为  $100pF \sim 21\mu F$ ,电感为  $1\mu H \sim 0.21H$ ,已可满足绝大多数设计项目的需要;④结合根据设计目标选定的仿真项目、记录格式等,按照 Pspice 的规定格式生成网表文件(.cir)。而后,以该文件作为调用参数,即可启动 Pspice 电路仿真。

## 3 适应度评估方法

电路设计通常需要兼顾多项设计指标,是典型的多目标优化问题。本文为减少运算量将各子目标加以整合,使问题转化为综合反映各子目标要求的单目标优化问题

$$\max Fitness(X) = \sum_{i=1}^n w_i \cdot Fit_i(X) \quad (2)$$

其中,  $w_i$  为权值系数,反映子目标  $f_i(X)$  的重要程度或优化压力;  $Fit_i(X)$  为个体  $X$  关于子目标  $f_i(X)$  的归一化适应度,设  $\psi$  为当前种群的个体集合,  $f_i(X)$  可根据 Pspice 仿真结果(.out)求出,则

$$Fit_i(X) = f_i(X) / \max\{ |f_i(Y)|, Y \in \psi \} \quad 1 \leq i \leq m \quad (3)$$

在此基础上,参照人工神经网络的后向传播学习算法(BPLA),令  $w_i$  动态地更新

$$w_{i,t} = \alpha \cdot w_{i,t-1} + (1 - \alpha) \cdot (1 - \overline{Fit}_{i,t-1}) \quad (4)$$

其中,  $0 \leq \alpha \leq 1$  常数。

本文令  $\alpha = 0.8$ ;  $\overline{Fit}_i$  为种群关于  $f_i(X)$  的平均适应度。这样,优化程度较高的子目标其优化压力将逐渐减小,优化程度较低子目标则相反,从而避免遗传搜索偏好部分子目标而舍弃

其余子目标;同时仍可利用初值  $w_{i,0}$  来表达对子目标  $f_i(X)$  的重视程度。

对滤波器、放大器之类设计问题,可利用频率响应曲线(如  $U \sim f$ )、幅度—时间曲线(如  $U \sim t$ )等综合表达设计目标,根据个体  $X$  的电路特性(仿真结果)与理性特性(设计目标)的吻合误差  $e_f(X)$  来评估个体  $X$  的适应度。利用频响曲线,可将功能设计问题简化为

$$\min e_f(X) = \sum_{j=1}^M w(f_j) \cdot U_e(X, f_j) \quad (5)$$

$$U_e(X, f_j) = [U_{goal}(f_j) - U_{real}(X, f_j)]^2 \quad (6)$$

其中,  $f_j$  为频率采样位置,  $1 \leq j \leq M$ ;  $U_{goal}(f_j)$  为理想频响特性,  $U_{real}(X, f_j)$  为实际特性(仿真结果),  $U_e(X, f_j)$  和  $w(f_j)$  分别为  $f_j$  处的吻合误差和加权系数。可进一步令  $w(f_j)$  跟随  $U_e(X, f_j)$  动态调整,以增加吻合较差的取样点处的进化压力

$$w(f_i) = \begin{cases} w_0 & U_e(X, f_i) \leq e_c \\ k \cdot w_0 & U_e(X, f_i) > e_c \end{cases} \quad (7)$$

其中,  $w_0, k(k > 1), e_c$  均为常数(可与  $f_i$  无关);本文令  $w_0 = 1, k = 10$ 。

在此基础上,利用个体  $X$  所含的元件个数  $N_c(X)$  表达电路规模,即得到兼顾功能设计和电路化简两种要求的适应度函数

$$fit(X) = \frac{C_e \cdot (1 - K_c)}{e_f(X) + C_e} + \frac{C_c \cdot K_c}{N_c(X)} \quad (8)$$

或者

$$fit(X) = (1 - K_c) \cdot \exp[-e_f(X)/C_e] + K_c \cdot \exp[C_c - N_c(X)] \quad (9)$$

其中,  $C_e, C_c$  均为常数,可令  $C_e = \overline{e_f(X)}$ (即平均吻合误差),  $C_c = 0.1 \sim 0.5 \times C_m^2$ ( $N_n$  为电路的节点数)。对于幅度—时间曲线也有类似的结果。在此基础上,为引导 GA 先侧重功能设计后侧重结构化简,特令电路规模对适应度的影响跟随遗传进程的展开逐步地增加

$$K_c = \begin{cases} 0, & t < t_0 \\ K_{c0} \cdot (1 - e^{-a \cdot (t - t_0)/t_{max}}), & t_0 \leq t \leq t_{max} \end{cases} \quad (10)$$

其中,  $t$  为已进化代数,  $t_{max}$  为最大进化代数,  $0 \leq t_0 \leq t_{max}$ ;  $K_{c0}, a$  为正的常数。

## 4 遗传参数调整策略

交叉概率  $P_c$  和变异概率  $P_m$  对 GA 的性能影响很大,取值过大将导致低效的纯粹随机搜索,取值过小则易造成早熟收敛;其最佳取值随具体应用和遗传进程而变化。另一方面,染色体中各基因位(locus)对个体适应度的影响力并不相同,甚至可能相差很大。在本文所采用的染色体中,基因段  $type$  决定元件的类型,基因段  $node +$  和  $node -$  决定元件的接入位置,从而共同决定电路的结构和类型,故其影响力远大于决定元件取值的基因段  $value$ ;即使同在  $value$  段中,高位序的基因位因其位权值较大,对元件取值及个体适应度的影响力也必然较大。因此,应考虑各基因位的影响力差异并相应地调整遗传参数,以减少搜索过程中的随机跳变和提高搜索效率。

基于上述考虑并借鉴常规设计方法惯用的“先定结构,后定参数”设计步骤,本文将决定电路结构的基因段“type, node +, node -”和决定元件取值的基因段“value”区别对待,为其赋予不同的变异概率  $P_m$  和  $P_{mv}$ ,并令  $P_m$ 、 $P_{mv}$  与交叉概率  $P_c$  均跟随遗传进程做分阶段、自适应调整:

$$P_m(t) = P_{m0} \cdot e^{-b_1 \cdot t/t_{max}}, f_d(t), \quad 0 \leq t \leq t_{max} \quad (11)$$

$$P_{mv}(t) = \begin{cases} 0, & t < t_0 \\ P_{mv0} \cdot [1 - e^{-b_2 \cdot (t-t_0)/t_{max}}] \cdot f_d(t), & t_0 \leq t \leq t_1 \\ P_{mv0} \cdot [e^{-b_2 \cdot (t-t_1)/t_{max}} - e^{-b_2 \cdot (t-t_0)/t_{max}}] \cdot f_d(t), & t_1 \leq t \leq t_{max} \end{cases} \quad (12)$$

$$P_c(t) = \min\{P_{c0} \cdot e^{-b_3 \cdot t/t_{max}} / f_d(t), P_{c0}\}, \quad 0 \leq t \leq t_{max} \quad (13)$$

其中,  $t$ 、 $t_{max}$ 、 $t_0$  的含义同式(10);  $t_1$  为常数,  $0 \leq t_0 < t_1 < t_{max}$ ; 常数  $P_{m0}$ 、 $P_{mv0}$ 、 $P_{c0} \in [0, 1]$ ;  $b_1$ 、 $b_2$ 、 $b_3$  均为正的常数。 $f_d(t)$  为对当前种群个体多样性的量度,本文令

$$f_d(t) = \overline{fit}(t) / [\overline{fit}_{max}(t) - \overline{fit}_{min}(t)] \quad (14)$$

其中,  $\overline{fit}(t)$  是当前种群(第  $t$  代)的平均适应度,  $\overline{fit}_{max}(t)$ 、 $\overline{fit}_{min}(t)$  则分别为最大、最小适应度。因此,种群的个体多样性越高,  $f_d(t)$  越小; 否则相反。

如图 1 所示,式(11)~(14)相互配合,将进化过程隐含地划分为结构生成、参数与结构共同进化和结构简化三个阶段,并根据各阶段的特点相应地设置交叉概率  $P_c$  和变异概率  $P_m$ : ①  $0 < t < t_0$  段,  $P_m$ 、 $P_c$  较大而  $P_{mv} = 0$ , 以便较快地初步生成电路拓扑结构和确定元件类型; ②  $t_0 \leq t < t_1$  段,  $P_m$  逐步减小而  $P_{mv}$  和  $k_c$  逐步增大, 支持电路结构与元件参数的同时进化, 而电路规模对个体适应度的影响也逐渐增大; ③  $t_1 \leq t < t_{max}$  段,  $P_m$ 、 $P_{mv}$ 、 $P_c$  均减小至较低水平, 即保持电路结构基本不变而主要微调元件参数; 而  $k_c$  则继续增加, 以引导 GA 找到功能优化程度较高且结构相对简单的电路。同时,在上述各个阶段均依据当前种群的多样性相应地调整各遗传参数: 当  $f_d(t)$  较大(即种群可能收敛至局部最优解)时, 增加  $P_m$  而减小

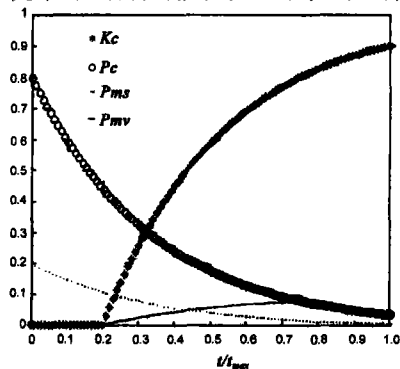


图 1  $K_c$ 、 $P_c$ 、 $P_m$ 、 $P_{mv}$  随  $t/t_{max}$  变化的规律

( $f_d(t) = 1, t_0 = 0.2, t_1 = 0.8$ )

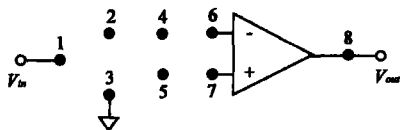


图 2 SAB 滤波器框架

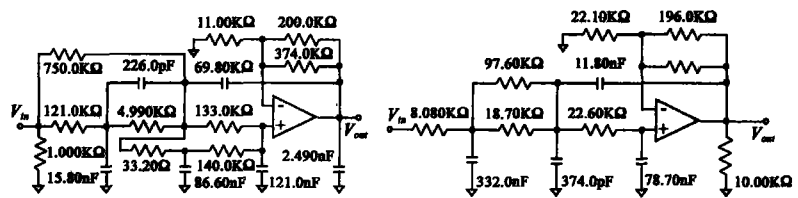
$P_c$ ; 而当  $f_d(t)$  较小(即种群中个体较为分散)时, 即减小  $P_m$  而增大  $P_c$ 。

### 5 实验与讨论

SAB(Single Amplifier Biquad, 单运放双二次节)是最常用的二阶有源滤波器结构和构成高阶有源滤波器的基本模块, 因此被选为本文的设计实验对象。如图 2 所示, 实验中允许电路至多有 8 个节点, 16 个  $R$ 、 $C$  元件, 设计目标以幅频曲线形式给出。针对不同的滤波器种类和特性进行了多组实验。图 3 给出了 1 个低通滤波器设计的中间过程和最终结果, 表 1 列出了另外三种类型滤波器的典型设计结果。实验采用的主要参数包括: 种群规模 = 100, 最大遗传代数 ( $t_{max}$ ) = 1000;  $t_0/t_{max} = 0.2, t_1/t_{max} = 0.8; a = 4, k_c = 8; P_{c0} = 0.8, P_{m0} = 0.1, P_{mv0} = 0.05, b_1 = b_2 = b_3 = 2$ 。实验的微机配置为 P3 733 CPU、128M RAM, 编程语言为 TC2.0, 仿真工具为 Pspice 5.1。单次运行需耗时约 15 小时(主要为 Pspice 仿真耗时)。

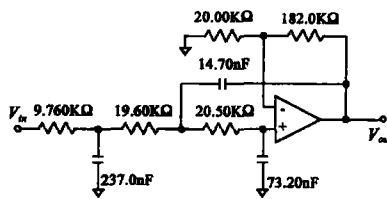
表 1 高通、带通、带阻滤波器设计的典型结果

设计目标	高通: $f_c = 2\text{KHz}$ , 阶数 = 3, $ A  = 14\text{dB}$ , Butterworth 型	带通: $f_c = 500\text{Hz}$ , $ A  = 0\text{dB}$ , $Q = 10$ , Bessel 型	带阻: $f_c = 50\text{Hz}$ , $ A  = 0$ , $Q = 5$ , Butterworth 型
设计结果(主要参数)	$f_c = 2.028\text{KHz}$ , $ A  = 13.8\text{dB}$ , $-60.4\text{dB/十倍频}$	$f_c = 501\text{Hz}$ , $ A  = 0$ , $Q = 10.3$ , $-40.2\text{dB/十倍频}$	$f_c = 50.3\text{Hz}$ , $ A  = 5.5\text{dB}$ , $Q = 5.3$ , 陷波深度 = $-50\text{dB}$
电路结构与元件参数 (由最优个体译码得到)	$[C, 1, 2, 7.15\text{nF}]$ & $[R, 2, 3, 5.23\text{k}\Omega]$ & $[C, 2, 4, 7.32\text{nF}]$ & $[R, 4, 8, 25.5\text{k}\Omega]$ & $[C, 4, 7, 7.15\text{nF}]$ & $[R, 7, 3, 10.0\text{k}\Omega]$ & $[R, 8, 6, 39.2\text{k}\Omega]$ & $[R, 6, 3, 10.0\text{k}\Omega]$	$[R, 1, 2, 21.5\text{k}\Omega]$ & $[C, 2, 3, 294\text{nF}]$ & $[C, 2, 7, 287\text{nF}]$ & $[R, 2, 8, 806\Omega]$ & $[R, 7, 3, 1.54\text{k}\Omega]$ & $[R, 6, 8, 22.6\text{k}\Omega]$ & $[R, 6, 3, 22.1\text{k}\Omega]$	$[R, 1, 2, 100\text{k}\Omega]$ & $[R, 1, 6, 187\text{k}\Omega]$ & $[C, 3, 2, 37.4\text{nF}]$ & $[C, 2, 7, 36.5\text{nF}]$ & $[R, 2, 8, 215\text{k}\Omega]$ & $[R, 7, 3, 105\text{k}\Omega]$ & $[R, 6, 8, 374\text{k}\Omega]$ & $[R, 6, 3, 100\text{k}\Omega]$

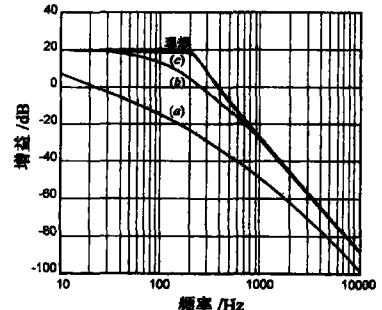


(a)  $t=t_0$  时的最优个体

(b)  $t=t_1$  时的最优个体



(c) 最终设计结果



(d) 幅频特性曲线

图 3 低通滤波器(Chebyshev 型,  $f_c = 200\text{Hz}$ , 3 阶,  $|A| = 20\text{dB}$ )设计的中间过程和结果

上述实验结果表明,本文的方法可自动生成电路结构和完成元件参数的优化,逐步得到具备预期功能且经过简化的电路.由于基于电路设计经验采取了高效编码、分阶段进化、遗传参数自适应等多种措施,该方法的运算量显著减少,而进化结果的实用性得到提高.

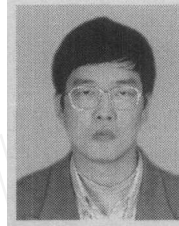
#### 参考文献:

- [ 1 ] YAO X, Higuichi T. Promises and Challenges of Evolvable Hardware [J]. IEEE Trans On Systems Man and Cybernetics—Part C: Applications and Reviews, 1999, 29(1): 87 - 97.
- [ 2 ] Thompson A, et al. Explorations in design space: unconventional electronics design through artificial evolution [J]. IEEE Trans On Evolutionary Computation, 1999, 3(3): 167 - 196.
- [ 3 ] 赵曙光. 基于进化的电路自动设计方法研究 [D]. 博士学位论文. 西安: 西安电子科技大学研究生院, 2003.
- [ 4 ] 赵曙光, 杨万海. 基于函数级 FPGA 原型的硬件内部进化 [J]. 计算机学报, 2002, 25(6): 666 - 669.
- [ 5 ] Koza J R, et al. Automated synthesis of analog electrical circuits by means of genetic programming [J]. IEEE Trans On Evolutionary Computation, 1997, 1(2): 109 - 128.
- [ 6 ] Lohn J D, Colombano S P. A circuit representation technique for automated circuit design [J]. IEEE Trans On Evolutionary Computation,

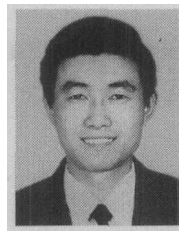
1999, 3(3): 205 - 219.

- [ 7 ] 陈国良, 王煦法, 庄镇泉等. 遗传算法及其应用 [M]. 北京: 人民邮电出版社, 1999.

#### 作者简介:



**赵曙光** 男, 1965 年生于陕西西安, 副教授, 2003 年获博士学位, 曾获多项省、部级科技进步奖, 已发表学术论文近 30 篇, 主编并出版教材、专著各 1 部, 目前研究方向为可进化硬件 (EHW)、电子设计自动化、智能仪器与系统等.



**刘贵喜** 男, 1966 年生于山东莱阳, 副教授, 2001 年获博士学位, 曾获国家和省、部级科技进步奖, 已发表学术论文 40 余篇, 目前研究领域为信息融合、智能控制等.