

基于控阈技术的电流型 CMOS 全加器的通用设计方法

杭国强

(浙江大学信息与电子工程学系, 浙江杭州 310027)

摘要: 利用电流信号的阈值易于控制这一特点, 对电流型 CMOS 电路中如何实现阈值控制进行了研究. 以开关信号理论为指导, 建立了实现阈值控制电路的电流传输开关运算并具体指导设计了具有阈值控制功能的二值和多值电流型 CMOS 全加器. 提出了适用于任意逻辑值的可控阈电流型 CMOS 全加器的通用设计方法. 通过对开关单元施阈控制后, 所设计的电路在结构上得到了非常明显的简化, 在性能上也获得了改善. 最后给出了采用 0125Lm CMOS 工艺参数的 HSPICE 模拟结果及其能耗比较.

关键词: 开关理论; 全加器; 控阈技术; 电流型 CMOS

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112 (2004) 08-1362-03

Universal Design Method for Current Mode CMOS Adders Based on Threshold Controllable Technique

HANG Guoqiang

(Department of Information & Electronic Engineering, Zhejiang University, Hangzhou, Zhejiang 310027, China)

Abstract: Since current threshold values are easy to control, this paper studies how to realize the threshold controlling in current mode CMOS circuits. Guided by the switch signal theory, the operations of current transmission switch used to realize threshold controlling circuits are established. On this basis, binary and multiple-valued current mode CMOS adders with threshold controllable function are designed. A universal design method for current mode CMOS n-valued adders based on threshold controllable technique is proposed. By employing the threshold controlling technique, the construction of the circuits has been simplified considerably, and the performance of the circuits has been improved. HSPICE simulations of transient characteristics using 0125Lm CMOS technology are presented, and the simulated results of energy dissipation are compared.

Key words: switch theory; full adder; threshold controllable technique; current mode CMOS

1 引言

在数字电路中, 开关单元的一个重要参量为检测阈值, 它用于判定输入信号逻辑值的大小. 在传统的讨论中, 开关的阈值通常是固定的, 而且由于电路设计时一般只涉及到门而不涉及到具体的开关, 因此在设计中不涉及阈值控制. 然而, 当电路的设计从门级发展到开关级后, 阈值的存在与作用就变得明确. 能否在设计中控制电路的阈值这一问题也随之被提出^[1,2]. 这种控阈技术若能实现, 则可以预期的效果将是增强元件控制信号的能力与增强综合电路的能力, 从而达到简化电路设计的目的. 由于元件的电压阈通常是固定的, 因而难以改变. 本文利用电流信号的阈值易于控制这一特点, 将可控阈的设计思想引入至电流型 CMOS 全加器的开关级设计中. 建立了适用于任意逻辑值的可控阈电流型 CMOS 全加器的通用设计方法. 所提出的设计较之以往设计在结构上得到了非常显著的简化. HSPICE 模拟结果进一步验证了它具有良好的性

能及较之以前的设计更低的能耗.

2 可控阈电流型 CMOS 全加器的通用设计方法

2.1 可控阈二值全加器^[1]

由于电流信号极易实现算术加运算, 因此在电路设计时可 将算术加信号作为一个中间变量引入. 引入算术加信号后可以使电路结构得以简化. 设二值全加器的 2 个输入信号为 A, B ∈ {0, 1}, 进位输入为 C_I ∈ {0, 1}, 则 E = A ⊕ B ⊕ C_I 为四值信号. 由此得到引入中间算术加信号 E 后二值全加器的真值表如表 1 所示, 表中 C₊ 为进位输出, S 为求和输出. 根据开关信号理论^[3], 由真值表 1 可获得如下的电流传输开关运算关系式:

表 1 引入算术加信号的二值全加器真值表

	E	0	1	2	3
S	0	1	0	1	
C ₊	0	0	1	1	

$$C_+ = 1 \text{p}^{115} E \quad (1)$$

$$S = 1 \text{p}^{(015} E \# E^{115} + 215} E) \quad (2)$$

由上述二式可得到相应的电路实现如图 1(a) 所示. 该电路与文献[4]中所提出的设计是完全一致的. 然而, 由真值表 1 不难看出当 $C_+ = 0$ 时, 如果 $E > 0.5$, 则输出 $S = 1$; 而当 $C_+ = 1$ 时, 若 $E > 2.5$ 则输出 $S = 1$. 因此可将 S 信号的表达式改写为:

$$S = 1p^{0.5\&2\#C_+} E \quad (3)$$

注意到在式(3)中已引入了阈值控制技术, 开关阈值受到了 C_+ 的控制. 由此设计的二值全加器如图 1(b) 所示. 可以看出引入阈值控制技术后所设计的电路更为简单, 该设计较之文献[4]中的设计节省了 2 个 MOS 管, 并且所需提供的最大值恒流源从 $2.5I_0$ 下降为 $2I_0$, 这有助于降低电路的功耗及管子的面积.

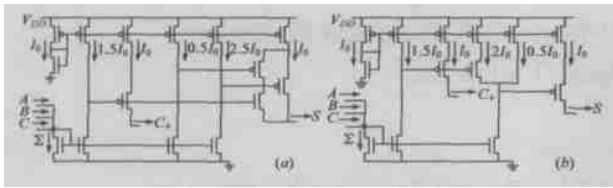


图 1 (a) 引入求和信号的电流型 CMOS 二值全加器;
(b) 基于控阈技术的电流型 CMOS 二值全加器

2.1.2 可控阈三值全加器

设三值全加器的 2 个三值输入信号为 A, B $\{0, 1, 2\}$, 进位输入为 $C_I \{0, 1\}$, 则 $E = A \& B \& C$ 为六值信号. 由此得到引入中间算术加信号 E 后三值全加器的真值表如表 2 所示. 由真值表 2 可获得如下的关系式:

表 2 引入算术加信号的三值全加器真值表

E	0	1	2	3	4	5
S	0	1	2	0	1	2
C_+	0	0	0	1	1	1

$$C_+ = 1p^{2.5} E \quad (4)$$

$$S = \{[(1p^{0.5} E) \& (1p^{1.5} E)] p^{2.5}\} \& (1p^{3.5} E) \& (1p^{4.5} E) \quad (5)$$

由上述二式可得到相应的电路实现如图 2(a) 所示. 该电路即为文献[3]中所提出的设计. 可以看出, 上述设计方案中电流比较器的检测阈值仍为固定的, 因此为检测一个六值的中间求和信号 E 就必须设置 5 种不同阈值(0.5, 1.5, 2.5, 3.5, 4.5)的恒流源. 为实施阈值控制技术, 根据表 2 可以得到如下求和信号的电流传输开关运算表达式:

$$S = (1p^{0.5\&3\#C_+} E) \& (1p^{1.5\&3\#C_+} E) \quad (6)$$

注意到在式(6)中有两个阈值均受到了 C_+ 的控制, 由此设计的三值全加器如图 2(b) 所示. 可以看出电路中只需设置 4 种不同数值的阈电流(0.5, 1.5, 2.5, 3), 并且将电路的最大阈值从 4.5 降为了 3 (注意图中与两个输出端相连的 I_0 是输出电流而非阈电流). 该设计较之文献[3]提出的电路节省了约 1/4 的 MOS 管, 并且由于所需阈值电流数目和大小均得到降低, 因此可以预见该设计具有更低的功耗.

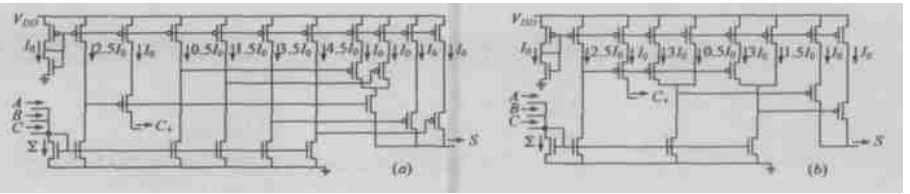


图 2 (a) 引入求和信号的电流型 CMOS 三值全加器;
(b) 基于控阈技术的电流型 CMOS 三值全加器

2.1.3 可控阈四值全加器^[2]

设四值全加器的 2 个四值输入信号为 A, B $\{0, 1, 2, 3\}$, 进位输入为 $C_I \{0, 1\}$, 则 $E = A \& B \& C$ 为八值信号. 由此得到引入中间算术加信号 E 后四值全加器的真值表如表 3 所示. 算术加的结果导致逻辑值增加, 这样为了检测这个八值信号就需要设置对应于 7 种不同阈值(0.5, 1.5, 2.5, 3.5, 4.5, 5.5, 6.5)的恒流源^[5]. 由于工艺条件的限止, 很难做到这么多的阈电流之间不存在偏差. 因此随着阈电流数目及数值的增加, 电路的性能也会下降^[5]. 但是如果引入阈值控制技术后, 就可以减少阈值电流的数目以及降低最大阈电流的数值. 为实施阈值控制技术, 根据表 3 可以得到如下的电流传输开关运算表达式:

表 3 引入算术加信号的四值全加器真值表

E	0	1	2	3	4	5	6	7
S	0	1	2	3	0	1	2	3
C_+	0	0	0	0	1	1	1	1

$$C_+ = 1p^{3.5} E \quad (7)$$

$$S = (1p^{0.5\&4\#C_+} E) \& (1p^{1.5\&4\#C_+} E) \& (1p^{2.5\&4\#C_+} E) \quad (8)$$

可以看出式(8)中有三个电流阈值受到了 C_+ 的控制. 由此设计的四值全加器如图 3 所示. 注意到电路中只需设置 5 种不同数值的阈电流(0.5, 1.5, 2.5, 3.5, 4), 而不是原来的 7 种, 并且将最大阈值从 6.5 降为了 4. 该设计较之文献[5]提出的电路节省了约 1/2 的管子. 同样, 由于所需阈值电流数目和大小均得到降低, 因此该设计将具有更低的功耗, 同时也可以降低由于工艺因素造成的阈电流偏差对电路性能的影响.

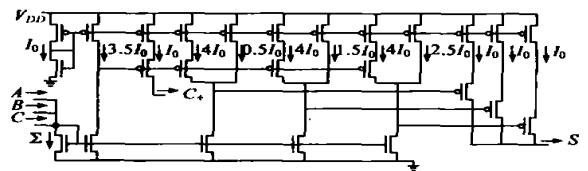


图 3 基于控阈技术的电流型 CMOS 四值全加器

在上述讨论的基础上, 可建立如下基于控阈技术的 m 值电流型 CMOS 全加器的进位输出 C_+ 及求和输出 S 的通用电流传输开关运算表达式:

$$C_+ = 1p^{m-0.5} E \quad (9)$$

$$S = \prod_{i=2}^m [1p^{(i-1.5)\&m\#C_+} E], m I \{2, 3, 4, \dots\} \quad (10)$$

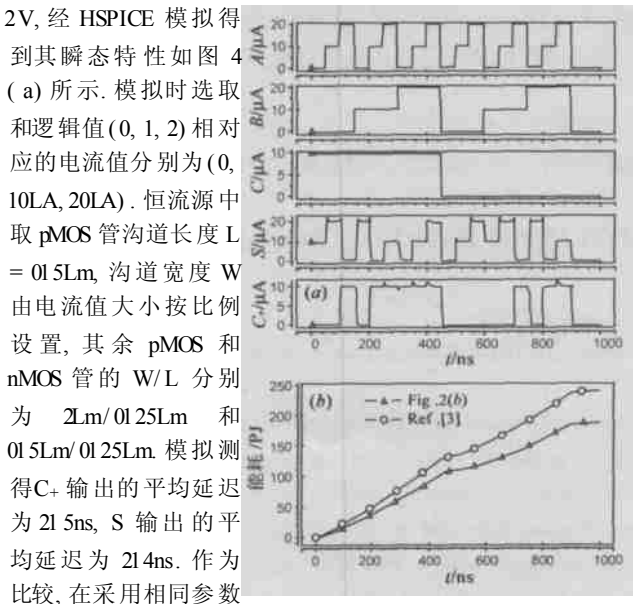
上述关系式也可应用于多位二值信号相加时的情况, 随着输入位数的增加所获得的电路简化程度也越显著.

上述设计表明, 数字电路中开关单元的阈值可以成为受

某变量控制的函数. 这样, 为检测一个 m 值信号, 就不必设置 $m-1$ 个固定检测阈值, 从而可望得到较为简单的电路设计. 同时, 由于引入阈值控制技术后可使阈值电流设置的数目以及最大阈电流值均得到减小, 这有助于降低整个电路的功耗, 并可减少因 MOS 管匹配受限造成电流复制精度下降而对整个电路性能带来的影响.

3 计算机模拟结果与比较

对所设计电路均已通过计算机模拟. 以图 2(b) 所示电路设计为例, 采用 TSMC 0125Lm CMOS 标准工艺参数并取 $V_{DD}=2V$, 经 HSPICE 模拟得



得到其瞬态特性如图 4 (a) 所示. 模拟时选取和逻辑值 (0, 1, 2) 相对应的电流值分别为 (0, 10LA, 20LA). 恒流源中取 pMOS 管沟道长度 $L=0.5L_m$, 沟道宽度 W 由电流值大小按比例设置, 其余 pMOS 和 nMOS 管的 W/L 分别为 $2L_m/0.25L_m$ 和 $0.5L_m/0.25L_m$. 模拟测得 $C+$ 输出的平均延迟为 21.5ns, S 输出的平均延迟为 21.4ns. 作为比较, 在采用相同参数及激励条件下, 图 4 (a) 瞬态特性; (b) 瞬态能耗比较

4 结论

在电流型电路中, 由于电流信号易于实现加法运算, 因此将算术加信号作为中间变量引入电路设计时可得到较为简单的电路结构. 算术加的结果导致逻辑值的增加, 此时要求电路提供多个检测阈值, 这给实施阈值控制技术提供了条件. 由于电流阈值具有易于控制的特点, 本文将阈值控制技术应用于电

流型 CMOS 全加器的设计中, 并建立了适用于任意逻辑值的可控阈电流型 CMOS 全加器的通用设计方法. 由于在电路设计时将电流阈值作为一个参量加以利用, 这使得电路设计更为灵活并且增强了综合电路的能力, 从而获得了简单的电路结构. 随着逻辑值的增大, 阈值电流也将增大, 这会使电流镜的复制精度下降. 但引入阈值控制技术后阈值电流设置的数目以及最大阈电流值均得到了减小, 这不仅有助于降低整个电路的功耗, 而且也可以减少由于工艺因素造成的阈电流偏差对电路性能的影响. 为进一步提高电路的工作速度, 可采用接入偏置电流的方法, 这需要同时提高阈值电流. 因此, 这将以增加电路功耗为代价.

参考文献:

- [1] G Hang, X Wu. Current mode CMOS circuits design based on current threshold controllable technique [A]. Proceedings of IEEE Asia Pacific Conference on Circuits and Systems [C]. Piscataway, NJ: IEEE Service Center, 2000. 529- 532.
- [2] 杭国强, 任洪波, 吴训威. 基于控阈技术的四值电流型 CMOS 电路设计 [J]. 半导体学报, 2002, 23(5): 523- 528.
- [3] X Wu, X Deng, S Ying. Design of ternary current mode CMOS circuits based on switch signal theory [J]. Journal of Electronics, 1993, 10(3): 193- 202.
- [4] K Navi, A Kazeminejad, D Etienne. Performance of CMOS current mode full adders [A]. Proceedings of IEEE International Symposium on Multiple-valued Logic [C]. Los Alamitos, CA: IEEE Computer Society, 1994. 27- 34.
- [5] K W Current. Current mode CMOS multiple-valued logic circuits [J]. IEEE Journal of Solid State Circuits, 1994, 29(2): 95- 107.

作者简介:



杭国强 男, 1968 年 8 月生于浙江桐乡, 于 2000 年 7 月获浙江大学工学博士学位, 现为浙江大学信息与电子工程学系副教授, 已发表学术论文 40 余篇, 曾获教育部科技进步二等奖 1 项, 浙江省科技进步奖二等奖 1 项, 浙江省高校优秀科研成果奖一等奖 1 项, 目前主要从事多值逻辑及低功耗集成电路设计方面的研究工作.