

# 基于连续性判别的并行帧同步系统

刘 昭,金德鹏,曾烈光

(清华大学电子工程系,北京 100084)

**摘 要:** 目前关于并行帧同步方案的研究大多是针对某种具体应用的,结论缺乏一般性.同时一些新出现的帧同步问题(如 10G 以太网中 66B 码的帧同步)具有一些新特点.本文提出了一种新的并行帧同步系统构成模式 MCSCI,它采用连续性判别的方法进行同步码位搜索.当将 MCSCI 用于 66B 码帧同步时,和现有模式相比以较小的面积开销获得了最佳性能.本文在理论分析和计算机仿真的基础上,研究了一系列典型参数下新旧并行帧同步系统的性能,结果表明 MCSCI 具有广泛的应用前景.

**关键词:** 帧同步;并行;连续性

**中图分类号:** TN914 **文献标识码:** A **文章编号:** 0372-2112 (2005) 07-1177-06

## Parallel Frame Synchronization Systems Based on Continuity Validation

LIU Zhao, JIN De-peng, ZENGLie-guang

(1 Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

**Abstract:** Present researches of parallel frame synchronization schemes are mostly focused on one or another special application, and the conclusions lack general significance. Some new frame synchronization problems such as 66B code synchronization in 10 gigabit ethernet have their new characteristics. This paper proposes a new parallel frame synchronization scheme, namely MCSCI, which uses a method featured by continuity validation to perform searching of frame alignment word. When MCSCI is used in 66B code synchronization, optimal performance is acquired at the expense of smaller chip-area, compared with present schemes. Based on theoretical analysis and computer simulations, this paper studies the performances of proposed and present schemes under many suits of parameters, and the results show that MCSCI has broad usage.

**Key words:** frame synchronization; parallel; continuity

## 1 引言

帧同步系统对于数字复接设备的性能有很大影响.实现帧同步的基本方法是发送端在帧同步码时隙插入一组有特殊码型的帧同步码.对于集中插入的帧同步码,在接收端多采用置位同步法实现帧同步<sup>[1]</sup>.在宽带数字通信专用集成电路中,为了降低功耗和满足加工工艺要求通常采用并行数据通路,因此需要研究并行帧同步系统.衡量帧同步系统性能的最重要参数是平均帧同步持续时间  $T_{ASH}$  和平均帧同步捕捉时间  $T_{ASC}$ ,其中  $T_{ASC}$  应该尽量短.帧同步系统的性能是由以下因素决定的:(1)帧同步方案;(2)帧同步系统参数,包括帧长度  $N$ 、校核计数长度、保护计数长度、同步码长度  $n$  和系统平均误码率  $P_e$ .因此需要分析在不同的系统参数下不同并行帧同步方案的性能,并寻找性能最好、面积开销最小的并行帧同步系统,但性能和面积开销的优化是矛盾的,需要根据应用背景寻找一种合理的折衷.并行系统在带来工作频率降低的好处的同时,也加大了设计的复杂性,因此并行度总受到一定限

制.对串行帧同步系统的研究已经比较成熟<sup>[1,2]</sup>.近年来对并行帧同步问题也进行了大量的研究<sup>[3-8]</sup>,但大多是在某种特殊应用(主要是 SDH)中,针对一套具体参数所进行的性能分析,而缺乏各种并行帧同步模式性能的对比.10G 以太网中 66B 码的帧同步问题有着不同于 SDH 帧同步的特点<sup>[9]</sup>.针对这类新的帧同步问题,有必要设计新的并行帧同步系统.本文提出了一类新的并行帧同步系统模式,并在一系列典型参数下研究了新模式和现有几种模式的性能,结果表明新模式以较小的面积开销获得了较好的性能,具有广泛的应用前景.

## 2 并行帧同步系统

10G 以太网的帧同步由 STM-64 信号帧同步和 66B 码帧同步两步完成.66B 码的帧长为 66 比特,每帧有 2 比特长的同步码位,同步码位上的“10”或者“01”为合法的同步码.

帧同步系统主要由比较器和保护/校核状态机构成<sup>[1]</sup>.串行和并行帧同步系统的不同在于前者只需要一个比较器和一个保护/校核状态机.而在  $L$  比特并行帧同步系统(简称为“ $L$

收稿日期:2004-03-15;修回日期:2005-04-06

基金项目:国家 863 高技术研究发展计划(No. 2001AA12107)

- 并行帧同步系统”中,同步码位可能是启始于  $L$  个并行位置中的任何一个,因此可以有多个比较器和多个同步状态机.

根据比较器和状态机的数量,可以把现有的并行帧同步系统分为三种,即:

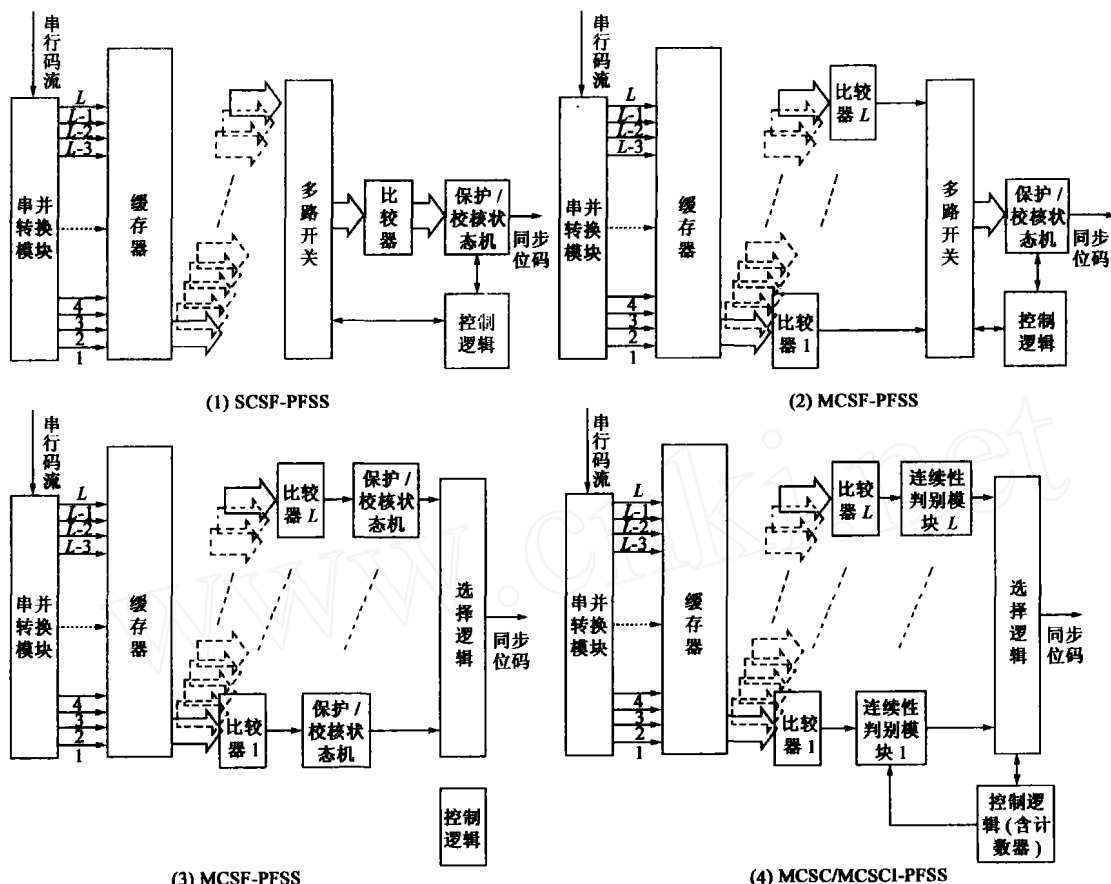


图 1 并行帧同步系统

1. SCSF-PFSS(单比较器-单状态机并行帧同步系统),如图 1(1)所示;
2. MCSF-PFSS(多比较器-单状态机并行帧同步系统),如图 1(2)所示;
3. MCSCF-PFSS(多比较器-多状态机并行帧同步系统),如图 1(3)所示.

本文称并行度和帧长相等的并行帧同步系统为全并行帧同步系统(下文将以(C)强调全并行帧同步系统,例如 MCSCF(C)-PFSS);而称帧长大于并行度的并行帧同步系统为部分并行帧同步系统(下文将以(P)强调).在部分并行帧同步系统中,假设  $N$  为帧长,  $L$  为并行度,则需  $N/L$  个时钟周期输出一帧.在搜索同步码位时,每个比较器须记录下目前已经前进到哪个时钟周期以便进行校核.

全并行帧同步系统中,SCSF-PFSS 每次搜索下一个候选同步位置时只能在 1 个帧周期后由位置  $i$  移动到位置  $i+1$ ,造成  $T_{Asc}$  太长,很少被采用.近年来在高速 SDH 系统中采用的均为 MCSF-PFSS<sup>[5-7]</sup>.由于 MCSCF-PFSS 面积开销比较大,而且当将其应用于 SDH 帧同步系统时,性能和 MCSF-PFSS 相比并没有很大的提高,因此未见将其用于 SDH 系统的文献记载.

但这种用增加搜索模块的方法来提高性能的方法可见于其他场合,例如 ATM 的并行信元定界问题<sup>[10]</sup>.从下文将看到,MCSCF-PFSS 用于 66B 码的并行帧同步时也具有比 MCSF-PFSS 优越的性能.

MCSCF-PFSS 为每个码位单独配置一个同步状态机,从而可以细致跟踪各码位变化,能够在发生虚警或虚漏之后尽快搜索到同步码位.但在大规模并行系统中,由此带来的面积开销不可忽视.考虑到在虚漏概率较小、校核计数长度较大的情况下,进入伪同步状态的概率非常低,这种细致的跟踪显得不太必要,本文提出一种基于连续性判别的并行帧同步系统构成模式,它借鉴了 MCSCF 模式中多模块并行搜索的优点,但用多个连续性判别模块和一个计数器取代了后者的多个保护/校核状态机,所以称为“多比较器-单计数器并行帧同步系统”(MCSC-PFSS),如图 1(4)所示. MCSC-PFSS 的工作原理是:串行码流进行  $1:L$  串并转换之后,同时对  $L$  个同步

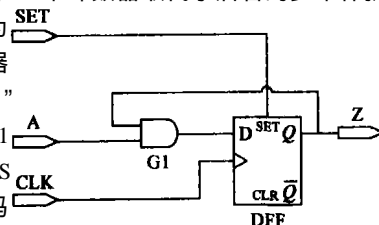


图 2 连续性判别模块

码位进行比较.如果某码位  $i$  上是合法同步码,相应的比较器将输出 1.连续性判别模块的原理如图 2 所示.开始搜索时,连续性判别模块的输出被预置为 1,如果收到连续的 1 则输出保持为 1(说明输入保持了合法同步码的连续性),否则变为 0(说明没有保持同步码的连续性).“控制逻辑”模块中有帧周期计数器,一个帧周期过后,只有一直保持收到合法同步码的位置,其相应的连续性判别模块才会输出 1.选择逻辑模块在开始搜索一个帧周期后开始从搜索起始位置顺序搜索输出为 1 的连续性判别模块的位置,该位置被认定为同步码位. MCSC 模式的缺点是:每次虚漏都将重新开始另一个搜索周期,花费的搜索时间代价是  $T_s$ ,因此在  $P_e$ (从而虚漏概率)比较大的情况下这种系统的性能会下降.为此我们对 MCSC 模式进行了改进,提出了 MCSCI(增强型 MCSC)模式.其原理是:相对于 MCSC 模式在每个搜索周期(长度为  $T_s$ )末检查连续性判别结果,MCSCI 模式则在每个帧周期(长度为  $T_s$ )末检查连续性判别结果,如果全部码位都已经不连续,说明虚漏已经发生,则提前进入下一个搜索周期.

3 并行帧同步系统的性能分析

评价并行帧同步方案,就是在同样的系统参数( $N$ 、 $n$ 、 $P_e$ )下比较不同帧同步模式的性能,主要是  $T_{ASC}$ (一旦帧同步系统找到同步码位,就使用同样的状态机进行保护.因此上述各种并行帧同步系统的  $T_{ASH}$ 是相同的).下面的讨论中定义  $T$ 是码流的比特周期,  $T_s$ 是码流帧周期,  $T_{ASH}/NS$ 是不同步/同步码位上的平均帧同步持续时间,  $T_{ASC}/NS$ 是不同步/同步码位上的平均帧同步捕捉时间,  $P_{FNS}$ 是虚警概率,  $P_{LNS}$ 是虚漏概率,并定义  $P_{LNS} = 1 - P_{FNS}$ ,  $P_{FNS} = 1 - P_{LNS}$ .

3.1 全并行帧同步系统

虚漏对 MCSF-PFSS 和 MCMF-PFSS 捕捉过程的影响是一样的.每次虚漏都将开始新一轮搜索.搜索时间是由帧同步系统在每个非同步码位上的平均停留时间(简称为比特搜索时间)  $t$ 决定的.而  $t$ 取决于  $n$ 和  $N$ .因此只需要比较不同的  $n$ 、 $N$ 下的  $t$ 即可评价 MCMF(C)-PFSS 和 MCSF(C)-PFSS.评价 MCMF(C)-PFSS 和 MCSC(C)-PFSS 时,因为虚漏对二者的影响机制是不一样的,因此必须计算总的帧同步捕捉时间.

3.1.1 MCSF(C)-PFSS 和 MCMF(C)-PFSS 的性能

为了求得  $t_{MCMF}$ ,可以做出如图 3 的状态转移图,由文献[1],容易求得

$$t_{MCSF(C)} = \frac{1}{P_{Y-NS} \sum_{k=0}^{N-1} (1 - P_{Y-NS})^k (T + kT_s) + P_{Y-NS} [T + T_s + T_{ASH-NS}]}$$

由图 3 可得

$$t_{MCSF(C)} = \frac{d}{dz} F(z) \Big|_{z=1} = T + P \frac{T_{ASH-NS}}{2}$$

其中  $P$  是当 MCMF-PFSS 搜索到某非同步码位时,该位置的状态机恰好处于同步态的概率,即

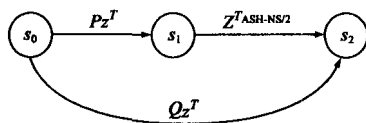


图 3 MCMF-PFSS 的搜索过程

$$P = \frac{T_{ASH-NS}}{T_{ASH-NS} + T_{ASC-NS}} \tag{3}$$

故

$$t_{MCSF(C)} = T + \frac{T_{ASH-NS}^2}{2(T_{ASH-NS} + T_{ASC-NS})} \tag{4}$$

表 1 = 3 时的  $t_{MCSF(C)}$  和  $t_{MCMF(C)}$

		= 2	= 5	= 32	= 64
n = 1	$t_{MCSF(C)}$	$T + 4.25 T_s$	$T + 1.4063 T_s$	$T + T_s$	$T + T_s$
	$t_{MCMF(C)}$	$T + 6.125 T_s$	$T + 2.227 T_s$	$T + 2.282 T_s$	$T + 5.313 T_s$
n = 8	$t_{MCSF(C)}$	$T + 3.968 T_s$	$T + 3.922 T_s$	$T + 3.922 T_s$	$T + 3.922 T_s$
	$t_{MCMF(C)}$	$T + 1.765 T_s$	$T + 1.060 T_s$	$T + 1.007 T_s$	$T + 8.694 T_s$
n = 16	$t_{MCSF(C)}$	$T + 1.526 T_s$	$T_s T + 1.526 T_s$	$T + 1.526 T_s$	$T + 1.526 T_s$
	$t_{MCMF(C)}$	$T + 6.867 T_s$	$T + 2.440 T_s$	$T + 2.200 T_s$	$T + 1.641 T_s$
n = 24	$t_{MCSF(C)}$	$T + 5.960 T_s$	$T + 5.960 T_s$	$T + 5.960 T_s$	$T + 5.960 T_s$
	$t_{MCMF(C)}$	$T + 2.682 T_s$	$T + 5.680 T_s$	$T + 4.863 T_s$	$T + 3.132 T_s$

表 2 = 5 时的  $t_{MCSF(C)}$  和  $t_{MCMF(C)}$

		= 2	= 5	= 32	= 64
n = 1	$t_{MCSF(C)}$	$T + 16.25 T_s$	$T + 2.906 T_s$	$T + T_s$	$T + T_s$
	$t_{MCMF(C)}$	$T + 30.031 T_s$	$T + 20.89 T_s$	$T + 4.475 T_s$	$T + 1.042 T_s$
n = 8	$t_{MCSF(C)}$	$T + 3.999 T_s$	$T + 3.922 T_s$	$T + 3.922 T_s$	$T + 3.922 T_s$
	$t_{MCMF(C)}$	$T + 4.902 T_s$	$T + 2.968 T_s$	$T + 2.818 T_s$	$T + 2.434 T_s$
n = 16	$t_{MCSF(C)}$	$T + 1.526 T_s$	$T + 1.526 T_s$	$T + 1.526 T_s$	$T + 1.526 T_s$
	$t_{MCMF(C)}$	$T + 1.907 T_s$	$T + 6.777 T_s$	$T + 6.110 T_s$	$T + 4.557 T_s$
n = 24	$t_{MCSF(C)}$	$T + 5.960 T_s$	$T + 5.960 T_s$	$T + 5.960 T_s$	$T + 5.960 T_s$
	$t_{MCMF(C)}$	$T + 7.451 T_s$	$T + 1.578 T_s$	$T + 1.351 T_s$	$T + 8.701 T_s$

我们在各种参数下计算了  $t_{MCSF(C)}$  和  $t_{MCMF(C)}$ ,表 1 和表 2 给出了部分计算结果.这些计算表明大多数情况(除了  $n$  和  $N$  都比较小、极易进入伪同步时),MCMF-PFSS 的搜索速度均快于 MCSF-PFSS.搜索时间是  $N T$  的量级,故 MCMF 性能优势的大小和帧长  $N$  有关.例如,典型的 SDH 帧同步器采用  $= 2$ 、 $= 3$ 、 $n = 24^{[11]}$ ,由表 1,此时

$$N t_{MCSF(C)} = N (T + 5.96 \times 10^{-8} T_s) = (1 + 5.96 \times 10^{-8} N) T_s \tag{5}$$

$$N t_{MCMF(C)} = N (T + 2.682 \times 10^{-7} T_s) = (1 + 2.682 \times 10^{-7} N) T_s \tag{6}$$

因此对于帧长小于  $10^7$  比特的情况,搜索速度相差不大.

考虑到 MCSF 面积上的优势,同步系统应该采用这种模式. STM-1 的帧长为 19440,STM-64 的帧长为 1244160. 这就是 SDH 帧同步系统均采用 MCSF-PFSS 的原因. 66B 比特流的帧同步问题可以等效看成  $n=64, P=5, n=1, N=66$  的帧同步问题, 由表 2 可以看出,此时 MCSF 和 MCMF 的性能差异很大.

**3.1.2 MCMF (C)-PFSS 和 MCSCI (C)-PFSS 的性能** 为了求得  $t_{MCSF}$ , 可以做出如图 4 的状态转移图,

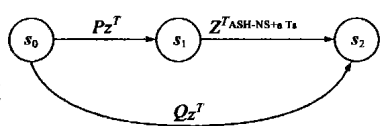


图 4 MCSF-PFSS 的搜索过程

由图 4 可得

$$t_{MCSF(C)} = T + P(T_{ASH-NS} + T_s) \quad (7)$$

其中  $P$  是在一个判别周期结束时发现某个非同步码位的连续性判别结果为“连续”的概率,且  $P = P_{Y-NS}$ . 而

$$T_{ASC-MCMF(C)} = \sum_{k=0}^{N-1} P_{MCMF}^k Q_{MCMF} (1-T_s) T_s + \frac{N}{2} t_{MCMF(C)} + kN t_{MCMF} \quad (8)$$

其中

$$Q_{MCMF} = \frac{T_{ASH-S}}{T_{ASH-S} + T_{ASC-S}} \quad (9)$$

$$T_{ASC-MCSC(C)} = \sum_{k=0}^{N-1} P_{MCSC}^k Q_{MCSC} (1-T_s) T_s + \frac{N}{2} t_{MCSC(C)} + k[(1-T_s) T_s + N t_{MCSC(C)}] \quad (10)$$

其中  $Q_{MCSC} = P_{Y-S}$ .

表 3  $P_e = 10^{-12}$  时的  $T_{ASC-MCMF(C)}$  和  $T_{ASC-MCSC(C)}$

		$=2$	$=32$	$=64$
$n=1$	MCMF	$0.5NT + 6.125NT + T_s$	$0.5NT + 2.282 \times 10^{-8}NT_s + 31T_s$	$0.5NT + 5.313 \times 10^{-18}NT_s + 63T_s$
	MCSC	$0.5NT + 2NT_s + T_s$	$0.5NT + 5.355 \times 10^{-9}NT_s + 31T_s$	$0.5NT + 2.114 \times 10^{-18}NT_s + 63T_s$
$n=16$	MCMF	$0.5NT + 6.867 \times 10^{-5}NT_s + T_s$	$0.5NT + 2.200 \times 10^{-149}NT_s + 31T_s$	$0.5NT + 1.641 \times 10^{-303}NT_s + 63T_s$
	MCSC	$0.5NT + 5.82110 \times 10^{-10}NT_s + T_s$	$0.501NT + 1.305 \times 10^{-153}NT_s + 31T_s$	$0.5NT + 1.864 \times 10^{-307}NT_s + 63T_s$
$n=24$	MCMF	$0.5NT + 2.682 \times 10^{-7}NT_s + T_s$	$0.5NT + 4.862 \times 10^{-224}NT_s + 31T_s$	$0.5NT + 3.132 \times 10^{-455}NT_s + 63T_s$
	MCSC	$0.5NT + 8.882 \times 10^{-15}NT_s + T_s$	$0.5NT + 1.127 \times 10^{-230}NT_s + 31T_s$	$0.5NT + 1.390 \times 10^{-461}NT_s + 63T_s$

表 3 给出了误码率为  $10^{-12}$  时同步捕捉时间的解析表达式,大多数情况下 MCSC 和 MCMF 的性能很接近. 对于 MCSCI (C)-PFSS:

$$T_{ASC-MCSCI} = Q[(1-T_s) T_s + \frac{N}{2} t] + \sum_{k=1}^N P^k Q [\frac{N}{2} t + (C-1) T_s + (k-1)[N t + (C-1) T_s] + (N t + T_s)] \quad (11)$$

其中  $Q = (1 - P_{L-S})$ , 为同步码位在搜索周期内保持连续的概率,  $C$  为发生虚漏时搜索周期长度的期望:

$$C = \sum_{k=1}^{N-1} \frac{f(k)}{F(k-1)} k \quad (12)$$

其中  $F(x)$  为搜索周期长度小于等于  $x$  的概率,且

$$F(x) = [1 - P_{Y-NS}]^{x-1} P_{Y-NS}^k J^{N-2} (1 - P_{L-S})^k P_{L-S} \quad (13)$$

$$f(x) = F(x) - F(x-1) \quad (14)$$

$T_{ASC-MCSCI(C)}$  和  $N$  之间是比较复杂的非线性关系,因此难以给出类似表 3 那样的解析表达式,而只能给出一些典型参数下的  $T_{ASC-MCSCI(C)}$ , 例如表 4 所示.

表 4 四种并行帧同步系统的  $T_{ASC}(P_e = 10^{-6}, N = 66, \text{单位: } T_s)$

		$=2$	$=32$	$=64$
$n=1$	MCSF	41313	9753	9785
	MCSC	38881	31.50	63.50
	MCSCI	20658	31.50	63.50
	MCMF	59537	31.50	63.50
$n=16$	MCSF	1.648	31.66	63.68
	MCSC	1.500	31.52	63.57
	MCSCI	1.500	31.51	63.53
	MCMF	1.500	31.50	63.50
$n=24$	MCSF	1.501	31.51	63.55
	MCSC	1.500	31.53	63.60
	MCSCI	1.500	31.51	63.55
	MCMF	1.500	31.50	63.50

更多的计算表明:

(1) 在系统误码率比较大(大于  $10^{-3}$ ) 的情况下,表中 4 种帧同步方案表现出较大的性能差异;而在误码率较小的情况下(小于  $10^{-6}$ ),MCSCI 和 MCMF 的性能差别很小,均好于 MCSF. 综合面积开销和性能上的考虑,它是一种适合于 66B 码的并行帧同步系统.

(2) 同步码长加长会使虚警概率降低,虚漏概率升高,对  $T_{ASC}$  总的影响需要根据具体参数来做具体分析. 大量计算表明,对于 MCSF(C) 这类受虚警影响比较大的模式,总的效果是使  $T_{ASC}$  减小;而对 MCSCI(C) 这类受虚漏影响比较大的模式,总的效果是使  $T_{ASC}$  增大.

### 3.2 部分并行帧同步系统的性能

部分并行帧同步系统的同步捕捉过程可以分为两部分:并行搜索过程和串行搜索过程. 以 MCMF(P)-PFSS 为例,假设系统并行度为 8,帧长为 1024 比特,同步码位将出现在 64 个时钟周期后的第 8 个并行通道上(或者说由当前位置算起的第 512 比特). 则状态机 8 的搜索过程为串行搜索过程,状态机 1~7 的搜索过程为并行搜索过程. MCMF(P)-PFSS 的并行搜索的比特搜索时间为(设  $L$  为并行度)

$$t_{MCMF(P)-1} = T + P \frac{T_{ASH-NS}}{2} \quad (15)$$

$$\text{其中 } P = \frac{T_{ASH-NS}}{T_{ASH-NS} + T_{ASC-NS}} \quad (16)$$

串行比特搜索时间为

$$t_{MCMF(P)-2} = P_{L-NS} L T + \sum_{k=1}^{L-1} P_{Y-NS} [L T + k T_s]$$

$$+ P_{Y-NS} [LT + T_{ASH-NS}] \quad (17)$$

则同步到来时间(指搜索到同步码位的时间)中属于并行搜索的部分为

$$t_{ASI-MCMF(P)-1} = \frac{1}{2} L t_{MCMF(P)-1} \quad (18)$$

属于串行搜索的部分为

$$t_{ASI-MCMF(P)-2} = \frac{1}{2} \frac{N}{L} t_{MCMF(P)-2} \quad (19)$$

总的同步到来时间为

$$t_{ASC-MCMF(P)} = (C_s - 1) T_s + t_{ASI-MCMF(P)-1} + t_{ASI-MCMF(P)-2} \quad (20)$$

最后可得 MCMF(P) - PFSS 的同步捕捉时间为

$$t_{ASC-MCMF(P)} = \sum_{k=0}^{P-1} P_Y (t_{ASI-MCMF(P)} + k \frac{N}{L} t_{MCMF(P)-2}) \quad (21)$$

对 MCSC(P) - PFSS 和 MCSCI(P) - PFSS 应用类似的步骤可以求得它们的同步捕捉时间:

$$t_{ASC-MCSC(P)} = Q [ t_{ASI-MCSC(P)} + (C_s - 1) T_s ] + \sum_{k=1}^{P-1} P^k Q \{ t_{ASI-MCSC(P)} + (C_s - 1) T_s + k [ \frac{N}{L} t_{MCSC(P)-2} + (C_s - 1) T_s ] \} \quad (22)$$

$$t_{ASC-MCSCI(P)} = Q [ t_{ASI-MCSCI(P)} + (C_s - 1) T_s ] + \sum_{k=1}^{P-1} P^k Q \{ t_{ASI-MCSCI(P)} + (C_s - 1) T_s + (k - 1) [ \frac{N}{L} t_{MCSCI(P)-2} + (C_s - 1) T_s ] + (C_s - 1) T_s \} \quad (22)$$

其中  $Q = P_{Y-S}$ ,  $P = 1 - Q$ .

应用式(21)、(22)、(23)分析各种参数下的同步捕捉时间( $t_{ASC-MCSC(P)}$ 的计算和  $t_{ASC-MCSC(P)}$ 是一样的),表5给出了  $N = 19456$ ,  $P_e = 10^{-12}$ ,  $C_s = 2$ ,  $C_s = 3$ ,  $L = 2, 8, 64$  下的结果.

表5 不同并行度下的  $T_{ASC}$ (单位:  $T_s$ )

		$L=2$	$L=8$	$L=64$
$n=2$	MCSF	6374	6374	6374
	MCMF	2581	652	133
	MCSC	4100	1028	145
	MCSCI	3188	800	116
$n=16$	MCSF	1.64845	1.64845	1.64845
	MCMF	1.57434	1.51904	1.50616
	MCSC	1.64849	1.53732	1.50628
	MCSCI	1.57427	1.51876	1.50396
$n=24$	MCSF	1.50058	1.50058	1.50058
	MCMF	1.50034	1.50028	1.50166
	MCSC	1.50063	1.50035	1.50166
	MCSCI	1.50034	1.50028	1.50165

从上述分析可以发现:

(1)在小的误码率和比较大的同步码长情况下,MCSCI(P)的性能非常接近 MCMF(P),在绝大多数情况下此二者的性能在所研究的各种并行帧同步系统中是最佳的.这表明 MCSCI 具有广泛的应用前景.

(2)对 MCMF,MCSC,MCSCI 等并行帧同步方案,都存在最佳并行度  $L_0$ ,使得在此并行度下,同步捕捉时间最短.  $L_0$  和  $N$ 、 $n$ 、 $P_e$  都有关系.以 MCSC - PFSS 为例:

当  $N = 19456$ ,  $n = 2$ ,  $C_s = 2$ ,  $C_s = 3$ ,  $P_e = 10^{-12}$  时有

$$\frac{\partial}{\partial L} T_{ASC-MCSC} = \left[ 0.233822 - \frac{8196.74}{L^2} \right] T_s \quad (24)$$

可得  $L_0 = 187$ .用公式(21)、(22)、(23)可以求得各种系统相应的  $L_0$ ,但表达式都很复杂.

### 4 实验验证

为了验证理论分析的正确性,进行了多种参数下的计算机仿真.

图5给出了4种并行帧同步系统的平均同步到来时间在参数  $C_s = 64$ ,  $C_s = 3$ ,  $n = 1$ ,  $N = 66$ (即66B码)下的仿真结果.对搜索距离为1、2、.....、32比特的情况进行了大样本数的仿真.图中直线的斜率就是相应方案理论上的  $t$ ,即  $t_{SCSF(C)}$  为132T/比特,  $t_{MCSF(C)}$  为67T/比特,  $t_{MCMF(C)}$  和  $t_{MCSC(C)}$  为1T/比特.

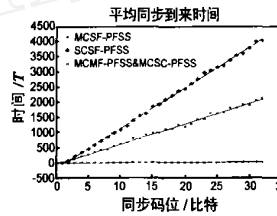


图5 4种并行帧同步系统的平均同步到来时间

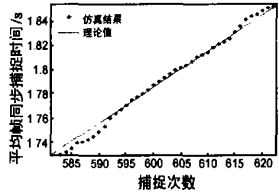


图6 MCSC(C)-PFSS的平均同步捕捉时间

图6给出了  $C_s = 64$ ,  $C_s = 3$ ,  $N = 1000$ ,  $n = 24$ ,  $P_e = 10^{-3}$  下 MCSC(C) - PFSS 平均同步捕捉时间的仿真结果.

图7给出了  $P_e = 10^{-2}$ ,  $C_s = 64$ ,  $C_s = 3$ ,  $N = 1000$ ,  $n = 1$  下 MCSCI(C) - PFSS 平均同步捕捉时间的仿真结果.

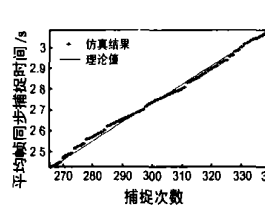


图7 MCSCI(C)-PFSS的平均同步捕捉时间

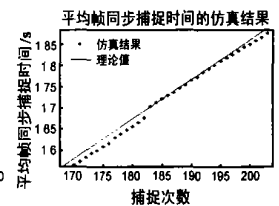


图8 MCMF(P)-PFSS的仿真结果和理论值

图8给出了  $N = 4096$ ,  $L = 8$ ,  $n = 2$ ,  $C_s = 4$ ,  $C_s = 3$ ,  $P_e = 10^{-2}$  下 MCMF(P) - PFSS 平均同步捕捉时间的仿真结果.同步码位在2048比特位置.

表6 各种并行帧同步方案的面积(LUT=逻辑单位)

	MUX	XOR	Counter	SFSM	CCM	Control	NPG	total (LUT)
SCSF	1	1	-	1	-	1	-	134
MCSF	1	66	-	1	-	1	-	199
MCMF	-	66	1	66	-	1	1	1804
MCSC	-	66	1	1	66	1	1	682
MCSCI	-	66	1	1	66	1	1	695

为了检验各种帧同步方案的面积开销,用 Xilinx 公司的

FPGA XC2V1000 对五种用于 66B 码的全并行帧同步系统(参数为  $N=66, n=1, =64, =3$ )进行了逻辑综合.表 6 给出了结果.结合图 2 可以看出,MCSCI(C)-PFSS 的面积开销大大低于 MCMF(C)-PFSS.

## 5 结论

本文提出了一种基于连续性判别的并行帧同步系统构成模式,即 MCSCI,并分析了新模式和现有模式在全并行和部分并行帧同步系统中的性能.结果表明大多数情况下,MCSCI-PFSS 和现有模式中性能最好的 MCMF-PFSS 性能接近,但面积开销却大大减少,因此具有广泛的应用前景.计算机仿真和逻辑综合证实了以上结论.

## 参考文献:

- [ 1 ] 孙玉. 数字复接技术[M]. 北京:人民邮电出版社,1991.
- [ 2 ] Choi D. Frame alignment in a digital carrier system a tutorial[J]. IEEE Communications Magazine,1990,28(2):47-54.
- [ 3 ] Kong D T. 2.488 Gb/s SONET multiplexer/demultiplexer with frame detection capability[J]. IEEE Journal on Selected Areas in Communications,1991,9(5):726-731.
- [ 4 ] Bagheri M, Kong D T, Hacker J, et al. 10 Gb/s Framer/Demultiplexer IC for SONET STS-192 Applications[A]. In proceedings of Custom Integrated Circuits Conference[C]. 1995. 427-430.
- [ 5 ] Lee T, Cho J, and Ko J. A SDH Overhead Terminator Chip Set for 10 Gbit/s Optical Transmission System[A]. In proceedings of the 1998 Second IEEE International Caracas Conference on Device, Circuits and Systems[C]. 1998. 201-205.
- [ 6 ] Obaidat M S, Teng J. Performance Analysis of Parallel Frame Synchronization Scheme in SDH Systems[A]. In proceedings of Sixth International Conference on Computer Communications and Networks (ICCN 97)[C]. Las Vegas:1997. 456-461.
- [ 7 ] Obaidat M S, Teng J. A methodology to analyze the performance of a parallel frame synchronization scheme in SDH high speed networks[J]. Computer Communications,1999,22(7):644-650.
- [ 8 ] Vasconcelos E, Auguar R L. Frame Detection in High Bit-Rate CMOS Systems[A]. In proceedings of IEEE ICECS[C]. Lebanon:2000. 328-331.
- [ 9 ] IEEE. IEEE 802.3ae-2002. IEEE Standard for Information Technology Telecommunications and Information Exchange Between Systems - Local and Metropolitan Area Networks-Specific Requirements-Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer Specifications. Amendment: Media Access Control (MAC) Parameters, Physical Layers, and Management Parameters for 10 Gb/s Operation[S]. 2002.
- [ 10 ] 皇甫伟,曾烈光.一种基于信元界面的并行 ATM 信元定界模型分析[J].通信学报,2001,22(12):8-15.
- Huangfu Wei, Zeng Lie-guang. Analysis on a kind of parallel ATM cell delineation model for cell-based interface[J]. Journal of China Institute of Communications,2001,22(12):8-15(in Chinese).
- [ 11 ] 沙燕萍,曾烈光.高速 SDH 复接器帧同步系统的设计和性能分析[J].通信学报,2001,22(9):104-107.
- Sha Yan-ping, Zeng Lie-guang. Design and analysis of high-speed SDH frame synchronous scheme[J]. Journal of China Institute of Communications,2001,22(9):104-107(in Chinese).

## 作者简介:

刘昭男,1970年8月生于湖北省襄樊市,现为清华大学电子工程系在读博士研究生,研究方向:宽带数字通信. E-mail:JulianLiu@IEEE.org.

金德鹏男,清华大学电子工程系副教授,研究方向:宽带数字通信和数字终端. E-mail:JinDP@EE.Tsinghua.edu.cn.