

一种面向嵌入式应用的片上系统: 腾跃 1

王 蕾, 陆洪毅, 王 进, 戴 葵, 王志英

(国防科学技术大学计算机学院, 湖南长沙 410073)

摘 要: 本文介绍了面向嵌入式应用的片上系统芯片: 腾跃 1 的设计和实现技术. 该芯片包括 32 位嵌入式 RISC 微处理器内核、通用存储器控制器、LCD 控制器、片上总线和各种外围设备. 微处理器内核采用自主设计的指令集体系结构. 该芯片已经在中芯国际 0.18 μm 工艺上通过验证, 主频 300MHz@1.8V, 可以应用于信息安全领域的身份认证和数据加密等应用. 本文最后对芯片的进行了性能评测.

关键词: 片上系统; 嵌入式微处理器; 体系结构; 流水线; cache; 存储器控制器

中图分类号: TP302 **文献标识码:** A **文章编号:** 0372-2112(2005)11-2036-04

A High Performance Embedded SoC: TengYue 1

WANG Lei, LU Hong yi, WANG Jin, DAI Kui, WANG Zhi-ying

(National University of Defense Technology, School of Computer, Changsha, Hunan 410073, China)

Abstract: TengYue 1 is a microprocessor subsystem for embedded applications. Its heart is a 32 bit RISC microprocessor based on an instruction set architecture (ISA) designed by us. Through a WISHBONE compatible on-chip bus, the microprocessor, a universal memory controller, a LCD controller and other peripheral I/Os formed the SOC. TengYue 1 has been implemented and verified in SMIC 0.18 μm CMOS technology, and the maximum clock frequency is 300MHz@1.8V. This paper presents the design and implementation of TengYue 1. We used 9 ARM benchmarks to evaluate the performance of the microprocessor and the results showed that it met our goal. We also found a simple solution to the memory access conflict problem caused by the microprocessor core and the LCD controller.

Key words: SoC; embedded microprocessor; architecture; pipeline; cache; memory controller

1 引言

嵌入式片上系统已经被广泛的应用于各个领域, 如通信基础设施、蜂窝电话、大型家电、娱乐消费性产品, 以及汽车和工控领域等. 嵌入式微处理器是片上系统的核心. 目前, 较为著名的嵌入式微处理器有 ARM 系列^[3,4,7,8], MIPS 系列, Intel 公司的 StrongARM 系列以及 Motorola 公司的 ColdFire 系列等^[2,5]. 国内外的科研机构对嵌入式片上系统的设计开发进行了广泛的研究.

腾跃 1 是由国防科技大学自行设计开发的片上系统芯片, 于 2003 年 9 月投产, 采用中芯国际 0.18 μm 生产工艺, 芯片主频为 300MHz@1.8V. 该芯片主要面向信息安全领域的身份认证和数据加解密等应用. 本文将腾跃 1 的体系结构设计和实现的关键问题进行介绍, 最后对芯片进行了性能评测.

2 腾跃 1 系统结构

腾跃 1 的系统结构如图 1 所示. 芯片包括 32 位 RISC 微处理器 CH、通用存储器控制器、LCD 控制器、2 个 UART 端口、

1 个 SPI 端口、1 个 I²C 端口、32 位的 GPIO 端口、可编程中断控制器、电源管理部件和测试接口等. 下面分别对芯片的关键部件进行详细介绍.

2.1 32 位 RISC 微处理器 CH

腾跃 1 的核心部件为 32 位 RISC 微处理器 CH, 如图 1 中灰色区域所示. 微处理器的指令集自主设计, 为典型的 RISC 指令集, 包括分支、数据处理、存储器访问、状态寄存器传输、自陷和协处理器扩展等几类指令. 指令集设计规整, 有利于指令执行内核的高效实现. CH 有 32 个通用寄存器, 可以根据需要, 映射为 1 组 32 个通用寄存器或者 2 组各 16 个通用寄存器, 后面这种方式是为了加速异常处理时现场的保存和切换. 在指令集体系结构的设计过程中, 通过对 ARM 指令执行过程的分析, 在指令集中增加了移位指令, 减少了操作数的寻址方式, 这样有效的缩短了指令执行通路的长度, 利于更高主频的实现. 同时增加了通用寄存器的数量, 便于编译程序开发出更多的并行性.

微处理器 CH 包括两个部分: 流水线和存储子系统. 图 2 给出了 CH 流水线的结构. 流水线为经典的五级流水, 包括取

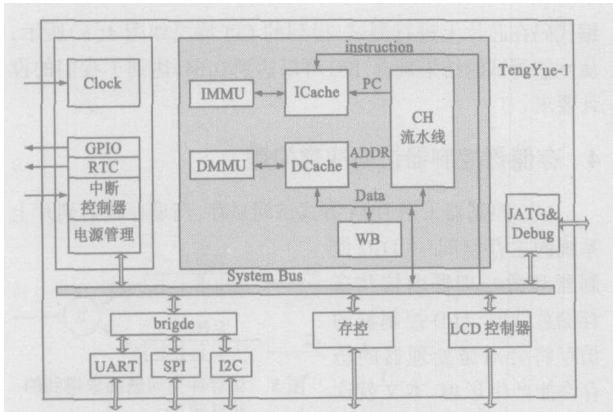


图 1 腾跃-I的体系结构框图

指段 IF, 译码段 ID, 执行段 EXE, 访存段 MEM 和写回段 WB。取指段负责从指令 cache 中取指令, CH 为单发射微处理器, 每个时钟周期流水线从指令 cache 中取出一条指令执行。译码段 ID 完成指令的译码和寄存器的读取。相关(结构相关和数据相关等)也在译码段进行检测和消除。CH 采用寄存器记分牌相关检测算法检测相关, 如果检测到相关, 则采取简单的停顿方法, 等流水线中引起相关的指令执行完后, 才让后继的指令流出^[1]。执行段 EXE 包括算术逻辑单元 ALU, 桶形移位器和乘法器, 分别执行运算指令, 移位指令和乘法指令, 并且形成访存地址。访存段 MEM 负责读写数据存储器。写回段 WB 将执行段产生的结果和访存段读取的数据写回寄存器文件。由于我们的流水线采用简单的相关检测和消解算法, 实现精确中断比较容易。当检测到中断或者异常的时候, 只需要简单的排空流水线, 然后再对中断和异常进行处理, 这样有效的降低了实现精确中断的硬件复杂性^[1]。

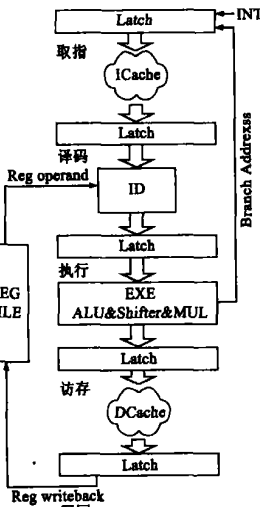


图 2 CH 的流水线

存储子系统包括指令 cache 和数据 cache、写缓冲以及存储管理部件。指令 cache 和数据 cache 都为 8KB, 4 路组相联, 采用的是 LRU 的替换算法。写缓冲为 32 项, 每项的大小为 16B, 等于 1 个 cache 块的大小。指令 MMU 和数据 MMU 由指令 TLB 和数据 TLB 组成, 都为 32 项的全相联结构, 虚实地址的转换由软件完成, TLB 可以加速虚实地址的转换。指令 cache 和数据 cache 都采用流水设计, 保证每个时钟周期能够提供 1 条指令或者数据。存储系统中的所有部件都是可以旁路的, 程序员可以通过设置 cache 控制寄存器来配置存储子系统。指令 cache 使用虚拟地址作为索引和标识, 同时在指令 cache 中还保存了 7 位的进程号标识不同的进程。这样, 在进程切换的时候不必清空指令 cache, 加速了进程切换, 为了防止别名

问题的出现, 数据 cache 使用物理地址作为索引和标识。一方面避免了存储器出现不一致, 另一方面也便于在进程(或线程)之间共享数据, 当进程(线程)切换的时候, 无需清空数据 cache, 使得新的进程可以无损耗的使用共享的数据。Cache 的 LRU 替换算法采用脉动阵列的双向移位队列来实现, 具有判断周期短, 硬件代价小的优点^[6]。

写缓冲和数据 cache 一起使用。因为数据 cache 采用写回策略, 在写回的时候将一个 cache 块写入到写缓冲中, 当写缓冲检测到 32 个项都被写满时, 将启动写回逻辑, 将写缓冲中的数据写回存储器。在处理器访问数据 cache 失效的情况下, 同时访问外部存储器和写缓冲, 如果写缓冲中包含数据, 则作废对外部存储器的访问, 在写缓冲中完成操作, 这样, 相当于在数据 cache 和主存储器之间又增加了一个存储层次, 在加快写操作的同时, 提高了整个存储子系统的性能。

2.2 存储器控制器
作为腾跃 1 和片外存储器的接口, 存储器控制器有 8 个片选, 每个片选可以独立的配置, 连接不同类型的存储器, 支持的存储器类型包括 SRAM, SDRAM 和 FLASH 等。程序员可以通过设置片选控制寄存器组和时序控制寄存器组, 来设置每个片选上的存储器所映射的内存空间地址范围和存储器控制器的接口时序。

2.2 存储器控制器

存储器控制器的结构如图 3 所示。CPU 总线接口和存储器接口分别负责与 CPU 和存储器的通信。配置寄存器包含存储器类型、时序、地址映射等信息。整个存储器控制器的数据通路和地址通路由统一的状态机控制, 状态机根据配置寄存器的信息, 确定控制信号的时序。上电配置模块使存储器控制器在上电复位的时候能够从存储总线上读取存储器的配置信息。刷新计数器和 SDRAM 控制模块对 SDRAM 存储器进行控制。

存储器控制器的结构如图 3 所示。CPU 总线接口和存储器接口分别负责与 CPU 和存储器的通信。配置寄存器包含存储器类型、时序、地址映射等信息。整个存储器控制器的数据通路和地址通路由统一的状态机控制, 状态机根据配置寄存器的信息, 确定控制信号的时序。上电配置模块使存储器控制器在上电复位的时候能够从存储总线上读取存储器的配置信息。刷新计数器和 SDRAM 控制模块对 SDRAM 存储器进行控制。

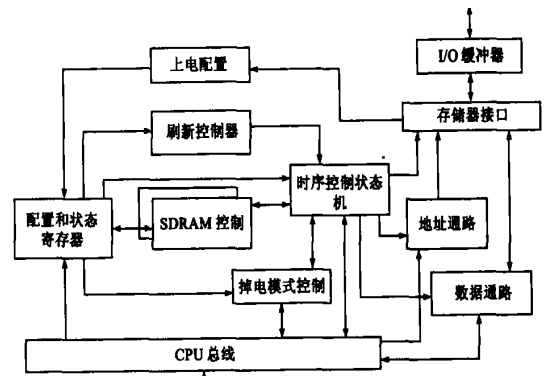


图 3 存储器控制器结构

存储器控制器工作在两个时钟下, 一个是系统的主时钟, 另外一个时钟是主时钟的二分频。设计要求两个时钟的相位相同, 我们使用了二级缓冲^[5]来保证在两个时钟域之间进行通信的时候不会出现亚稳态。

2.3 外围设备

腾跃 1 的外围设备包括 LCD 控制器, UART, SPI, I²C 和 GPIO 接口, 以及可编程中断控制器, 电源管理部件, 硬件调试和测试接口。所有的外围设备通过片上互连总线和处理器连

接. 外设都映射在主存的地址空间中, 微处理器 CH 通过访存指令完成对外设的配置和访问.

LCD 控制器能够提供独立的水平/垂直同步以及组合的同步输出, 可以由程序员通过软件设置屏幕尺寸和各个同步信号极性, 可以很方便的支持大多数通用的 LCD 显示器; 支持多种显示模式, 包括 32 位/像素、24 位/像素、16 位/像素、8 位/像素灰度和 8 位伪彩等模式; 支持视频和颜色表的双体切换. LCD 控制器使用双体显示存储器, 双体切换功能对于许多视频应用, 譬如视频流或者游戏等, 减少了由于页面或颜色表切换带来的闪烁影响. 在每个水平或者垂直同步信号的有效时刻, 控制器可以向主机发出中断.

腾跃 1 有三种工作模式: 运行模式、空闲模式和睡眠模式. 运行模式是正常工作模式, 空闲模式和睡眠模式是低功耗模式. 芯片处于后两种模式时, 可通过中断唤醒处理器. 中断控制器最多可连接 32 个外部中断, 中断优先级和中断的响应方式可以由用户编程来控制. 硬件调试和测试接口方便了芯片的测试和程序员开发应用程序.

2.4 互连总线

腾跃 1 的片上互连总线与 WISHBONE 标准兼容, 可以将多个主设备和多个从设备相连. 微处理器核作为主设备, 存储器控制器和各种外围设备作为从设备. LCD 控制器具有 DMA 功能, 可以直接访问存储器, 同时它又作为 RISC 微处理器核的从设备, 由 CPU 进行配置和查询, 既是主设备, 也是从设备. 当一个从设备有多个主设备时, 主设备根据互连总线配置寄存器中设定的优先级进行访问.

3 芯片实现和性能评测

芯片实现基于标准单元的设计流程, 采用了自顶向下和自底向上相结合的综合方法. 使用 Design Compiler 对关键模块进行自底向上的综合, 约束它的端口、路径、负载和扇出数, 对于其他的模块则采取自顶向下的综合方法. 物理设计中, 使用 Physical Compiler 来产生单元的布局, 在布局的时候固定指令 cache 和数据 cache 的位置, 进行数据驱动的布局, 然后插入时钟树, 最后全局时钟在最差情况下的时钟扭曲为 125ps.

腾跃 1 实现采用国内中芯国际 0.18μm 生产工艺, 主频为 300MHz@ 1.8V, 功耗 0.47mW/MHz, 芯片的基片大小为 4.9mm * 4.9mm, CPU 内核(包含指令 cache 和数据 cache)的大小为 4.73mm². 芯片的 GDSII 版图如图 4(a) 所示.

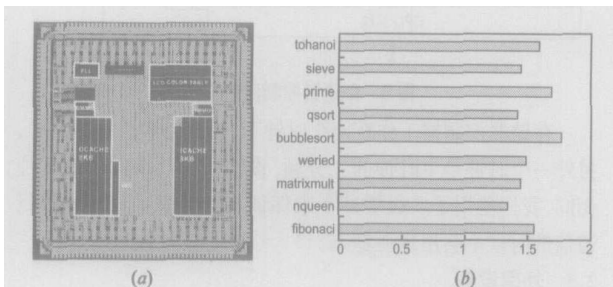


图 4 腾跃-1 的版图和性能评测

本文使用 9 个 ARM benchmark 对微处理器 CH 的性能进行了评测. C 语言描述的测试程序由 gcc 编译成 CH 指令的汇

编代码在芯片上进行测试, 得到的 CPI 情况如图 4(b) 所示. 从性能测试的结果来看, IPC 可以达到 0.64, 达到了我们的设计要求.

4 存储器控制器访问冲突问题

LCD 控制器采用 DMA 方式访问显存, 当显存映射到片上系统的主存空间中, LCD 控制器和微处理器内核共享存储总线时, LCD 控制器的访存将会对微处理器的访存性能产生影响. 本文就这个问题, 建立了一个排队模型, 研究 LCD 访存对微处理器访存性能的影响. 排队模型如图 5 所示.

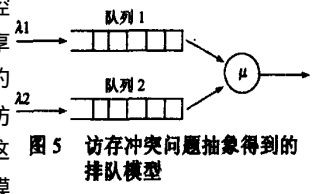


图 5 访存冲突问题抽象得到的排队模型

队列 1 为 LCD 访存请求队列, 队列 2 为微处理器访存请求队列. 在 LCD 控制器的工作过程中, 由于 LCD 屏幕一直在刷新, 送往 LCD 显示器的数据不能出现中断, 否则将会导致显示出错. 假设 LCD 访存请求的到达间隔服从定长分布, 平均速率为 λ₁. CPU 访存为随机的, 假设 CPU 访存请求到达速率服从均值为人工的负指数分布. 存储器控制器的服务时间服从平均值为 μ 的定长分布. 抽象得到排队模型的参数如表 1 所示:

表 1 排队模型的参数(单位: 1/cycle)

存控工作模式 / LCD 显示模式	λ ₁	非 burst 方式	Burst 方式
		μ	μ
32 位/像素	1/31.25	1/10	4/13
24 位/像素	1/41.67	1/10	4/13
16 位/像素	1/62.5	1/10	4/13
8 位/像素	1/125	1/10	4/13

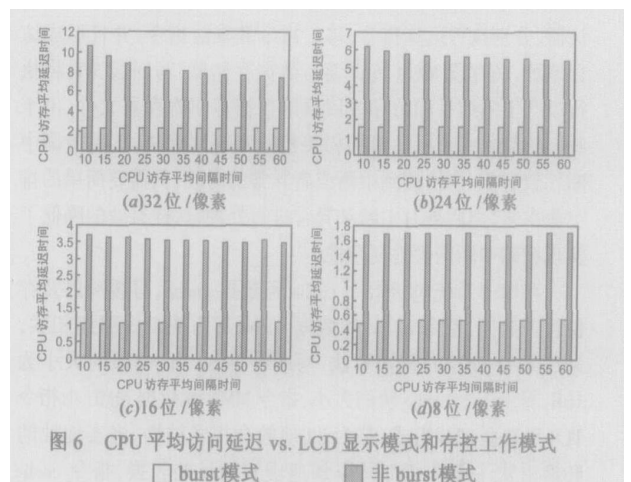


图 6 CPU 平均访问延迟 vs. LCD 显示模式和存控工作模式

本文利用 GPSS 建立排队模型, 并针对不同的 LCD 显示模式, 模拟研究了随着 CPU 平均访存间隔变化, LCD 访存对 CPU 访存的影响, 用 CPU 访存平均延迟时间表示. 模拟结果如图 6 所示. 从图中我们可以看出, 当存储器控制器使用非 burst 方式的时候, LCD 控制器的访存给 CPU 访存性能带来了较大的影响. 经过模拟可知, 在最坏情况下, 33% 的 CPU 访存

指令会受到 LCD 控制器访存的影响而推迟, 并且平均推迟时间可以达到 11 个周期. 但是采用了 burst 模式之后, LCD 每次访存的时间只增加了 3 个周期, 却能够保证将对 CPU 访存的影响降到平均 1~2 个周期, 受到影响的 CPU 访存指令在最坏情况下也只有 8%. 由此可见, 我们的 LCD 控制器和 CPU 共享存储器控制器的作法是能够满足性能要求的. 利用存储器提供的 burst 模式, 可以将 LCD 控制器访存对 CPU 访存的影响降到可以忽略的程度.

5 结束语

腾跃 I 是一款高性能的嵌入式片上系统设计. 在其设计实现中, 我们针对各种关键问题进行了研究, 有效的降低了硬件复杂度, 提高了系统的整体性能. 该芯片通过中芯国际 0.18 μ m 工艺的验证, 能够达到主频 300MHz@1.8V, 能够完成包括分形算法、RS 编码解码器算法、信息加密以及安全认证等较为复杂的应用测试, 具有广阔的应用前景.

参考文献:

- [1] Patterson D A, Hennessy J L. Computer Architecture: A Quantitative Approach. 2nd ed[M]. San Francisco: Morgan Kaufman Publish, 1996.
- [2] Mikael Collin, Raimo Haukilanti, Mladen Nikitovic, SoCrates. A multiprocessor SoC in 40 days[DB/OL]. <http://www.mtc.mdh.se/publ.ph3?Id=0274>, 2001.

- [3] S B Furber. ARM System on chip Architecture[M]. Addison Wesley Longman, 2000, ISBN: 0 201 67519 6.
- [4] ARM Inc. ARM Architecture reference manual[Z]. ARM DDI 0100D, Write Paper, 2000.
- [5] Clifford E. Cummings, Synthesis and Scripting Techniques for designing Multi Asynchronous Clock Designs [R]. SNUG 2001, 2.
- [6] J P Grossman. A systolic array for implementing LRU replacement[R]. Project Aries Technical Memo.
- [7] Stephen Hill. The ARM10 family of advanced microprocessor cores[R]. Hot Chips 13, Stanford University, 2001. 19- 21.
- [8] [http://www.arm.com\[DB/OL\]](http://www.arm.com[DB/OL]). 2003-01-20.

作者简介:

王 蕾 女, 1977 年生, 陕西西安人, 现为国防科技大学计算机学院博士研究生, 2000 年在国防科大计算机学院获学士学位, 主要研究方向包括计算机系统结构、高性能微处理器的设计技术、异步电路的设计技术和异步流水线的优化技术等.

E-mail: Wanglei@chiplight.com.cn.

陆洪毅 男, 1974 年生, 广西人, 博士, 现为国防科技大学计算机学院副教授, 主要研究方向包括计算机系统结构、高性能微处理器设计、向量微处理器设计和嵌入式系统等.