

应变 Si 调制掺杂 NMOSFET 电子面密度模型

胡辉勇, 张鹤鸣, 戴显英, 王顺祥, 朱永刚, 区健锋, 俞智刚, 马何平, 王喜媛

(西安电子科技大学微电子学院, 宽禁带半导体材料与器件教育部重点实验室, 陕西西安 710071)

摘 要: 应变 Si(Strain Si) 调制掺杂 NMOSFET 量子阱沟道中电子面密度直接影响器件的开关特性. 本文通过求解泊松方程, 建立了应变 Si 调制掺杂 NMOSFET 量子阱沟道静态电子面密度模型, 并据此建立了器件阈值电压模型, 利用 MATLAB 软件对该模型进行了数值分析. 讨论了器件结构中 δ 掺杂层杂质浓度和间隔层厚度与电子面密度和阈值电压的关系, 分析了器件几何结构参数和材料物理参数对器件量子阱沟道静态电子面密度和阈值电压的影响. 随着 δ 掺杂层杂质浓度的减小和间隔层厚度的增加, 量子阱沟道中电子面密度减小, 阈值电压绝对值减小.

关键词: 应变硅; 调制掺杂; 电子面密度; 阈值电压

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112(2005)11-2056-03

Electron Sheet Density Model in Strain Si Modulation Doped NMOSFET

HU Huirong, ZHANG Heming, DAI Xianying, WANG Shunxiang,

ZHU Yonggang, OU Jianfeng, YU Zhigang, MA Heping, WANG Xiyuan

(Key Lab of Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, School of Microelectronics, Xidian University, Xi'an, Shaanxi 710071, China)

Abstract: The electron sheet density in the quantum well of Strain Si modulation doped NMOSFET (Metal Oxide Silicon Field Effect Transistor) affects switch performance. The model of electron sheet density in Strain Si modulation doped NMOSFET quantum well is established by solving Poisson equations, and the model of the threshold voltage is established. Then the models are analyzed by MATLAB when the device is static. The relations of the δ doping layer concentration and the space layer thickness to the electron sheet density and the threshold voltage are also discussed at static state. The influences of physical parameters of material and structure parameters of device on the electron sheet density and the threshold voltage are analyzed by using MATLAB. With decreasing δ doping layer concentration and increasing the space layer thickness, the electron sheet density and the absolute value of threshold voltage decrease.

Key words: strain Si; modulation doped; electron sheet density; threshold voltage

1 引言

应变 Si (Strain Si) 技术因其与成熟的硅技术良好的兼容性而被广泛应用, 是近年来半导体技术的一个突破. 当 Si 层 (小于临界厚度) 外延生长在弛豫 SiGe 层上时产生应变, Si 导带的六度简并能谷由于应变而分裂为一个平面内的四度简并能谷 Δ_4 和一个垂直方向的二度简并能谷 Δ_2 , Δ_2 能谷比 Δ_4 能谷低^[1], 电子将集中在 Δ_2 能谷中, 这使得应变 Si 中电子有效质量减小, 迁移率提高. 而且由于应变 Si 和弛豫 SiGe 界面处的导带不连续性, 将在 Si/SiGe 界面处应变 Si 一侧形成一个电子的量子阱, 它能有效地约束电子, 使应变 Si 量子阱沟道电子面密度增加, 其室温下迁移率可达 2000~3000 cm²/V·s, 是 Si 材料 NMOSFET 的 4~6 倍^[2].

应变 Si 调制掺杂 NMOSFET 量子阱沟道电子面密度直接影响器件的开关特性. 本文通过求解泊松方程, 建立了应变 Si 调制掺杂 NMOSFET 量子阱沟道静态电子面密度模型和阈值电压模型, 并利用 MATLAB 对该模型进行了数值分析, 获得了量子阱沟道电子面密度及阈值电压与器件结构参数和物理参

数的关系.

2 电子面密度模型

图 1 为应变 Si NMOSFET 量子阱器件结构示意图. 图中 i -Si (本征 Si) 层为量子阱沟道, 在 i -Si 层上面生长一层 i -Si_{1-x}Ge_x 帽层, 可以减小 SiO₂ 界面对沟道中载流子的散射, i -Si 下面的 i -Si_{1-x}Ge_x 间隔层, 是为了减小 δ 掺杂层电离杂质对沟道载流子的散射, 以提高沟道载流子迁移率^[3~6]. δ 掺杂层为 n 型重

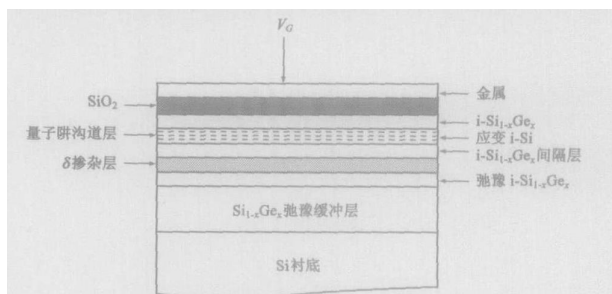


图 1 SiGe nMOS 量子阱器件剖面结构示意图

掺杂的 $\text{Si}_{1-x}\text{Ge}_x$ 层.

图 2 是未加栅压时, 沟道附近的能带结构示意图. d_i 是间隔层厚度, $(W - d_i)$ 是耗尽层宽度, d_1 是量子阱沟道厚度, 从图中可知 V_D 为接触电势差, 有

$$qV_D = qV_1 + qV_2 = qV_1$$

$$+ qV_{21} + qV_{22} \quad (1)$$

式中, qV_1 、 qV_{21} 和 qV_{22} 分

别为应变 Si、SiGe δ 掺杂层和间隔层的能带弯曲量. 由于作为量子阱沟道的 Si 一般为 5~10nm 左右, 可近似认为沟道中载流子均匀分布, 则势阱中的电场表示为

$$\frac{dE_{ch}(x)}{dx} \approx -\frac{q}{\epsilon_{\text{Si}}} n_{ch} \quad (2)$$

式中, $E_{ch}(x)$ 为量子阱沟道中电场分布, n_{ch} 是量子阱沟道中电子密度, ϵ_{Si} 为应变 Si 层介电常数. 在势阱中对式(2)积分, 利用边界条件

$$E_{ch}(x)|_{x=0} = E_1 \quad (3)$$

得到

$$\epsilon_{\text{Si}} E_1 \approx qN_s \quad (4)$$

式(3)、(4)中, E_1 为量子阱界面处势阱一侧的电场强度, N_s 为量子阱沟道电子面密度.

n 型 SiGe δ 掺杂层厚度一般约为 10~20nm, 由于 δ 掺杂层很薄, 因而其全部耗尽. 考虑 δ 掺杂层与量子阱之间的 SiGe 间隔层后, 异质结界面处 SiGe 一侧的泊松方程为^[7]

$$\frac{d^2 V}{dx^2} = \begin{cases} 0, & -d_i < x < 0 \\ -\frac{qN_D}{\epsilon_{\text{SiGe}}}, & -W < x < -d_i \end{cases} \quad (5)$$

式中, N_D 是 δ 掺杂层的掺杂浓度. 设 $E_3(x)$ 为耗尽层中 $(-W < x < -d_i)$ 电场分布, 有

$$E_3(x) = -\frac{dV}{dx} = \frac{q}{\epsilon_{\text{SiGe}}} N_D x + c \quad (6)$$

利用边界条件

$$x = -W \text{ 时 } E_3(x) = 0 \quad (7)$$

得到

$$E_3(x) = \frac{q}{\epsilon_{\text{SiGe}}} N_D (x + W) \quad (8)$$

在 $-d_i < x < 0$ 之间电场为常数^[4], 等于异质结界面处 SiGe 一侧的电场, 用 E_2 表示, 为 $E_3(-d_i)$, 则有

$$\begin{aligned} V_2 &= V_{22} + V_{21} = E_2 d_i + \int_{-W}^{-d_i} E_3(x) dx \\ &= \frac{1}{2} \frac{q}{\epsilon_{\text{SiGe}}} N_D (W^2 - d_i^2) \end{aligned} \quad (9)$$

对式(2)积分,

$$E_{ch}(x) = -\frac{q}{\epsilon_{\text{Si}}} n_{ch} x + C \quad (10)$$

在应变 Si 与 SiGe 帽层界面处, SiGe 一侧电场强度为 0, 则

$$E_{ch}(d_i) \approx 0 \quad (11)$$

得到

$$E_{ch}(x) = \frac{q}{\epsilon_{\text{Si}}} n_{ch} (d_i - x) \quad (12)$$

对式(12)积分, 可得

$$V_1 = \int_0^{d_1} E_{ch}(x) dx = \int_0^{d_1} \frac{q}{\epsilon_{\text{Si}}} n_{ch} (d_i - x) dx = \frac{1}{2} \frac{q}{\epsilon_{\text{Si}}} n_{ch} d_1^2 \quad (13)$$

由于势阱较深, 因而 δ 掺杂层中的电子几乎全部陷落在量子阱中^[8], 则有

$$n_{ch} d_1 = N_D (W - d_i) \quad (14)$$

将式(14)代入式(13)可得

$$V_1 = \frac{1}{2} \frac{q}{\epsilon_{\text{Si}}} N_D (W - d_i) d_1 \quad (15)$$

由式(1)和式(9)、(15)可得

$$V_D = \frac{1}{2} \frac{q}{\epsilon_{\text{SiGe}}} N_D (W^2 - d_i^2) + \frac{1}{2} \frac{q}{\epsilon_{\text{Si}}} N_D (W - d_i) d_1 \quad (16)$$

式中, 势垒高度 V_D 为 SiGe 和应变 Si 功函数差

$$\begin{aligned} V_D &= \left[\chi_{\text{Si}} + \frac{1}{2} E_{g, \text{Si}} \right] - \left[\chi_{\text{SiGe}} + \frac{1}{2} E_{g, \text{SiGe}} \right] \\ &= \frac{\Delta E_C}{q} - \frac{1}{2q} (E_{g, \text{SiGe}} - E_{g, \text{Si}}) \end{aligned} \quad (17)$$

式中, χ_{SiGe} 和 χ_{Si} 分别为 SiGe 和应变 Si 的电子亲和能, $E_{g, \text{SiGe}}$ 和 $E_{g, \text{Si}}$ 分别为 SiGe 和应变 Si 的禁带宽度, ΔE_C 为 $\text{Si}_{1-x}\text{Ge}_x$ 和应变 Si^[8] 导带底能量差

$$\Delta E_C = 0.63x \text{ eV} \quad (0 < x < 0.4) \quad (18)$$

通过求解式(16)可得

$$W = \frac{-Bd_i + \sqrt{B^2 d_i^2 + 4A(Ad_i^2 + Bd_i + V_D)}}{2A} \quad (19)$$

式中 $A = \frac{1}{2} \frac{q}{\epsilon_{\text{SiGe}}} N_D$, $B = \frac{1}{2} \frac{q}{\epsilon_{\text{Si}}} N_D$. 由平衡时界面处电位移连续的条件, 有

$$E_1 \epsilon_{\text{Si}} = E_2 \epsilon_{\text{SiGe}} = qN_s \quad (20)$$

所以, 量子阱沟道电子面密度为

$$N_s = \frac{E_2 \epsilon_{\text{SiGe}}}{q} = \frac{E_3(-d_i) \epsilon_{\text{SiGe}}}{q} = N_D (W - d_i) \quad (21)$$

令费米能级为电势参考点, 则器件量子阱沟道上表面的导带底电势为

$$\phi = \frac{kT}{q} \ln \left(\frac{N_s / d_i}{N_{c, \text{Si}}} \right) \quad (22)$$

式中, $N_{c, \text{Si}}$ 应变 Si 层的导带有效状态密度, 应变 Si 层导带底弯曲量为 $\left[\frac{1}{2q} E_{g, \text{Si}} + \phi \right]$. 当器件栅压引起量子阱导带底电子电势能下降 $2q\phi$ 器件导通^[9], 此时, 栅压即为器件阈值电压

$$V_T = V_{FB} + 2\phi - \Delta E_C / q - \left[\frac{1}{2q} E_{g, \text{Si}} + \phi \right] = V_{FB} + \dot{V}_T \quad (23)$$

式中,

$$\phi = \frac{kT}{q} \ln \left(\frac{N_A}{n_{i, \text{SiGe}}} \right) \quad (24)$$

$$\dot{V}_T = 2\phi - \Delta E_C / q - \left[\frac{1}{2q} E_{g, \text{Si}} + \phi \right] \quad (25)$$

N_A 是 p 型 SiGe 帽层的掺杂浓度, $n_{i, \text{SiGe}}$ 是 SiGe 层中本征载流子浓度, V_{FB} 为平带电压.

3 模拟结果与讨论

基于所建立的电子面密度模型和阈值电压模型, 采用 MATLAB 模拟分析了电子面密度和阈值电压与器件关键结构参数的关系。

对式(21), 分别取 $d_i = 3\text{nm}$ 和 5nm , 沟道区下面的 SiGe 层中 Ge 组分分别为 0.2 和 0.3, 可得到一组 $N_s \sim N_D$ 关系曲线, 如图 3 所示。

由图可见, 在量子阱沟道与 δ 掺杂层之间的间隔层厚度一定时, 随着 δ 掺杂层杂质浓度 N_D 的提高, 量子阱沟道载流子面密度也随着增大; 当 δ 掺杂层杂质浓度 N_D 一定时, 量子阱沟道载流子面密度随着间隔层厚度的增加而减小。沟道区下面 SiGe 层中 Ge 组分越高, 量子阱沟道载流子面密度越大。这是因为随着 Ge 组分提高, 应变 Si 沟道层与 SiGe 弛豫层的导带底差值增大, 量子阱变深, 使得陷落在应变 Si 量子阱沟道中的载流子增多。

利用式(25), 可得出考虑平带电压时的阈值电压 V_T 与间隔层厚度 d_i 、 δ 掺杂层杂质浓度 N_D 的关系, 模拟分析结果如图 4 所示。

从图 4 中可见, 在间隔层厚度一定时, 随着 δ 掺杂层杂质浓度 N_D 的提高, SiGe 量子阱器件的阈值电压绝对值增大; 当 δ 掺杂层杂质浓度 N_D 一定时, V_T 随着间隔层厚度 d_i 的增加而减小。随着 SiGe 弛豫层中 Ge 组分的提高, 陷落在应变 Si 量子阱沟道中的载流子增多, 使得阈值电压绝对值增大。

4 结论

本文在理论分析基础上, 建立了应变 Si NMOS 量子阱沟道载流子面密度与器件结构参数关系的数学模型, 并在此基础上分析了 δ 掺杂层杂质浓度、间隔层厚度等与量子阱沟道载流子面密度和阈值电压的关系。

当间隔层的厚度 d_i 一定时, 随着 δ 掺杂层杂质浓度 N_D 的提高, 量子阱沟道载流子面密度随之增大, 器件的阈值电压绝对值增大; 当 δ 掺杂层杂质浓度 N_D 一定时, 量子阱沟道载流子面密度随着间隔层厚度的增加而减小, 器件的阈值电压

绝对值随着间隔层厚度 d_i 的增加而减小。

参考文献:

- [1] F Gómiz, P Cartujo Cassinello, J B Roldán, et al. Electron transport in strained Si inversion layers grown on SiGe on insulator substrates[J]. Journal of Applied Physics, 2002, 92(7): 288–295.
- [2] Vogelsang Th, Hofmann K R. Electron transport in strained Si layers on $\text{Si}_{1-x}\text{Ge}_x$ Substrates[J]. Applied Physics Letters, 1993, 63(7): 186–188.
- [3] Cheon S, Lee S C, Hong S, et al. Study of quasi two dimensional hole gas in $\text{Si}/\text{Si}_x\text{Ge}_{1-x}/\text{Si}$ quantum wells[J]. Solid State Electronics, 1996, 39(1): 7–13.
- [4] Niu G F, Ruan G, et al. Inversion charge modeling of SiGe pMOS and approaches to increasing the hole density in the SiGe channel[J]. Solid State Electronics, 1995, 38(2): 323–329.
- [5] Niu J, Chung S Y, Rice A T, et al. Diffusion barrier cladding in Si/SiGe resonant interband tunneling diodes and their patterned growth on PMOS source/drain regions[J]. IEEE Transactions on Electron Devices, 2003, 50(9): 1876–1884.
- [6] 郑泽伟, 沈波, 桂永胜, 等. $\text{AlGaInN}/\text{GaIn}$ 调制掺杂异质结构的子带性质研究[J]. 物理学报, 2004, 53(2): 596–599.
Zheng Z W, Shen B, Gui Y Sh, et al. Study on the subband properties of $\text{AlGaInN}/\text{GaIn}$ modulation doped heterostructures[J]. Acta Physica Sinica, 2004, 53(2): 596–599. (in Chinese)
- [7] 胡辉勇, 张鹤鸣, 戴显英, 等. 含有 δ 掺杂层的 SiGe pMOS 量子阱沟道空穴面密度研究[J]. 物理学报, 2004, 53(12): 4314–4318.
Hu H Y, Zhang H M, Dai X Y, et al. Hole sheet density in SiGe pMOS quantum well with δ doping layer[J]. Acta Physica Sinica, 2004, 53(12): 4314–4318. (in Chinese)
- [8] Karthik Chandrasekaran. Computational Investigation of Novel Device Structures and Concepts[D]. School of Electrical and Electronic Engineering, Nanyang Technological University, Singapore, 2003.
- [9] K Iniewski, S Voinescu, J Atcha, et al. Analytical modeling of threshold voltages in p Channel $\text{Si}/\text{SiGe}/\text{Si}$ Mos structures[J]. Solid State Electronics, 1993, 36(5): 775–783.

作者简介:



胡辉勇 男, 1974 年 4 月生, 2004 年在西安电子科技大学获工学硕士学位, 现为西安电子科技大学微电子学院在职博士研究生, 主要从事高速半导体材料、器件与集成电路研究。
E-mail: huiy@xidian.edu.cn.

张鹤鸣 男, 1947 年 8 月生, 西安电子科技大学微电子学院教授, 博士生导师, 主要从事高速半导体材料、器件与集成电路及电力电子技术研究。