

一种适用于高速高精度流水线 ADC 的放大器

黄显洋, 李树荣, 姚素英

(天津大学电子信息工程学院, 天津 300072)

摘要: 本文提出了一种新颖的放大器结构. 它由两部分组成: 前面为跨导放大器, 后面则是由电阻反馈形成的跨阻放大器, 两种放大器的组合构成了具有高输入阻抗、低输出阻抗的电压放大器. 与普通放大器不同的是, 在我们设计的工作条件下, 它输出端的极点几乎不受负载电容的影响. 用该放大器作为预放大级, 驱动一单级主放大器所构成的两级运放在负载电容为 4pF 的情况下实现了超过 1GHz 的增益带宽积, 瞬态分析的结果表明它可以在 10ns 内达到 0.01% 的精度 (闭环增益为 8), 而功耗仅有 25mW, 远低于同性能其他结构的放大器, 非常适合作为高速高精度流水线模数转换器中的首级余量放大器使用.

关键词: 放大器; 增益带宽积; 流水线模数转换器

中图分类号: TN722 **文献标识码:** A **文章编号:** 0372-2112 (2006) 01-0131-04

An Amplifier for High Speed High Accuracy Pipelined ADC

HUANG Xian-yang, LI Shu-rong

(School of Electronic Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract An amplifier with novel configuration is presented. It consists of two parts: a transconductance amplifier and a transresistance amplifier formed by resistor feedback. The combination of these two amplifier forms a voltage amplifier with low output impedance and the pole at the output node is hardly affected by the loading capacitor. It is used as preamplifier to drive a single stage amplifier and thus a two stage operational amplifier is implemented. Simulation results show that more than 1GHz gain bandwidth product is achieved (4-pF load) with a power consumption of 25mW only. Transient simulation indicates a settling time of less than 10ns for 0.01% accuracy with a closed loop gain of 8. This two stage operational amplifier is appropriate to be used in high speed high accuracy pipelined analog to digital converters.

Key words amplifier; gain bandwidth product; pipelined analog to digital converter

1 引言

流水线 ADC 以其高速高精度低功耗的优点得到广泛应用. 近些年来, 流水线 ADC 发展的趋势是通过减少每级的位数, 降低对电路中主要功耗元件余量放大器增益带宽积 (GBW) 的要求, 从而降低整个系统的功耗^[1, 2]. 但因为每级多位的结构能够显著提高 ADC 的线性^[2, 3], 并且可以减少总的级数以及放低对后面各级精度的要求, 所以在高精度的场合有利于性能的提高和功耗的优化^[4]. 由于上述原因, 很多高精度的 ADC^[5, 6] 采用第一级多位的结构, 这样就要求首级余量放大器有较大的闭环增益, 对它的增益带宽积提出了很高的要求, 设计高增益带宽积低功耗的运算放大器成为实现这种高速高精度流水线 ADC 性能的关键.

流水线模数转换器中常用的运算放大器有: Miller 补

偿的两级结构图 1(a), 单级结构图 1(b) 以及带有预放大级的两级结构图 1(c). Miller 补偿的两极结构优点是直流增益高, 但是该放大器主极点在内部, 而输出端还存在一个位置较低的非主极点, 这大大限制了它的速度, 而要将非主极点推到较高的频率需要增加很大的功耗. 单级放大器主极点在输出端, 内部没有位置较底的极点, 并且通过采用共源共栅结构或者增益自举 (gain-boost) 技术^[7, 8] 同样可以达到很高的直流增益, 因此非常适合应用在高速场合^[8]. 但是当放大器需要工作在较低的反馈系数下即实现大的闭环增益时, 单级放大器所需的功耗迅速增加, 这是因为: 单级放大器的增益带宽积为 g_m / C_1 (g_m 为放大器输入管跨导, C_1 为输出端有效负载电容), 其环路增益带宽积为 f_g / C_1 (f 为反馈系数), 当负载电容一定时, 为达到规

定的速度(速度决定于环路增益带宽),反馈系数的减小要求放大器跨导增大;在管子尺寸一定的情况下,跨导与电流的平方根成正比,即反馈系数减小一半,放大器功耗增加为原来的四倍。Miller补偿的两级结构也存在类似的问题。带有预放大级的两级放大器(跨导自举放大器)是在单级放大器的基础上加入一高速预放大电路(如图1c所示),该预放大电路通常只需达到几倍的直流增益,但必须有很大的带宽,即不引入较低频率的极点,以保证两级运放的稳定性。该结构放大器的增益带宽积为 $A g_m / C_1$ (A 为预放大电路的直流增益),预放大级的加入使整个放大器的增益带宽积提高为原来的 A 倍,而这仅仅以预放大电路本身较小的功耗为代价,因此在需要很高增益带宽积的放大器时,带有预放大级的两极结构是较理想的选择。

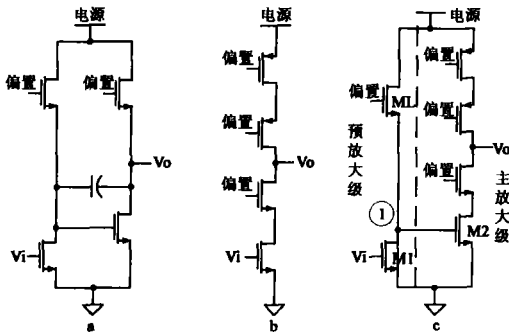


图 1 三种基本结构放大器

在设计预放大电路时,特别是在高速电路中,主要难点是增加它的带宽,使预放大电路所有的极点都远离整个放大器闭环工作的 3dB 带宽,这样才能保证放大器闭环工作的稳定性。通常的预放大电路如图 1(c)所示,它在其输出端引入值为 $1/(g_{M1}C_{e\text{II}})$ 的极点 (g_{M1} 为管 $M1$ 的跨导, $C_{e\text{II}}$ 为预放大电路输出端(节点①)的等效负载电容,主要是管 $M2$ 的栅电容)。电路设计中,为了获得大的跨导,管 $M2$ 尺寸一般较大,带来的问题是较大的寄生栅电容,从而导致节点①处的极点频率较低,影响整个电路的速度或稳定性,而要将该极点推倒足够高的频率,需要较大的功耗。本文下面要介绍的是我们设计的一种结构新颖的放大器,用它作为预放大级可以解决普通预放大电路由于负载电容较大带来的稳定性问题,并且不需要增加太多的功耗。该放大器驱动单级放大器所构成的两极运放在有效负载电容为 4pF 的情况下实现了超过 1GHz 的增益带宽积,其功耗与同性能的其他结构放大器相比大大降低。

2 放大器结构及工作原理

我们所设计的放大器如图 2 所示,它由两部分构成,虚线左侧为折叠共源共栅的跨导放大器,右侧则是由电阻反馈所形成的跨阻放大器。跨导放大器的特点是高输入阻抗和高输出阻抗,而跨阻放大器则是低输入阻抗和低输出阻抗,它们的结合构成了具有低输出阻抗的电压放大器。下面对该电路进行具体解释。

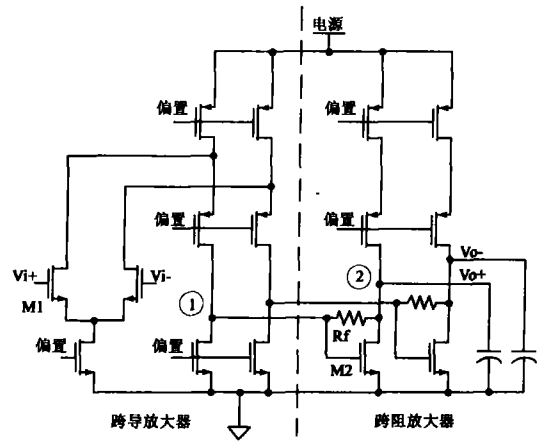


图 2 放大器电路图

为简化分析,忽略非关键节点极点的影响,将放大器简化为图 3 所示的等效电路: R_{o1} 、 R_{o2} 、 C_1 、 C_2 分别为节点①、②处的等效电阻和有效负载电容; R_f 为反馈电阻,它分别连接于共源放大器的输入和输出端,形成电压并联负反馈,降低该级的输入输出电阻; g_{m1} 、 g_{m2} 则分别为管 M_1 、 M_2 的跨导。由于 R_{o1} 、 R_{o2} 均为很大的电阻(远大于 $1/g_{m1}$ 或 $1/g_{m2}$),其影响可以忽略不计。需要特别指出的是,该电路的设计必须满足 $C_1 \ll C_2$ (实际电路中一般都很容易满足该条件),下面的讨论都是在这个前提条件下进行的。

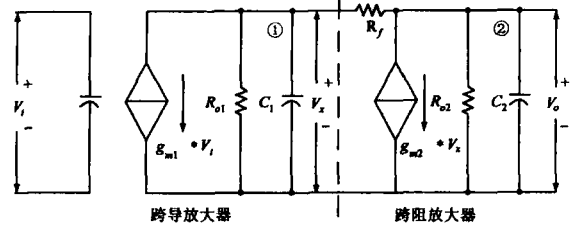


图 3 放大器等效电路

根据基尔霍夫电流定律列方程:

$$g_{m1} V_i + V_x s C_1 + (V_x - V_0) / R_f = 0 \quad (1)$$

$$g_{m2} V_x + V_0 s C_2 + (V_0 - V_x) / R_f = 0 \quad (2)$$

解方程组得:

$$a(s) = V_0(s) N_i(s) = \frac{g_{m1}(R_f - 1/g_{m2})}{1 + s(C_1 + C_2)/g_{m2} + s^2 C_1 C_2 R_f / g_{m2}} \quad (3)$$

由传输函数看出,该放大器可以等效为一二阶系统,其直流增益为:

$$A = g_{m1}(R_f - 1/g_{m2}) \quad (4)$$

它的极点就是方程 $1 + s(C_1 + C_2)/g_{m2} + s^2 C_1 C_2 R_f / g_{m2} = 0$ 的根,值为:

$$s_{(1,2)} = \frac{1}{2} \left[-\frac{1}{R_f C} \pm \sqrt{\Delta} \right] \quad (5)$$

其中,

$$C = \frac{C_1 C_2}{C_1 + C_2}, \Delta = \frac{1}{(R_f C)^2} - \frac{4g_{m2}}{C_1 C_2 R_f} \quad (6)$$

因为 $C_2 \gg C_1$

所以, $C \approx C_1, C_1 + C_2 \approx C_2$ (7)

当 $\Delta \geq 0$ 即 $C_1 + C_2 \geq g_{m2}R_f C$ 时, 方程有两实根, 即放大器有两个实极点

$$s_1 = -\frac{1}{2R_f C} \left\{ 1 - \sqrt{1 - \frac{4g_{m2}R_f C}{C_1 + C_2}} \right\}$$

$$\approx -\frac{1}{2R_f C_1} \left\{ 1 - \sqrt{1 - \frac{4g_{m2}R_f C}{C_2}} \right\} \quad (8)$$

$$s_2 = -\frac{1}{2R_f C} \left\{ 1 + \sqrt{1 - \frac{4g_{m2}R_f C}{C_1 + C_2}} \right\}$$

$$\approx -\frac{1}{2R_f C_1} \left\{ 1 + \sqrt{1 - \frac{4g_{m2}R_f C}{C_2}} \right\} \quad (9)$$

由式 (8)、(9) 看出, 随着 C_2 的增加极点 s_1 的绝对值显著减小, 即极点频率随 C_2 的增大而降低, 这不利于放大器的稳定。

当 $C_1 + C_2 < g_{m2}R_f C$ 时, 方程有两个共厄复根, 即放大器存在一对共厄复极点, 它们的实部为:

$$Re al(s_{1,2}) = -\frac{1}{2R_f C} \approx -\frac{1}{2R_f C_1} \quad (10)$$

公式 (10) 表明, 共厄极点的实部取决于 C_1 , 几乎不受 C_2 值的影响。合理的电路设计可以保证 C_1 是一个很小的值, 从而使整个电路的极点位于很高的频率。

由上面的分析可以得到以下结论: 当 $C_1 \ll C_2$, 并且 $C_1 + C_2 < g_{m2}R_f C$ 时, 图 2 所示放大器的极点几乎不受输出端负载电容的影响, 而取决于内部节点的电容; 由于该内部节点电容值可以控制到很小, 从而保证极点位于很高的频率, 有效的解决了引言中提到的问题。

3 模拟结果

利用我们所提出的预放大电路, 设计了图 4 所示的运算放大器。它是两级结构, 前级为预放大电路, 后级为套桶式放大器。

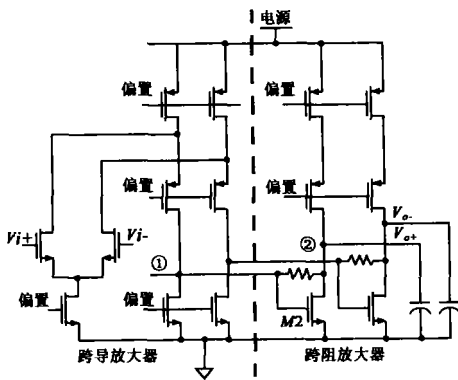


图 4 带有预放大级的两级运算放大器

若需要更高的直流增益或者较大的输出电压摆幅, 图中所示单级放大器可以采用增益自举放大器^[8]。

该两级运算放大器用于实现 8 倍的闭环增益, 用

0.35μm CMOS 工艺模型在 Spice 中进行模拟, 模拟的电路示意图见图 5 当输入为 0.125V 的阶跃信号时, Hspice 瞬态分析的结果如图 6 所示:

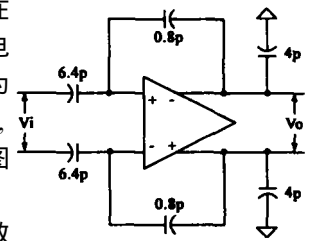


图 5 瞬态分析电路示意图

由模拟结果得到运算放大器的各种参数值如表 1 所示:

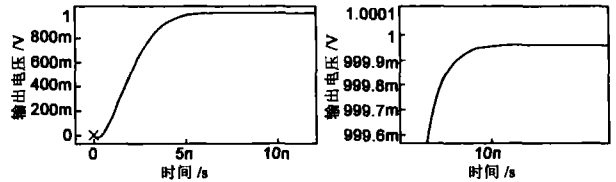


图 6 瞬态分析结果 (右图为左图的局部放大)

表 1

直流增益	增益带宽积	电源电压	功耗	等效负载电容	建立时间 (0.01%)
107 db	> 1GHz	5V	25mW	4pf	< 10ns

若去掉预放大级而仅仅采用后面的单级放大器, 即使将输入管的尺寸加倍, 也需要高达 80mW 的功耗。并且增大输入管的尺寸会使放大器的输入端寄生电容增加, 而应用于流水线 ADC 中时, 该电容会影响 ADC 的各项性能。

与单级放大器相比, 图 4 所示电路还有一个突出的优点: 输入共模范围大。当然单级电路也可以采用折叠共源共栅结构来增加输入共模范围, 但采用这种结构会使功耗大大增加。

对于预放大级, 从 Hspice 的输出文件中提取各项参数代入 (4)、(10) 中进行计算, 计算结果与

表 2

	直流增益	极点 (实部)
计算结果	3.43	5.9224G rad/s
模拟结果	3.47	5.9124G rad/s

可以看到, 理论计算值与实际模拟结果十分接近, 证明了前面所做推导的正确性。

4 总结

本文介绍了一种适用于高速高精度流水线 ADC 的运算放大器, 它是带有预放大级的两级结构。其中, 用做预放大级的放大器是由我们特殊设计的, 它在负载电容较大的情况下仍能达到很高的带宽, 我们对它的传输函数进行了理论推导, 模拟结果证实了推导结论的正确性。用 0.35μm CMOS 工艺所设计的该类型运算放大器在负载电容为 4pf 的情况下, 实现了超过 1GHz 的增益带宽积, 功耗仅为 25mW, 远低于同性能其他结构的放大器。

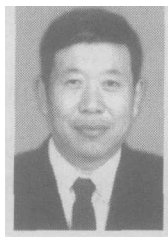
参考文献:

[1] SH Lewis Optimizing the stage resolution in pipelined multistage analog-to-digital converters for video-rate applic

- cations [J]. IEEE Trans Circuits & Systems-II, 1992, 39 (8): 516- 523
- [2] L A Singer T L Brooks A 14bit 10MHz calibration-free CMOS pipelined A/D converter [A]. IEEE Symp VLSI Circuits Dig Tech Papers [C]. Honolulu, HI USA: Wilekkehr and Associates, Gaithersburg, 1996, 94- 95.
- [3] L Singer S Ho M Tino D Kelly A 12-bit 65M samples/s CMOS pipelined ADC with 82dB SFDR at 120 MHz [A]. John H Wuorinen 2000 IEEE ISSCC Dig Tech Papers [C]. Piscataway, NJ USA: IEEE Press, 2000, 38- 39.
- [4] D W Cliné P R Gray A power optimized 13bit 5M samples/s pipelined analog to digital converter in 1.24 μ m CMOS [J]. IEEE Journal of Solid-State Circuits, 1996, 31 (3): 294- 303
- [5] W Yang D Kelly I Mehr M Sayuk L Singer A 3V 340mW 14bit 75M sample/s CMOS ADC with 85dB SFDR at Nyquist input [J]. IEEE Journal of Solid-State Circuits, 2001, 36(12): 1931- 1936
- [6] R Lotfi M Taherzadeh-Sani O Shoaei A 12bit 40MSPS 3V 56mW pipelined A/D converter in 0.25 μ m CMOS [A]. Proceedings of 2004 IEEE International Symposium on Circuits and Systems [C]. USA: Institute of Electrical and Electronics Engineers Inc, 2004, 169- 172
- [7] P R Gray P J Hurst S H Lewis T G Meyer Analysis and design of analog integrated circuits, 4th ed [M]. New York: John Wiley & Sons Inc, 2001, 206- 213
- [8] D Shahrjerdj B Hekmatshoar M Tahie O Shoaei A fast settling high DC gain low power OPAMP design for high resolution high speed A/D converters [A]. Proceedings of the 15th International Conference on Microelectronics [C]. Cairo, Egypt: Electronics and Communications Department Faculty of Engineering Cairo University, 2003, 207- 210

作者简介:

黄显洋 男, 1981年11月出生于山东即墨, 2003年毕业于天津大学电信学院微电子技术专业, 获工学学士学位, 现为天津大学 ASIC 设计中心硕士研究生. 主要研究方向为流水线模数转换器的设计.



李树荣 男, 1946年3月出生于河北盐山, 教授, 1970年毕业于天津大学工程系, 此后一直在天津大学电信学院从事微电子技术方面的教学和科研工作, 近期研究方向包括 SOI/SG e/BC-MOS 集成电路研究, 光电负阻器件及光电子集成等, 先后发表论文 20 余篇.

(上接第 158 页)

- [6] Robert M Haralick K Sharmugan, Its'hak Dinstein Texture features for image classification [J]. IEEE Trans on Systems Man and Cybernetics, 1973, 3(6): 610- 621.
- [7] Dutra LV, R Huber Feature extraction and selection for ERS-1/2 InSAR classification [J]. International Journal of Remote Sensing, 1999, 20(5): 993- 1016
- [8] Leen-Kiat Soh, Costas tsatsoulis Segmentation of satellite imagery of natural scenes using data mining [J]. IEEE Transactions on Geoscience and Remote Sensing, 1999, 37 (2): 1086- 1099
- [9] John R Smith, Shih-Fu Chang Automated binary texture feature sets for image retrieval [A]. IEEE International Conference on Acoustics, Speech, and Signal Processing [C]. Atlanta, GA, USA, 1996, 4: 2239- 2242
- [10] Robert M. Haralick K. Sharmugan, Its'hak Dinstein Texture features for image classification [J]. IEEE Trans On Sys Man and Cyb, 1973, SMC-3(6): 610- 621.
- [11] Leen-Kiat Soh, Costas tsatsoulis Segmentation of satellite imagery of natural scenes using data mining [J]. IEEE Transactions on Geoscience and Remote Sensing, 1999, 37 (2): 1086- 1099.