

适用于数据通路的可编程逻辑器件 FDP100K

侯 慧, 马晓骏, 来金梅, 童家榕, 孙 , 陈利光
(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 设计研制了一款适用于数据通路的 10 万门容量的 FPGA 器件 FDP100K (FDP: FPGA for Data-Path), 其主要特点为: 可编程逻辑单元结构不同于国际上已有的可编程逻辑单元结构, 是一种新颖的基于查询表 LUT 和多路选择器 MUX 的混合结构; 连线资源结构采用新颖的层次式布线结构, 提供高度灵活的布线能力. 芯片采用 SMIC 0.35 μ m CMOS 工艺, 包含 1024 个可编程逻辑单元和 128 个可编程 D 单元. 芯片配合自主开发的软件系统 FDE (FPGA Development Environment) 进行测试, 结果表明: FDP100K 芯片的可编程逻辑单元功能正常; 芯片的各种连线资源功能正常; 可以准确地实现数据通路型电路和其他类型的电路的功能.

关键词: 现场可编程逻辑器件; 数据通路; 可编程互连资源; 可编程逻辑资源

中图分类号: TM 571 **文献标识码:** A **文章编号:** 0372-2112 (2006) 08-1372-04

Programmable Logic Device FDP100K for Data-Path Application

HOU Hui, MA Xiaojun, LAI Jinmei, TONG Jiarong, SUN Jie, CHEN Liguang
(State Key Lab of ASIC, Fudan University, Shanghai 201203, China)

Abstract A novel 100 000-system-gate FPGA architecture FDP100K (FDP: FPGA for Data-Path) is proposed. It is designed for data-path application. The programmable logic cell for FDP100K is a new mixture logic block with LUT and MUX. The programmable interconnect for FDP100K is organized as a novel hierarchy structure. The chip is taped out with SMIC 0.35 μ m CMOS process. It includes 1024 logic cells and 128 programmable D cells. The chip FDP100K is tested by cooperating with its software system FDE (FPGA Development Environment). The results show that all kinds of logic cells and interconnect resources work correctly and the chip can be used to download data-path circuits and other kinds of circuits correctly.

Key words field programmable logic device; data-path; programmable interconnect resource; programmable logic resource

1 引言

现场可编程门阵列 FPGA (FPGA: Field Programmable Gate Array) 芯片是一种用编程方式实现数字逻辑功能的可编程逻辑器件, 可以方便地通过下载不同的配置位流文件而实现不同逻辑功能. 由于 FPGA 能够减少电子系统的开发风险和开发成本; 缩短上市时间; 通过在系统编程、远程在线重构等技术降低维护升级成本^[1, 2], 因此在通信、控制、数据计算等领域得到了广泛的应用^[3-5].

国内只是在应用上发展较快, 在 FPGA 产品的制造上还是空白. 目前国内每年 FPGA 的需求量在三十五亿左右, 采用的 FPGA 器件全部是进口的, 不但周期长, 而且器件型号和封装类型都受到很多限制. 因此, 进行 FPGA 器件的研制和生产不但可以打破垄断, 获取经济上的利益, 而且也有利于国家安全.

在诸如声音图像处理、数字通信、实时控制等领域, 需要大量的加法、乘法、FFT、DCT 变换等运算. 目前, 这些运算往往采用 DSR FPGA 或 ASIC 芯片来实现. 由于 FPGA 与 ASIC 相比在规模上日趋接近, 而在开发速度、开发成本和应用灵活性上却要优越得多. 因此, FPGA 在数据通路的应用上无疑具有很好的性能价格比. 商用结构的也增加了芯片对数据通路电路应用的支持, 如 Xilinx 的 Virtex^[6], Altera 的 APEX^[7] 等. 但是, 商用 FPGA 为了得到应用的广泛性, 其结构并不是针对运算逻辑优化的, 只是在面向通用随机逻辑的同时, 附加了一定的硬件资源来支持运算逻辑, 不能同时在硬件资源占用和运算速度两个方面都做得很理想.

针对这种现状, 本课题组经过 8 年多的努力^[8-11] 研制成功具有自主知识产权的第一款国产可编程逻辑电路 10 万门规模器件 FDP100K 及软件系统. 该芯片针对数据通路应用, 具有较高的性能价格比.

2 结构设计

FDP100K 各种可编程资源主要分为可编程逻辑资源和可编程互连资源. 可编程逻辑资源是 FPGA 阵列结构的基本构成单元, 用于将电路设计中的逻辑功能分块实现; 可编程互连资源将阵列式的可编程逻辑资源连接组成一个整体, 完成电路功能.

2.1 可编程逻辑资源设计

FDP100K 可编程逻辑单元 PLC (PLC: Programmable Logic Cell) 在结构上采用基于一位查询表和多路选择器的混合形式, 在功能上以实现一位优化的全加器为目标^[3]. 在水平和垂直方向中都加入了专用进位链以满足数据通路所需的灵活进位. 可配置为不同的工作模式, 通过开关阵列的选择, 控制实现组合逻辑或时序逻辑. 一般商用的 FPGA 的可编程逻辑单元的结构, 如 Xilinx 公司的 Virtex 和 Altera 公司的 Apex 等, 则同时包括组合逻辑和时序逻辑, 与之相比, 该逻辑单元更为灵活. 在组合逻辑状态下除了能实现任意三输入单输出、部分四输入单输出函数, 还能高效地实现一位快速全加器和乘法单元; 在时序逻辑状态下可以实现 D 触发器和锁存器的功能. PLC 的结构精简, 占用芯片面积小, 是一种细粒度的逻辑单元结构.

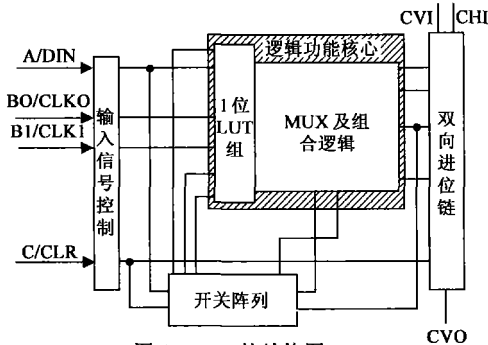


图 1 PLC 的结构图

通过分析可以计算出, 一个 3-LUT 所使用的元件数 (包括编程位所需的 SRAM 在内), 至少为 84 个 MOS 管, 而一个 4-LUT 是由 2 个 3-LUT 和一个 2 MUX 组成, 其 MOS 管至少为 172 个. 在 FDP100K 中的 PLC (简称 ELUT-PLC) 除时序部分外, 所用的元件数为 169 个, 少于一个 4-LUT 所用到的元件数.

表 1 PLC 延迟特性分析比较

功能	基于 ELUT 的 PLC		基于 LUT 的 PLC	
	本文的 PLC 结构	Virtex 系列 PLC	Apex 系列 PLC	
专用进位链	T_{PASS}	$1.5T_{PASS}$	$T_{NV} + 2T_{PASS}$	
级联链	T_{PASS}	$2T_{PASS}$	T_{PASS}	
组合逻辑	3-LUT + 2 IMUX	4-LUT + XOR + 2 MUX	4-LUT + 2 IMUX	

将 FDP100K 的 PLC 和较有代表性的 Xilinx 公司的 Virtex 和 Altera 公司的 Apex 两种系列产品进行延时分析

比较, 得出表 1 结果. 可以看到在 PLC 的延时方面要优于商用器件.

表 2 是 FDP100K PLC 结构与 Apex PLC 结构的函数实现能力的比较结果:

表 2 PLC 面积效益比较

电路功能	基于 ELUT 的 PLC 数目	Apex 系列 PLC 数目	MOS 管数比 N_E/N_A
FA 8	9	11	0.57
CAS8	13	16	0.6
MUL4X4	20	31	0.48
COUNT4	13	18	0.53
BSHIFT8	27	31	0.64
ALU 8	32	57	0.42

N_E/N_A 表示 ELUT-PLC 的 MOS 管数和 Apex-PLC MOS 管数的比值. FA8 为带溢出判断的 8 位行波进位加法器; CAS8 为可控 8 位加/减法器; MUL4X4 为采用斜向进位的阵列乘法器; COUNT4 为有清除、向上/向下计算和并行输入功能的平行计数器; BSHIFT8 为用 MUX 实现的 8 位桶式移位寄存器; ALU 8 为带输入输出锁存的 8 位 ALU. 从表中可以看出, FDP100K 的 PLC 结构在实现这些电路功能时所用到的器件较 Apex-PLC 要少, 比 Apex-PLC 平均大约节省 40% 的 MOS 管.

可见, FDP100K 可编程逻辑单元结构精简, 占用芯片面积小, 同时在实现数据通路电路时速度上还有较大的优势.

整体芯片采用层次式结构组织其中的可编程资源: 每 4×4 个 PLC 和相应的短线、可编程长线、专用进位线、专用时钟线构成一个宏单元 MC (Macro Cell), 整个芯片由 MC 按照阵列形式组成. 一个 MC 可以高效的实现四个 4 位全加器, 或一个高速 4 位乘法器. 整体芯片可以按 MC 为基本单元进行阵列扩展, 获得不同系列.

2.2 可编程互连资源设计

可编程连线结构也以层次式组织, 见图 2 分为三层: 可编程逻辑单元在 PLC 级别、MC 级别和芯片级别进行连接. 分别对应为: 相邻高速互连层次的短线、局部连线层次的可分割长线和全局连线层次的长线.

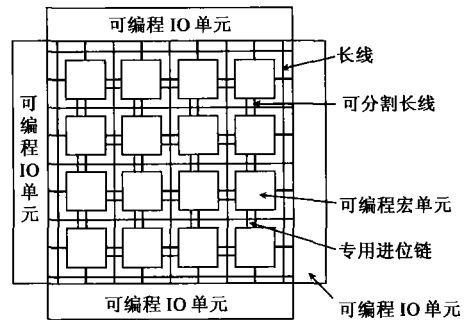


图 2 连线资源

PLC 级别的相邻连线 (短线) 将一个 PLC 和它周围的 8 个相邻 PLC 的所有输入输出相连接. 短线资源为布局规律性高、信号传输局部性强的数据通路电路提供优秀的性

能支持,能很好地满足数据通路应用的要求.而短线资源在实现一般的组合逻辑应用时,能实现高扇入、快速的组合逻辑.

可分割长线长度跨 1 个 MC, 提供了一个 MC 内部的跨若干个 PLC 的可编程连接. 长线连接盒将 MC 中的一组水平可分割长线和一组垂直可分割长线进行连接.

MC 级别的网格式连线又称为长线, 其长度跨越整个芯片, 每个 MC 水平和垂直方向各对应一组长线. 长线提供了高速、大跨距的连线结构, 只能对 MC 进行连接. 长线资源使 FPGA 连线布通率和速度性能得到提高.

考虑到连线速度的要求, 可分割长线只是被用来完成 MC 之内和跨数个 MC 的 PLC 的连接. 大距离的连接用长线则能减少连线中通过的可编程开关的数量, 从而提高连线的性能. 这两种连线配合可以实现整个芯片范围的灵活连接.

专用时钟网络按 MC 为单位进行时钟缓冲和分配, 通过控制 MC 中的时钟线, 可以在不需要时序功能时禁止时钟在此 MC 中的传递, 达到减少动态功耗的目的.

为了确定可分割长线和长线的布线通道宽度, 选择了 ISCA S89 测试电路集 (benchmark) 进行了实验. 实验中配合 FDP 结构开发的 CAD 软件 FDE 利用 FPGA 结构的建模方法在软件中描述出一个待考察的 FPGA 结构, 然后在这个结构中实现测试电路. 在考虑布通率的基础上确定了通道宽度. 在考虑面积的基础上确定了连接盒和开关盒的类型和连通度. 针对我们器件的规模, 最终确定了可分割长线布线通道宽度为 8 长线布线通道宽度为 4 (对所有 24 个测试电路, 布通率达到了 87.5%).

总的说来, 分层次的可编程连线资源针对实际电路设计中不同层次的连线需求, 分别进行了优化设计, 能够使 FDP100K 在连线资源利用率和连线速度上获得良好的表现.

FDP100K 的版图采用全定制方法设计, 以提高芯片面积利用率. 在版图设计中, 针对连线延时的问题, 从各单元的负载驱动、连线中可编程开关管的长宽比等方面进行优化, 减小时延. 最终版图设计的面积为 $4.8\text{mm} \times 5.5\text{mm}$, 包含 106 万晶体管.

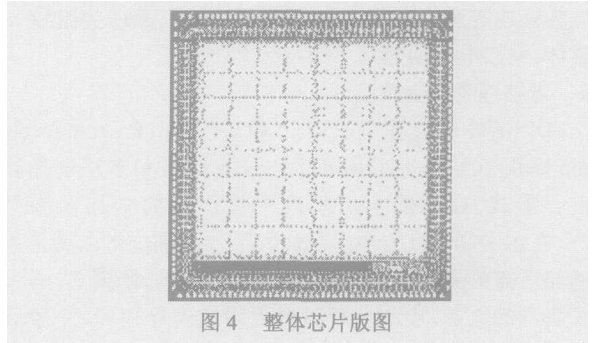


图 4 整体芯片版图

3 FDP 芯片的配套软件系统 FDE

FPGA 的 CAD 软件强烈地依赖于具体的芯片结构, 每一个新结构的产生, 势必要求开发新的算法以及相应的 CAD 软件系统以体现其特定的优点.

FDP 芯片的配套软件系统 FDE 包含了网表导入、工艺映射、布局、布线、配置数据生成、编程下载等模块, 并提供了系统总控模块管理整个开发流程. User Interface 可以输入用户约束和物理约束, Report Manager 为报告管理模块^[10].

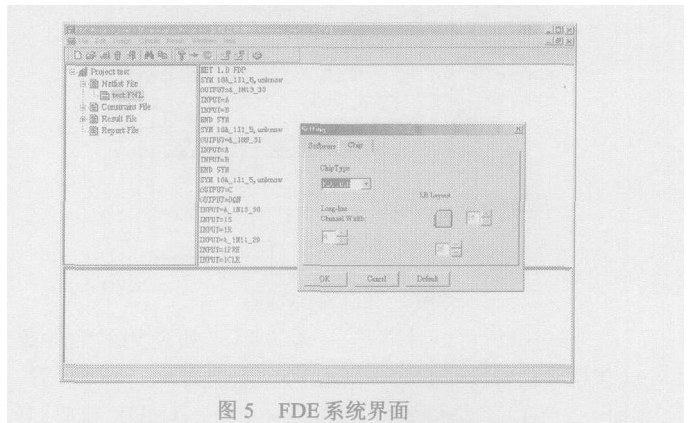


图 5 FDE 系统界面

FDE 系统同时提供了与工业界比较流行的 FPGA 设计工具的接口, 在 FDE 系统中还有 Design Elements Library (设计元件库)、Chip Structure Library (芯片结构库) 和 Configuration Information Library (配置信息库) 等三个库模块. 设计元件库的元件针对 FDP 芯片的结构进行了精心设计并手工配置, 可以最大的发挥芯片的硬件性能优势. 设计元件库可以方便地嵌入前端设计软件并用于设计、验证. 本软件系统原型已经用于实际的 FPGA 芯片, 并成功进行了实际系统的开发.

4 软硬件协同测试

测试平台由软硬件组成. 软件部分包括 FDE 设计软件、FPGA 位流控制软件等. 硬件部分包括专用测试电路

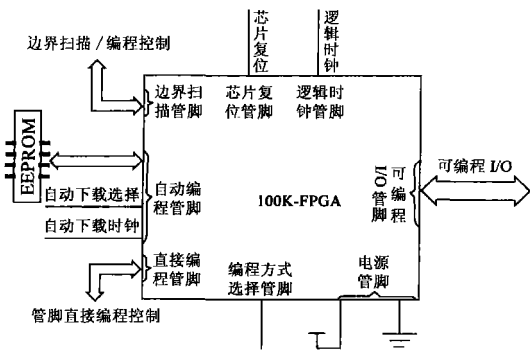


图 3 芯片输入输出与周边环境

2.3 其他部分的设计

FDP100K 芯片除了包含 1024 个 PLC 和层次化互连资源外, 还包括外围接口电路, 如编程控制模块、边界扫描电路^[5]、位流文件自动下载电路等, 为可编程功能核心提供测试和编程的接口. 可编程功能核心中的编程 SRAM 规模为 504×296 位.

板、单片机、PC 机等。

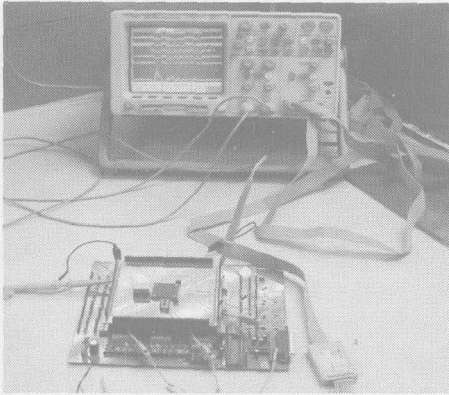


图 6 FDP100K 部分测试平台

芯片完成了从逻辑单元、连线、I/O 及芯片到总体功能的测试。测试过程包括用专门编写的位流控制软件等进行基本的测试;也包括用商用 EDA 软件 WorkView 进行逻辑设计输入,然后用 FDP100K 配套软件 FDE 分析和生成 FDP100K 的位流文件,烧入 FDP100K 芯片中,测试其功能是否正确。

测试的 Benchmark 包含了实际应用中的常见电路,包括 127 输入与门,二分频电路,1024 分频,28 × 28 位乘法器,8 位算术逻辑模块,16 位函数发生器等。

表 3 给出的是 FDP100K 的实测结果,测试表明:

- (1) 芯片的可编程逻辑单元功能正常。
- (2) 芯片的各种连线资源功能正常。
- (3) 芯片的编程下载功能正确。
- (4) 可以通过编程实现数据通路型和其他类型的电路。

表 3 FDP100K 的实测结果

工艺	0.35 μ m, 3 层金属
工作电压	3.3V
最高工作频率	100MHz
芯片面积	5.5mm × 4.6mm
封装类型	QFP-208
静态功耗	< 6mW
管脚时延 (Pin to Pin)	5nS
输出管脚上升时间 (10pF 负载)	10nS
输出管脚下降时间 (10pF 负载)	9nS

5 结束语

“FDP100K”实现了具有自主知识产权的 FPGA 芯片。本成果将填补国内该领域的空白,为在一定程度上能打破国外的垄断局面做出贡献。FDP100K 芯片的整体结构对数据通路的应用进行了优化,能进行高速的硬件计算。此外测试结果表明该芯片还可以实现一般的组合、时序电路,性能达到设计需要。

进一步的设计将使用更先进的工艺,增大集成度,提高逻辑容量和速度性能。

参考文献:

- [1] Scott Hauck The roles of FPGAs in reprogrammable systems [A]. Proceedings of the IEEE [C]. USA: University of Michigan 1998. 86(4): 615-638
- [2] Survey of system design trends [R]. 2003. <http://www.cerloxica.com/techlib/files/CEL-W040216Z08-256.pdf>
- [3] Wong C K, et al An FPGA-based Othello Endgame Solver [A]. Field-Programmable Technology [C]. Australia university of Queensland 2004. 81-88
- [4] Hong tu Jiang et al FPGA implementation of real-time image convolution with three level of memory hierarchy [A]. Field-Programmable Technology [C]. Japan university of Tokyo 2003. 424-427.
- [5] Zoran Salcic, et al A floating-point FPGA-based self-tuning regulator [J]. IEEE transactions on industrial 2006. 53(2): 693-704
- [6] Xilinx Co. Virtex(tm) 2.5V field programmable gate arrays Product Specification V 2.5 [DB/OL]. 2003. <http://www.xilinx.com/partinfo/ds003.pdf>
- [7] Altera Co. APEX 20K programmable logic device family data sheet [DB/OL]. 2004. <http://www.altera.com.cn/literature/ds/apex.pdf>
- [8] Xiaojun Ma, Jiarong Tong Design and implementation of a new FPGA architecture [A]. Proceedings of International Conference on ASIC of IEEE [C]. Beijing university of Tsinghua 2003. 816-819
- [9] 郭斌林, 童家榕. 一种基于扩展查询表的可编程逻辑单元 [J]. 计算机学报, 2003, 26(10): 1372-1378
- [10] 王波. 可编程 IP 核布图方法研究 [D]. 上海: 复旦大学信息科学与工程学院, 2004
- [11] 马晓骏. FPGA IP 核的设计 [D]. 上海: 复旦大学信息科学与工程学院, 2004

作者简介:



侯 慧 女, 2003 年开始在复旦大学微电子学系 CAD 研究室攻读博士学位, 从事 FPGA 方面的研究。主要研究方向为片上系统的设计及 FPGA 的硬件设计。

E-mail: 031021028@fudan.edu.cn

来金梅 女, 1998 年 3 月获上海交通大学博士学位, 主要研究方向为可编程逻辑器件、可重构系统芯片的设计及设计方法学研究。

E-mail: jinli@fudan.edu.cn

童家榕 男, 教授、博导, 1965 年毕业于复旦大学物理系, 分别于 1988 年和 1995 年在美国 EDS 公司和德州 A&M 大学访问研究共两年。主要从事电子电路和系统设计及集成电路计算机辅助设计软件算法和模块的研究。E-mail: jrton@fudan.edu.cn