

# 锗预非晶化注入对镍硅 (NiSi) 金属栅功函数的影响研究

蔡一茂, 黄 如, 单晓楠, 周发龙, 王阳元

(北京大学微电子学院, 北京 100871)

**摘 要:** 随着超大规模集成电路技术的发展, CMOS 器件的制备过程需要同时引入金属栅和超浅结等新的先进工艺技术, 因此各种新工艺的兼容性研究具有重要意义. 本文研究了超浅结工艺中使用的锗预非晶化对镍硅 (NiSi) 金属栅功函数的影响. 对具有不同剂量 Ge 注入的 NiSi 金属栅 MOS 电容样品的研究表明, 锗预非晶化采用的 Ge 注入对 NiSi 金属栅的功函数影响很小 (小于 0.03eV), 而且 Ge 注入也不会导致氧化层中固定电荷以及氧化层和硅衬底之间界面态的增加. 这些结果表明, 在自对准的先进 CMOS 工艺中, NiSi 金属栅工艺和锗预非晶化超浅结工艺可以互相兼容.

**关键词:** 金属栅; 镍硅金属栅; 功函数; 超浅结; 锗预非晶化

**中图分类号:** TN 305.3 **文献标识码:** A **文章编号:** 0372-2112 (2006) 08-1534-03

## Study on the Impact of Germanium Preamorphization on the Work Function of Fully Silicided NiSi Gate

CAI Yimao, HUANG Ru, SHAN Xiaonan, ZHOU Falong, WANG Yangyuan

(School Institute of Microelectronics, Peking University, Beijing 100871, China)

**Abstract** As continuously scaling down the VLSI technology, it is important to investigate the compatibility of the different advanced processes integrated together in advanced CMOS process. The impact of Ge implantation on the work function of fully silicided NiSi (FUSiNiSi) gate is investigated. The flat band voltage (VFB) and Equivalent Oxide Thickness (EOT) data were determined by fitting them measured capacitance-voltage (C-V) curves with similar curves. The results show that work functions of NiSi gates with and without Ge implantation vary slightly, less than 0.03eV. The increase of interface state and fixed oxide charge introduced by Ge preamorphization implantation is not observed. These results demonstrate that FUSiNiSi gate technology can be integrated with Ge preamorphization implantation in self alignment CMOS process.

**Key words** metal gate; FUSiNiSi work function; ultra-shallow junction; germanium preamorphization

### 1 引言

当 CMOS 器件尺寸缩小到 65nm 技术节点以后, 超浅结工艺和金属栅工艺将同时应用在超深亚微米 CMOS 器件的制备中. 这是因为传统的多晶硅栅会受到多晶硅耗尽效应的影响, 从而带来开态电流和驱动能力降低的问题. 研究表明, 如果采用传统多晶硅栅, 由于多晶硅耗尽效应的存在, MOS 器件的等效栅氧厚度将增加 0.3nm ~ 0.5nm, 这将给超深亚微米的 CMOS 器件的超薄栅制备提出严峻挑战<sup>[1]</sup>. 另外, 传统的多晶硅栅还存在高电阻率和与高 K 栅介质层不兼容等问题. 这些不足使得多晶硅栅难于满足 CMOS 器件进入超深亚微米尺度以后等比例缩小的要求, 而金属栅将成为其替代技术. 在众多的金属栅中, NiSi 金属栅由于能够消除多晶硅耗尽效应, 提供较低的电阻率, 且跟其他金属栅相比具有更容易集成的优势而被认为是最有潜力取代多晶硅栅的技术之一<sup>[2,3]</sup>. 当 CMOS 器件

尺寸的急剧缩小时, 为了防止短沟道效应需要形成源漏和衬底之间的超浅结. 在 P 型 MOS 管中, 超浅结是通过 B 的低能注入来实现的, B 注入的沟道效应和瞬态增强扩散效应使得 P 型超浅结的制备尤其困难. 在 B 的低能注入之前进行锗预非晶化注入被认为是能有效解决这一问题的方法之一, 因为锗预非晶化能够很好地抑制硼注入的沟道效应<sup>[4,5]</sup>.

锗预非晶化注入对器件的结泄漏电流、源、漏薄层电阻等电学特性的影响已经得到广泛研究<sup>[5-7]</sup>. 然而, 当 NiSi 金属栅技术和锗预非晶化超浅结技术同时应用在 CMOS 自对准制备工艺中时, 锗预非晶化注入将在 NiSi 金属栅中引入 Ge 杂质, 并在硅化过程中形成 NiGe 化合物. 有报道指出 NiGe 具有比 NiSi 更高的功函数, 而且工艺引起的金属栅功函数变化会导致器件阈值电压的变化从而严重影响器件在电路中的应用<sup>[8]</sup>, 因此很有必要研究锗预非晶化注入对 NiSi 金属栅功函数的影响, 这正是本文的主要工作.

### 2 实验

为了研究 Ge 注入对 NiSi 金属栅功函数的影响, 我们制备并研究了尺寸为  $50\mu\text{m} \times 50\mu\text{m}$  的 NiSi 金属栅 MOS 电容. 如图 1 所示, 制备 NiSi 金属栅 MOS 电容的工艺流程为: 在电阻率为  $(2 \sim 4)\Omega\text{cm}$  的 P 型 (100) Si 衬底上氧化形成场区隔离之后, 在干气氛下通过  $800^\circ\text{C}$  热氧化生成三种厚度 ( $5.0\text{nm}$ ,  $10.0\text{nm}$ ,  $16.8\text{nm}$ ) 的栅氧, 栅氧厚度由椭圆仪测得. 然后在不同厚度的栅氧上采用低压化学汽相淀积方法淀积  $80\text{nm}$  厚的本征多晶硅. 两种不同剂量 ( $4\text{e}14\text{cm}^{-2}$  and  $2\text{e}15\text{cm}^{-2}$ ) 的 Ge 以  $35\text{keV}$  的能量注入到多晶硅中, 为了比较, 也有样品不进行 Ge 注入. 经过热退火激活及光刻刻蚀形成 MOS 电容图形以后, 去掉光刻胶并用稀释的氢氟酸漂掉多晶硅的表面氧化层, 然后立即溅射  $60\text{nm}$  厚的金属 Ni 为了得到较低的电阻, 硅化过程采用  $\text{N}_2$  气氛下的  $450^\circ\text{C}$ ,  $60\text{s}$  的快速热退火工艺<sup>[9]</sup>. 然后用腐蚀溶液 ( $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4 = 1:4$ ) 选择腐蚀去掉没有反应完的 Ni 最后所有样品背面都溅射  $3000\text{\AA}$  的 Al 并在  $420^\circ\text{C}$  条件下退火 30 分钟, 形成背面欧姆接触.

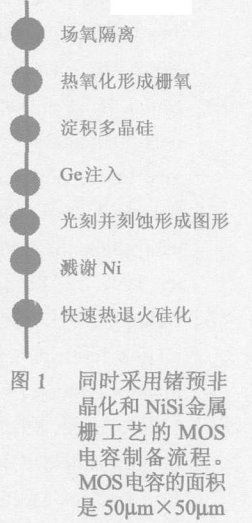


图 1 同时采用锗预非晶化和 NiSi 金属栅工艺的 MOS 电容制备流程. MOS 电容的面积是  $50\mu\text{m} \times 50\mu\text{m}$

进行 Ge 注入. 经过热退火激活及光刻刻蚀形成 MOS 电容图形以后, 去掉光刻胶并用稀释的氢氟酸漂掉多晶硅的表面氧化层, 然后立即溅射  $60\text{nm}$  厚的金属 Ni 为了得到较低的电阻, 硅化过程采用  $\text{N}_2$  气氛下的  $450^\circ\text{C}$ ,  $60\text{s}$  的快速热退火工艺<sup>[9]</sup>. 然后用腐蚀溶液 ( $\text{H}_2\text{O}_2:\text{H}_2\text{SO}_4 = 1:4$ ) 选择腐蚀去掉没有反应完的 Ni 最后所有样品背面都溅射  $3000\text{\AA}$  的 Al 并在  $420^\circ\text{C}$  条件下退火 30 分钟, 形成背面欧姆接触.

### 3 结果和分析

我们采用 C-V 测量方法来表征 Ge 注入对 NiSi 金属栅的影响. 通过对 C-V 测量曲线和用加州大学伯克利分校开发的量子 C-V 模拟器 (QMCV) 得到的模拟曲线进行拟合可以提取样品电容的氧化层厚度, 衬底掺杂浓度和有效功函数<sup>[10]</sup>等参数. 测量发现本实验中所有样品的 C-V 测量曲线能够很好地拟合模拟曲线, 这表明电容制备过程较好地保证了  $\text{Si}-\text{SiO}_2$  界面质量, 而且 NiSi 金属栅形成工艺以及 Ge 注入工艺都没有对界面质量带来明显影响. 样品在反型区和积累区测得的电容值相等, 而且 C-V 测量曲线和没有多晶硅耗尽效应的模拟曲线吻合, 这表明在前面所述的硅化条件下能够生成 NiSi 金属栅. 其中一个例子如图 2 所示, 它给出的是栅氧厚度为  $5\text{nm}$ , Ge 注入剂量为  $2\text{e}15\text{cm}^{-2}$  的样品的准静态 C-V 测量曲线及模拟曲线. C-V 测量所得的栅氧厚度和椭圆仪的测量结果一致 ( $5\text{nm}$ ), 这也进一步证明了 NiSi 金属栅的形成. 根据测量的 C-V 曲线可进一步提取样品的平带电压  $V_{\text{FB}}$ , 图 3 给出了不同栅氧厚度的样品的平带电压  $V_{\text{FB}}$  和 Ge 的注入剂量的关系. 从图 3 可以看出, Ge 注入导致样品的  $V_{\text{FB}}$  的变化很小 (小于  $0.03\text{V}$ ), 这表明 Ge 的预非晶化注入不会引起 NiSi 金属栅功函数的明显变化. 样品的高频 C-V 曲线也可以表征由 Ge 注入引起的 NiSi 金属栅功函数的变化, 如图 4 所示, 不同注入剂量

的样品的高频 C-V 曲线之间的形变和偏移都很小, 这表明 Ge 注入没有引起明显的功函数和界面质量的变化. NiSi 的功函数 ( $\Phi_{\text{M}}$ ) 可以由下式求得

$$\Phi_{\text{M}} = \Phi_{\text{Si}} + qV_{\text{FB}} + \frac{qQ_{\text{ox}}}{C_{\text{ox}}} \quad (1)$$

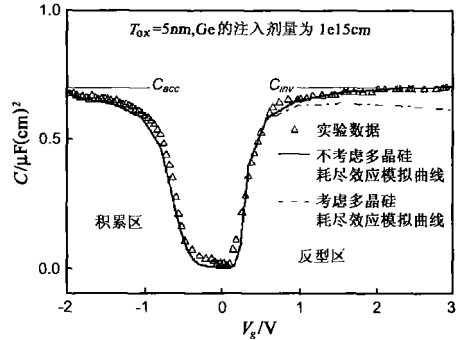


图 2 栅氧厚度 ( $T_{\text{ox}}$ ) 为  $5\text{nm}$ , 注入 Ge 剂量为  $2\text{e}15\text{cm}^{-2}$  的样品的准静态 C-V 测量曲线以及模拟曲线. 实验结果和不考虑多晶硅耗尽效应的模拟曲线吻合, 表明形成了 NiSi 金属栅

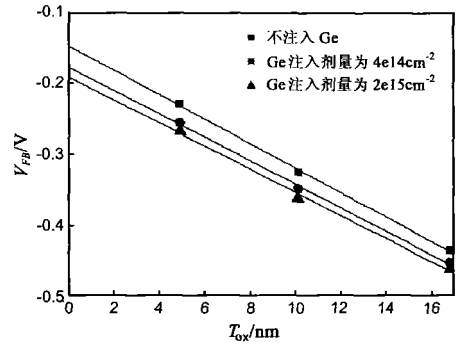


图 3 三种栅氧厚度的样品的平带电压  $V_{\text{FB}}$  和 Ge 的注入剂量的关系图. 平带电压  $V_{\text{FB}}$  由所对应样品的准静态 C-V 测量曲线求得

其中  $\Phi_{\text{Si}}$  为衬底的功函数,  $Q_{\text{ox}}$  为等效氧化层电荷,  $C_{\text{ox}}$  为氧化层电容<sup>[11]</sup>. 根据图 3 所示的  $V_{\text{FB}}$  和栅氧厚度的线性关系外推可得到栅氧厚度为 0 时的  $V_{\text{FB}}$ , 从而可以排除由于  $Q_{\text{ox}}$  作用引起的  $V_{\text{FB}}$  变化, 此时的  $V_{\text{FB}}$  完全由于 NiSi 金属栅与衬底的功函数差决定的, 因此可以进一步求出  $\Phi_{\text{M}}$ . 表 1 列出了不同样品的 NiSi 金属栅的  $\Phi_{\text{M}}$  值. 从表 1 可以看出, Ge 注入引起的 NiSi 金属栅功函数的变化小于  $0.03\text{V}$ , 这表明 Ge 预非晶化所需的大剂量 Ge 注入工艺不会明显地影响 NiSi 金属栅的功函数, 从而保证了器件阈值电压的稳定.

表 1 由 C-V 测量提取的 NiSi 金属栅的有效功函数

Ge 注入剂量 ( $\text{cm}^{-2}$ )	NiSi 的有效功函数 (eV)
0	4.76
$5\text{E}14$	4.74
$2\text{E}15$	4.73

最近有文献报道, 在 NiSi 金属栅硅化之前在多晶硅中进行 As 或者 B 的掺杂可以有效地改变 NiSi 金属栅的功函数 (超过  $0.3\text{eV}$ ). As 或者 B 杂质在  $\text{NiSi}-\text{SiO}_2$  界面的堆积效应被普遍认为是导致 NiSi 功函数变化的主要原因<sup>[2,12]</sup>. 这

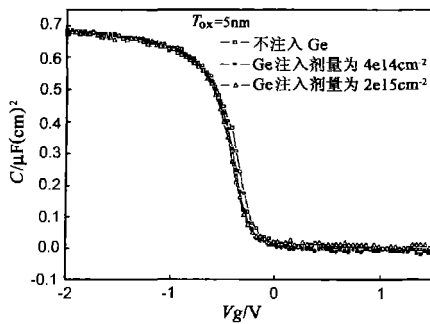


图4 栅氧厚度( $T_{ox}$ )为5nm的样品的高频 $C-V$ 测量曲线(频率为1MHz)。Ge注入引起的曲线的形变和平移都很小,表明Ge注入不会引起功函数的明显变化,也没有增加样品的氧化层中电荷和界面态

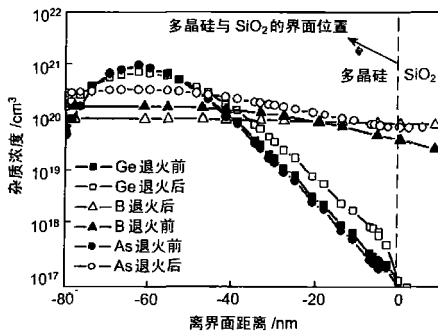


图5  $SiO_2$ 上多晶硅中退火前和退火后的掺杂杂质(Ge,As,B)分布的模拟结果。杂质的注入剂量为 $2e15cm^{-2}$ ,快速热退火条件为 $1050^{\circ}C, 30s$ 。图中表明,和As及B相比Ge的扩散速度较慢,快速热退火不能有效地把Ge推进到界面处。

是因为As和B在N $\delta$ i中的固溶度相对较低,因此在多晶硅的N $\delta$ i硅化过程中比较容易析出并堆积在N $\delta$ i/SiO $_2$ 界面,从而引起N $\delta$ i功函数的变化。和As和B相比,Ge杂质在多晶硅的N $\delta$ i硅化过程中会和N $\delta$ i反应形成N $\delta$ iGe,因此Ge不会象As和B一样聚集在N $\delta$ i/SiO $_2$ 界面。另外,如图5所示,Ge在多晶硅中的扩散速度要远小于As和B在多晶硅中的扩散速度,这样由锆预非晶化注入而引入的Ge杂质在后续的退火工艺中不容易扩散到N $\delta$ i/SiO $_2$ 的界面。因此,虽然N $\delta$ iGe本身的功函数要比N $\delta$ i大,但是由于在N $\delta$ i硅化过程中形成的N $\delta$ iGe大部分不处于N $\delta$ i/SiO $_2$ 的界面,从而不会引起N $\delta$ i金属栅功函数的变化。

#### 4 结论

实验采用N $\delta$ i金属栅工艺制备了MOS电容,并研究了锆预非晶化注入对N $\delta$ i金属栅功函数的影响。测量结果表明,锆预非晶化注入不会引起N $\delta$ i金属栅功函数的明显变化(小于0.03eV), $C-V$ 测量同时也表明锆预非晶化注入不会增加栅氧化层中电荷和界面态。因此,随着进一步的工艺优化,锆预非晶化的超浅结技术和N $\delta$ i金属栅技术可以同时集成到先进的CMOS工艺流程中。

#### 参考文献:

[1] TAUR Y, et al CMOS scaling into the nanometer regime

[J]. IEEE Proc 1997 85(4): 486- 504

- [2] M aszara W P, et al Transistors with dual work function metal gates by single full silicidation (FUSI) of polysilicon gates[A]. IEEE International Electron Devices Meeting (IEDM) Technical Digest[C]. New Jersey: IEEE, 2002 367- 370
- [3] Sin J H, et al Dual work function metal gates using full nickel silicidation of doped poly-si[J]. IEEE Electron Device Letters 2003 24(10): 631- 633
- [4] Sakano J et al Study of shallow p+ -n junction formation using SG e/Si system [J]. Japanese Journal Applied Physics 1993 32(12): 6168- 6172
- [5] Dehm C, et al Shallow titanium-silicided p+ n junction formation by triple germanium amorphization [J]. Applied Physics Letters 1992 60(10): 1214- 1216
- [6] Liu R, et al Mechanisms for process induced leakage in shallow silicided junctions[A]. IEEE International Electron Devices Meeting (IEDM) Technical Digest [C]. New Jersey: IEEE, 1986 58- 61.
- [7] Cheng T H, et al Impact of Ge implantation on the electrical characteristics of TSi p/n shallow junctions with an-Si (or a Poly-Si) buffer layer[J]. IEEE Trans 1997 ED-44 (4): 601- 606
- [8] Yu D S, et al Al $_2$ O $_3$ -Ge-On-Insulator n- and pMOSFETs with fully NiSi and NiGe dual gates[J]. IEEE Electron Device Letters 2004 25(3): 38- 140
- [9] Lin C Y, et al Formation of Ni germano-silicide on single crystalline SiO $_2$ /GeO $_2$ /Si [J]. IEEE Electron Device Letters 2002 23(8): 464- 466
- [10] Yang K J et al Quantum effect in oxide thickness determination from capacitance measurement[A]. Symposium on VLSI Technology[C]. Kyoto: IEEE, 1999 77- 78
- [11] Taur Y, Ning T H. Fundamentals of Modern VLSI Devices [M]. Cambridge U K: Cambridge Univ Press 1998 75- 75
- [12] Kedzierski J et al Metalgate FinFET and fully-depleted SOI devices using total gate silicidation[A]. IEEE International Electron Devices Meeting (IEDM) Technical Digest[C]. New Jersey: IEEE, 2002 247- 250

#### 作者简介:

蔡一茂 男, 1978年出生于江西赣州, 博士研究生, 现从事超深亚微米CMOS器件, 先进CMOS工艺以及flash memory等方面的研究。E-mail Caiym@in.e.pku.edu.cn

黄如女, 1969年生于江苏无锡, 现任北京大学教授, 博士生导师, 微电子学系主任, 微电子学研究院副院长。先后主持了国家973子项目、863项目、国家自然科学基金面上项目和重点项目等多项国家科研项目。主要从事SOI技术、小尺寸半导体器件、模型模拟、射频电路相关研究等方面的研究工作。先后出版著作4部, 在国内外核心期刊上发表学术论文140多篇, 并获得过信息产业部科技进步二等等多项奖励。