

VLSI 流水化格型数字滤波器的内建自测试

杨德才, 谢永乐, 陈光祜

(电子科技大学自动化工程学院, 四川成都 610054)

摘 要: 格型数字滤波器在信号处理领域得到了广泛应用, 本文针对 VLSI 实现的流水化格型数字滤波器, 提出了一种内建自测试方案, 不需要对其内部基本功能单元作任何更改, 且能在较短时间内检测所有的单固定型故障. 所有测试序列都采用简单的算术运算产生. 通过对已有功能模块如累加器的复用, 作为测试序列生成和响应压缩, 该方案能实现真速测试并最大程度的减少了硬件占用和系统性能占用.

关键词: 内建自测试; 可测性设计; 格型数字滤波器; 伪穷举测试

中图分类号: TN407 **文献标识码:** A **文章编号:** 0372-2112 (2007) 11-2184-05

Built-In Self-Test for VLSI Pipelined Lattice Digital Filter

YANG De-cai, XIE Yong-le, CHEN Guang-ju

(School of Automation Engineering, University of Electronic Science and Technology of China, Chengdu, Sichuan 610054, China)

Abstract: Lattice digital filter chips are widely used in many signal processing applications. We propose a built-in self-test (BIST) scheme for VLSI pipelined lattice digital filter chips which needs no modification of the basic building cells and all the single stuck-at faults can be detected in reasonable time. All the test vectors can be generated by simple arithmetic operation. By reusing available arithmetic function units such as accumulators to generate test vectors and compact test responses, such scheme can be implemented at-speed with minimum hardware overhead and performance degradation.

Key words: built-in self-test; design for testability; lattice digital filter; pseudo-exhaustive test

1 引言

格型数字滤波器因对有限字长的舍入误差不敏感、具有模块化结构并易于 VLSI 实现、特别适合于自适应滤波等独特优点而大量用于数字语音处理、自适应滤波等方面^[1]. 随着半导体制造技术的快速进展, 滤波器可以用 VLSI 硬件来实现高速实时运算处理. 大量的处理单元集成在单个芯片中, 高度集成化和复杂化的电路内部节点难以可达, 其测试变得更加困难.

在测试方面, 文献大多集中于软件实现的滤波器性能参数的测试. 对于采用 VLSI 实现的硬件滤波器的故障测试, 报道较少, 相关文献大致有功能的方法^[2,3]、利用频率响应在特定点不变性的在线测试^[4,5]、参数化测试^[6]等. 对格型数字滤波器的测试工作尚不多见.

本文针对格型数字滤波器的结构特点, 提出了一种内建自测试方案, 采用系统普遍固有的累加器, 作为测试序列生成, 具有以下特点: (1) 无需对内部功能单元作结构上的更改, 这样节省了硬件测试设计环节且对系统性能影响也减少到最低; (2) 故障覆盖率高, 可测试所有

单固定型故障, 以保证产品的最终质量和可靠性; (3) 测试集大小适中, 与滤波器的级联级数无关, 测试时间较少; (4) 测试硬件占用少; (5) 测试方案具有可移植性, 减少了测试开发成本.

2 格型数字滤波器结构及测试原理

格型数字滤波器有零点-极点 IIR 格型结构、FIR 格型等多种结构^[1]. 图 1(a) 所示为全极点 IIR 格型结构.

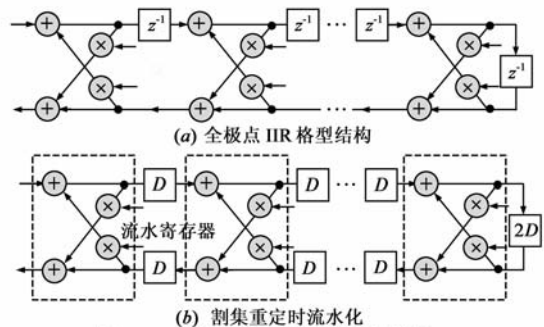


图 1 N-级级联格型数字滤波器结构

本文所提出的测试方案考虑了格型数字滤波器结构上的规则性, 将其划分为单独的组成模块如加法器、

乘法器, 对其进行伪穷举测试, 使得其子部件如全加器获得状态输入组合. 为满足故障覆盖率的要求, 应满足以下两个条件:

- (1) 每个子单元应获得所有可能的输入组合.
- (2) 每个子单元所产生的故障响应能传播到主输出或可观测的输出.

为了保证每个基本单元获得所有可能的输入组合, 已有的部分寄存器要用来形成扫描链, 传递测试序列和测试响应, 通常采用在寄存器中加入多路器的扫描可测性设计^[7], 以在正常输入和测试输入间切换. 这样的设计也避免了在 IIR 格型数字滤波器结构中因存在反馈而增加测试的复杂性, 同时也避免了对基本功能模块如加法器、乘法器结构上的更改. 通过对滤波器作割集重定时 (retiming) 的流水化^[1], 如图 1(b), 然后将流水化寄存器设计成扫描寄存器, 极大的增强了系统的可控性和可观测性. 以全极点 IIR 格型结构为例, 对扫描寄存器组合后的格型数字滤波器扫描链结构如图 2 所示, 其中 S 表示扫描寄存器, 用来交替传递测试序列和测试响应.

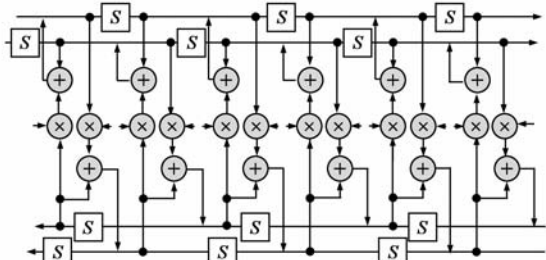


图 2 流水化格型滤波器的扫描链结构

3 加法器的测试

一个 n 位加法器可由 n 个相同的全加器构成, 它的主输入空间可描述为 $a_n b_n a_{n-1} b_{n-1} \dots a_2 b_2 a_1 b_1$, 其中 a_i, b_i 及进位位 c_i ($0 < i < n + 1$) 是第 i 个全加器的输入. 对于行波进位加法器, a_i 和 b_i 是可控的, c_i 可以通过 a_{i-1} 和 b_{i-1} 进行控制 (当 $a_{i-1} = b_{i-1} = 0$ 时, $c_i = 0$; 当 $a_{i-1} = b_{i-1} = 1$ 时, $c_i = 1$). 因而这种加法器需要 4 位连续子空间. 类似的, 对于超前进位加法器, 例如以 4 位分组的组超前进位加法器, 需要 10 位连续子空间. 测试采用伪穷举的方法, 可以证明, K 位的穷举序列完全覆盖任意连续 K 位子空间.

滤波器中的所有加法器可以通过测试序列的扫入来获得所有可能的输入组合, 如图 3 所示, 其中省略了乘法器. 由于图 3 每个加法器的两个输入分别由一条扫描链上的两个寄存器提供, 为使输入获得所有组合, 测试序列可由两个独立累加器 A 和 B 产生, 常数增量分别为 C_A 和 C_B . 每个累加器只需产生 $K/2$ 位穷举序列, 则

这样两个交替的累加器就会产生 K 位穷举序列. 对于行波进位加法器, 需要 4 位穷举的输入, 所以作为测试序列生成的每个累加器就各自只需要 2 位的穷举. 如果数据宽度 W 为 8 位, 则 C_A 或 C_B 为 01010101 (二进制). 对于超前进位加法器, 如果以 4 位作为超前进位分组, 那么需要 $K = 10$ 的穷举输入, 则每个累加器就只需要 5 位的穷举. 如果数据宽度 W 为 8 位, 则 C_A 或 C_B 为 00100001 (二进制). 测试序列扫描输入按如下流程进行:

- 第一步** 分别设置生成测试序列的累加器 A 和 B 的初值 A_0, B_0 (一般取零值).
 - 第二步** 保持 A 的值不变, 对 B 以增量 C_B 不断累加, 并交替将 A 和 B 中的值施加入扫描链.
 - 第三步** A 值增加一个 C_A , 然后重复第二步.
- 然后, 重复第二、三步, 直到所有 $2^{K/2} \times 2^{K/2}$ 个测试序列都扫入为止.

分析可知该测试序列能够保证加法器中每个单元获得所有可能的输入组合. 测试集的大小与滤波器的规模 (阶数) 无关. 如果是行波进位加法器, 保证完全覆盖的最小测试数为 $2^2 \times 2^2 = 16$; 如果是超前进位加法器, 则最小测试数为 $2^5 \times 2^5 = 1024$ (以 4 位作分组的组超前进位).

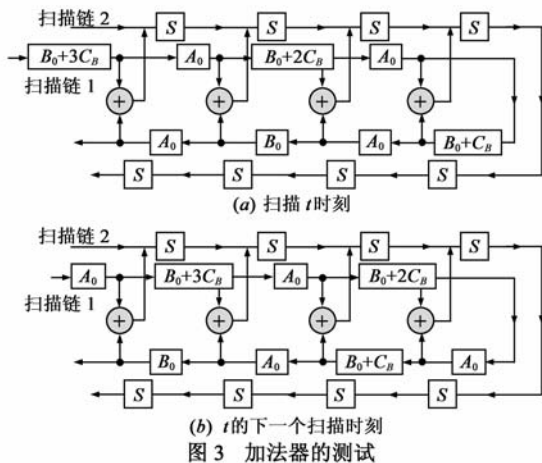


图 3 加法器的测试

4 乘法器的测试

在数字滤波器电路中, 普遍使用阵列乘法器, 如图 4 所示, 其中 F 表示全加器. 对一个 $n \times m$ 阵列乘法器 (m 表示水平输入数, n 表示垂直输入数), 乘法器的主输入包含两个序列 A 和 B ($A = a_{n-1} a_{n-2} \dots a_1 a_0, B = b_{m-1} b_{m-2} \dots b_1 b_0$), 分别表示垂直与水平方向输入, 产生包含 $n \times m$ 个部分积, 第 i ($i = 0, 1, \dots, m - 1$) 行的第 j ($j = 0, 1, \dots, n - 1$) 个部分积是通过乘数 B 与被乘数 A 相逻辑“与”而得, 设为 pp_{ij} . 考虑到结构上的规则化以易于 VLSI 实现, 所有的加法都采用全加器. 整个阵列单元有 m 行及 $n - 1$ 列, 从上到下行的标记为 $0, 1, \dots, m$

-1, 从右到左列的标记为 $0, 1, \dots, n-2$. 位于第 i 行第 j 列的全加器单元标记为 C_{ij} , 每个 C_{ij} 的输入和输出可以表示为状态序列 $\langle x, y, z \rangle$ 及 $\langle s, c \rangle$. 其中, x, y, z 分别表示对角方向、水平方向和垂直方向输入; s, c 分别表示和输出及进位输出.

我们对乘法器的 K 位穷举输入的覆盖特性作了广泛的研究. 无论 K 值多少, 有部分全加器得不到某些输入组合. 例如, 分析可知 $C_{1, n-2}$ 单元不会 $0x1$ 的输入组

合. 又如, 对第 0 行的全加器, 由于垂直输入 z 取值为 0, 那么在该行的所有全加器, 输入组合 $\langle xx1 \rangle$ 不会出现, 这里 x 表示 0 或 1. 在表 1 中, 给出了 $K=3, 4, 5$ 时全加器不可达的输入状态, 其中未具体给出 K 值的项, 表示对 $K=3, 4, 5$ 都适用. 例如, 对表 1 中输入位宽 8×16 , 对应 $\langle 001 \rangle$ 状态有 $C_{i,6}(i=0 \sim 14) \mid K=3$, 表示采用 3 位穷举输入, 第 6 列的从第 0 行到第 14 行全加器单元都不会出现 $\langle 001 \rangle$ 的输入状态.

表 1 不可达的输入状态 $\langle x, y, z \rangle (k=3, 4, 5)$

输入 ($n \times m$)	$\langle 001 \rangle$	$\langle 010 \rangle$	$\langle 011 \rangle$	$\langle 100 \rangle$	$\langle 101 \rangle$	$\langle 110 \rangle$	$\langle 111 \rangle$
8×8	$C_{i,6}(i=0 \sim 6) \mid K=3$, $C_{i,5}(i=4 \sim 6) \mid K=3$, $C_{1,6}C_{0,j}(j=0 \sim 6)$	$C_{7,0}$	$C_{7,j}(j=1 \sim 4)$ $\mid K=3$, $C_{1,6}C_{7,0}C_{7,6}C_{0,j}$ ($j=0 \sim 6$)	None	$C_{0,j}(j=0 \sim 6)$	$C_{i,6}(i=3 \sim 6) \mid K=3$, $C_{i,5}(i=4 \sim 6) \mid K=3$, $C_{7,0}$	$C_{7,0}$ $C_{0,j}(j=0 \sim 6)$
8×16	$C_{i,6}(i=0 \sim 14) \mid K=3$, $C_{i,5}(i=4 \sim 14) \mid K=3$, $C_{1,6}C_{0,j}(j=0 \sim 6)$	$C_{15,0}$	$C_{15,j}(j=1 \sim 4)$ $\mid K=3$, $C_{1,6}C_{15,0}C_{15,6}$ $C_{0,j}(j=0 \sim 6)$	None	$C_{0,j}(j=0 \sim 6)$	$C_{i,6}(i=3 \sim 14) \mid K=3$, $C_{i,5}(i=4 \sim 14) \mid K=3$, $C_{15,0}$	$C_{15,0}$ $C_{0,j}(j=0 \sim 6)$
16×8	$C_{i,14}(i=0 \sim 6) \mid K=3$, $C_{i,13}(i=4 \sim 6) \mid K=3$, $C_{1,14}C_{0,j}(j=0 \sim 14)$	$C_{7,0}$	$C_{7,j}(j=8, 10 \sim 12)$ $\mid K=3$, $C_{1,14}C_{7,0}C_{7,14}$ $C_{0,j}(j=0 \sim 14)$	None	$C_{0,j}(j=0 \sim 14)$	$C_{i,14}(i=3 \sim 6) \mid K=3$, $C_{i,13}(i=4 \sim 6)$ $\mid K=3, C_{7,0}$	$C_{7,j}(j=4 \sim 7)$ $\mid K=3, C_{7,j}$ ($j=1 \sim 3$) $\mid K=3, 4$, $C_{7,0}C_{0,j}$ ($j=0 \sim 14$)
16×16	$C_{i,14}(i=0 \sim 14) \mid K=3$, $C_{i,13}(i=4 \sim 14) \mid K=3$, $C_{1,14}C_{0,j}(j=0 \sim 14)$	$C_{15,0}$	$C_{15,j}(j=2 \sim 4,$ $10 \sim 12) \mid K=3$, $C_{1,14}C_{15,0}C_{15,14}$ $C_{0,j}(j=0 \sim 14)$	None	$C_{0,j}(j=0 \sim 14)$	$C_{i,14}(i=3 \sim 14) \mid K=3$, $C_{i,13}(i=4 \sim 14) \mid K=3$, $C_{15,0}$	$C_{15,0}$ $C_{0,j}(j=0 \sim 14)$
24×24	$C_{i,22}(i=0 \sim 22) \mid K=3$, $C_{i,21}(i=4 \sim 22) \mid K=3$, $C_{i,10}(i=15 \sim 22) \mid K=3$, $C_{i,5}(i=19 \sim 22) \mid K=3$, $C_{22,2}C_{22,3}C_{22,4} \mid K=3$, $C_{23,2}C_{23,3}C_{21,2} \mid K=3$, $C_{1,22}C_{0,j}(j=0 \sim 22)$	$C_{20,j}C_{21,j}$ ($j=0 \sim 2$) $\mid K=3$, $C_{22,2}C_{23,2}$ $\mid K=3, C_{23,0}$	$C_{23,j}(j=1 \sim 5,$ $10 \sim 12, 18 \sim 20)$ $\mid K=3, C_{1,22}C_{23,0}$ $C_{23,22}$ $C_{0,j}(j=0 \sim 22)$	$C_{23,2}C_{23,3}$ $\mid K=3$	$C_{i,3}(i=19 \sim 23)$ $\mid K=3$, $C_{19,j}C_{20,j}$ ($j=0 \sim 2$) $\mid K=3$, $C_{0,j}(j=0 \sim 22)$	$C_{i,22}(i=3 \sim 22) \mid K=3$, $C_{i,21}(i=4 \sim 22) \mid K=3$, $C_{i,10}(i=15 \sim 22) \mid K=3$, $C_{20,3}C_{21,j}C_{22,j}$ ($j=3 \sim 5$) $\mid K=3$, $C_{23,0}$	$C_{20,j}(j=0 \sim 2)$ $\mid K=3$, $C_{23,0}C_{0,j}$ ($j=0 \sim 22$)

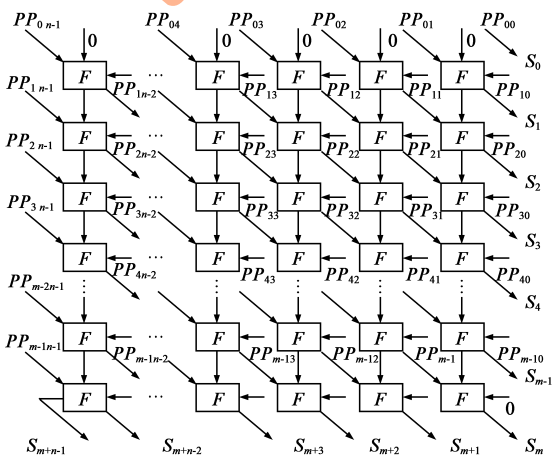


图 4 进位保留阵列乘法器

前面是从乘法器的主输入来推导全加器的状态, 下面我们从全加器的状态来推导乘法器的主输入所应满足的条件. 对乘法器每个区域中的全加器, 考虑其出现某种状态对应乘法器主输入 a_i 或 b_j 所应满足的条件, 这样的条件很多, 我们考虑的原则是主输入位中用尽量少的 0 来实现 (当然也可以采用其他原则, 例如用尽量少的 1), 这样的目的是让乘法器主输入构成尽量简单. 表 2 所示, 给出了全加器单元状态所对应的乘法器主输入条件. 为简洁起见, 表 2 中给出了必须为 0 位的主输入, 未列出的主输入位都取值为 1, 符号“ ϕ ”表示对任何主输入, 相应单元的输入状态不会出现, 也就是固有不可达状态.

假设乘法器水平和垂直方向输入集分别为 H 和

V ,从表 2 可知, H 包含 3 种序列,第 1 种是输入位全 1,第 2 种是输入位中只包含一个 0,其余位为 1;第 3 种是输入中只包含相邻的两个 0,其余位为 1. V 包含两种序列,与 H 中的前两种相同.我们把这种测试集生成的测

试称为改进的伪穷举测试 (Modified Pseudo-Exhaustive Test,MPET),而前述的 K 位穷举测试称为 PET (Pseudo-Exhaustive Test).

表 2 单元 C_{ij} 状态 $\langle x, y, z \rangle$ 所对应的主输入

C_{ij}	$\langle 000 \rangle$	$\langle 001 \rangle$	$\langle 010 \rangle$	$\langle 011 \rangle$	$\langle 100 \rangle$	$\langle 101 \rangle$	$\langle 110 \rangle$	$\langle 111 \rangle$
$i = 1 \sim m - 2,$ $j = 0 \sim n - i - 2$	$a_j = 0$	$b_{i+1} = 0$	$a_{j+1} = b_i = 0,$ for $i > 1;$ $b_1 = b_0 = 1,$ for $i = 1$	所有主输入全取 1	$b_i = b_{i+1} = 0,$ 或 $a_j = b_i = 0$	$a_{i+j+1} = 0,$ 且 $b_{i+1} = 0$	$b_i = 0$	$a_{i+j+1} = 0$
$i = 2 \sim m - 2,$ $j = n - i - 1 \sim n - 3$	$b_i = a_j = 0$	$a_{n-1} = 0,$ 且 $b_i = b_{i+1} = 0$	$a_{j+2} = 0$ 且 $b_i = b_{i-1} = 0$	$a_{n-1} = b_i = 0$	$a_j = 0$	$b_{i+1} = 0$	$b_i = b_{i-1} = 0;$ $a_{n-1} = 0$ 且 $b_i = b_{i-1} = 0$	所有主输入全取 1
$i = 0,$ $j = 0 \sim n - 2$	$b_0 = b_1 = 0$	ϕ	$b_0 = 0$ 或 $a_{j+1} = 0$	ϕ	$b_1 = 0$ 或 $a_j = 0$	ϕ	所有主输入全取 1	ϕ
$i = 1 \sim m - 2,$ $j = n - 2$	$a_{n-1} = b_{i+1} = 0$ 或 $a_{n-2} = b_i = 0$	$b_i = b_{i+1} = 0,$ for $1 < i \leq m - 2;$ $\phi,$ for $i = 1$	$a_{n-1} = 0$	$b_i = 0,$ for $1 < i \leq m - 2;$ $\phi,$ for $i = 1$	$a_{n-2} = 0$	$b_{i+1} = 0$	$b_{i-1} = b_{i-2} = 0$ for $1 < i \leq m - 2;$ $b_0 = 0$ for $i = 1$	所有主输入全取 1
$i = m - 1,$ $j = 0 \sim n - 2$	$a_{j+2} = b_{m-1} = b_{m-2} = 0$ for $0 < j < n - 2;$ $a_{n-1} = b_{m-1} = 0$ for $j = n - 2;$ $a_1 = b_{m-1} = 0$ for $j = 0$	$b_{m-1} = 0;$ $a_{n-1} = b_{m-1} = 0;$ 所有主输入全取 1;	$\phi,$ for $j = 0;$ $a_{j+1} = b_{m-1} = 0;$ $a_{j+2} = b_{m-2} = b_{m-3} = 0;$ $a_{n-1} = 0$	$\phi,$ for $j = 0;$ $\phi,$ for $j = n - 2;$ $a_k = 0,$ $k \geq m - 1;$ $b_j = b_{j-1} = 0;$ $a_{j+1} = b_{m-3} = b_{m-4} = 0$	$b_{m-1} = 0;$ $a_j = b_{m-1} = 0;$ $a_j = 0;$	$a_{j-1} = b_{i-1} = 0;$ $a_{j-1} = b_{i-2} = 0;$ $a_{i+j+1} = 0;$ $a_{j+1} = 0;$ 所有主输入全取 1;	$a_j = 0;$ $a_{m+j-2} = b_{m-1} = 0;$ $\phi,$ for $j = 0$	所有主输入全取 1; $a_{i+j+1} = 0;$ $\phi,$ for $j = 0$

图 5 给出了采用累加器生成这两种方法测试集的设计.对 PET,只需一个固定的连续累加值 C (图 5 中用 $A_2A_1A_0$ 表示) 即可.设数据宽度为 5 位,为了产生 $K = 3$ 的测试集,则 $C = 01001$,产生的序列为:00000、01001、10010、11011、00100、01101、10110、11111.为了产生测试集 V 及 H 的前两种测试序列,初始值 X_0 设置为 $2^n - 1$,初始进位 C_0 设置为 0.假设数据宽度为 5 位,产生的序列为:11111、11110、11101、11011、10111、01111.为了产生测试集 H 的第三种测试序列,初始值 X_0 设置为 $2^n - 2$, C_0 设置为 0.例如,假设数据宽度为 5 位,产生的序列为:11110、11100、11001、10011、00111、01111.除第一个和最后一个测试外,其余测试正好构成 H 的第三种测试序列,而第一个和最后一个测试也包含于测试集 H 中.

法器的可观测性.一个加法器通常都可划分为全加器单元.全加器的故障必然反映到其输出和位或者其进位位,而进位位的故障又可传递到下一级全加器的和位或进位位.因此,加法器内部故障可传播到最终的和输出或最终的进位,因此其故障是可观测的.对乘法器的测试故障响应,也需要传播到可观测输出,从图 4 可见,假设乘法器中某全加器单元存在一个故障,该故障响应将会传播到其和或进位输出,并最终传播到乘法器输出.与此类似,乘法器阵列中作为全加器输入的“与”门单元的故障也满足这样的传播条件.

由图 2 可见,加法器和乘法器中的任何存在的故障都可传递到扫描链,并最终传递到可见的输出.因此,除了加法器和乘法器本身满足可观测性之外,本文的扫描链设计极大的增强了整个系统的可控制性和可观测性.

6 实验及结果比较

为验证本文方案的有效性,我们采用 Verilog 硬件描述语言作仿真,故障类型选用单固定型 (stuck-at) 故障,加法器选用以 4 位分组的块超前进位加法器,乘法器选用进位保留阵列乘法器.对加法器采用 PET 测试,对乘法器分别采用 PET 及 MPET 测试.

表 3 给出了不同输入位宽下的故障覆盖率及测试集大小.从表 3 可见,对 $K \geq 4$ 的 PET 方案及 MPET 方

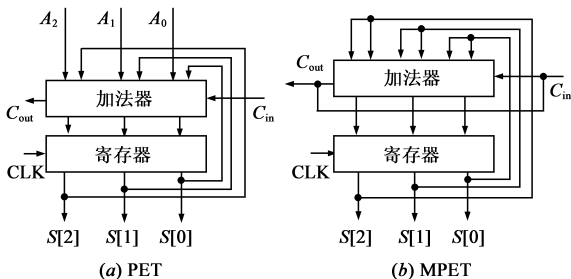


图 5 测试序列生成

5 格型数字滤波器的可观测性

格型数字滤波器的可观测性实质上指加法器和乘

案,都能获得较高的固定型故障覆盖率.这里故障覆盖率考虑了因采用累加器压缩^[8]引起的混迭并计及乘法器部分单元固有不可达输入状态.PET的测试集大小与 K 有关,但与数据位宽无关,而MPET的测试集与位宽有密切关系.但无论是PET还是MPET,测试集大小与滤波器的规模(阶数)无关.从表3可见,当数据位宽较小时,MPET方案更可取;当数据位宽较大时,PET更具有优势.

表3 测试集大小及故障覆盖率比较

测试方式		PET								MPET	
		测试集大小				故障覆盖率(%)				测试集大小	故障覆盖率(%)
		K=3	K=4	K=5	K=6	K=3	K=4	K=5	K=6		
输入位宽 $n \times m$	8 * 8	64	256	1024	4096	94.35	99.42	99.53	99.56	144	99.69
	16 * 16	64	256	1024	4096	95.72	99.58	99.62	99.71	544	99.73
	24 * 24	64	256	1024	4096	96.53	99.65	99.71	99.74	1200	99.78
	32 * 32	64	256	1024	4096	96.81	99.73	99.75	99.79	2112	99.81

7 结论

本文针对VLSI硬件实现的格型数字滤波器,在对加法器、乘法器的测试特性分析的基础上提出了一种新颖实用的内建自测试方案,其特点是测试集小,能在较短时间内测试所有单固定型故障.本文的扫描可测试性设计具有成本低,可并行实现的优点,具有良好的测试向量可控性和故障可侦测性.另外本文统一构造了用累加器实现测试序列生成的设计,由于可复用系统已有器件作为测试序列生成和响应压缩,该方案可实现最小的硬件成本和系统性能占用,解决了这类硬件资源宝贵电路的内建自测试面临的设计难题,且可普遍适用于其他类型滤波器及数据通路部件的内建自测试.

参考文献:

- [1] Parhi K K. VLSI Digital Signal Processing Systems: Design and Implementation[M]. New York: John Wiley & Sons, 1999.
- [2] Chatterjee A, Roy R K. Design for diagnosability of linear digital filters using time-space expansion[A]. Proceedings of VLSI Test Symposium[C]. Cherry Hill, New Jersey, 1994. 48 - 53.
- [3] Council C, Cambon G. A functional BIST approach for FIR digi-

tal filters[A]. Proceedings of VLSI Test Symposium[C]. Atlantic City, New Jersey, 1992. 90 - 95.

- [4] Bayraktaroglu I, Orailoglu A. Low-cost on-line test for digital filters[A]. Proceedings of VLSI Test Symposium[C]. Dana Point, California, 1999. 446 - 451.
- [5] Bayraktaroglu I, Orailoglu A. Cost effective digital filter design for concurrent test[A]. IEEE International Conference on Acoustics, Speech, and Signal Processing[C]. Istanbul, Turkey, 2000. 3323 - 3326.
- [6] Mukherjee N, Rajski J, Tyszer J. Parameterizable testing scheme for FIR filters [A]. Proceedings of International Test Conference[C]. Washington DC, 1997. 694 - 703.
- [7] Cheng K T, Agrawal V. A partial scan method for sequential circuits with feedback[J]. IEEE Trans Computers, 1990, 39(4): 544 - 548.
- [8] Bakalis D, Nikolos D, Kavousianos X. Test response compaction by an accumulator behaving as a multiple input non-linear feedback shift register[A]. International Test Conference[C]. Atlantic City, New Jersey, 2000. 804 - 811.

作者简介:



杨德才 男,1974年出生于四川广安,电子科技大学自动化工程学院博士研究生.主要研究方向为大规模集成电路内建自测试与可测试性设计. E-mail: vertyang@uestc.edu.cn

谢永乐 男,1969年出生,电子科技大学副教授,博士.主要研究方向为片上系统的测试及混合信号测试.



陈光福 男,1939年出生,电子科技大学教授,博士生导师.主要研究方向为大规模集成电路现代测试理论与技术、计算机辅助测试.